مقدمه

در این پروژه با طراحی یک مدار تقویت‌کننده تفاضلی که بایاس آن توسط آیینه جریان تأمین می‌شود، با کاربردهای ترکیبی این دو ساختار در سامانه‌های زیستی آشنا خواهید شد. سیگنال‌های حاصل از سنسورهای زیستی (مانند ECG، EEG یا سنسورهای اندازه‌گیری گلوکز) بسیار ضعیف هستند و به تقویت دقیق، پایدار و کم‌نویز نیاز دارند. همچنین در این کاربردها مصرف توان باید به حداقل برسد.

شما موظف هستید مرحله‌به‌مرحله مدار آیینه جریان و مدار تقویت‌کننده تفاضلی را طراحی و تحلیل کنید. در صورت تمایل می‌توانید این دو بلوک را به صورت کامل ترکیب کرده و عملکرد نهایی مدار را برای کاربردهای زیستی ارزیابی نمایید.

بخش اول: تحلیل مسئله کاربردی

یک متن تحلیلی کوتاه (حداکثر یک صفحه) تهیه کرده و در آن به پرسش‌های زیر پاسخ دهید. از منابع معتبر برای پشتیبانی مطالب خود استفاده کرده و به‌صورت علمی و روان بنویسید:

۱) چرا در سامانه‌های زیستی نیاز به تقویت‌کننده وجود دارد؟

۲) آیینه جریان چه نقشی در تأمین جریان بایاس دقیق ایفا می‌کند؟

۳) مزیت اصلی تقویت‌کننده‌های تفاضلی در حذف نویز چیست؟

۴) چرا در طراحی مدارات پوشیدنی، مصرف توان باید در حداقل ممکن باشد؟

Scanned with CamScanner

بخش دوم: طراحی و تحلیل آیینه جریان

در این بخش یک آیینه جریان دقیق طراحی کرده، عملکرد آن را شبیه‌سازی کرده و نتایج آن را تحلیل نمایید. این مدار در مراحل بعدی برای تأمین جریان بایاس مدار تفاضلی استفاده خواهد شد.

مراحل طراحی:

۱) یک آیینه جریان ساده با دو ترانزیستور MOS طراحی کنید.
   a. جریان مرجع را در حدود ۱ میکروآمپر در نظر بگیرید.
   b. ولتاژ تغذیه را در بازه ۱.۵ تا ۵ ولت، بسته به طراحی خود، انتخاب کنید.

۲) جریان مرجع را به یکی از دو روش زیر ایجاد کنید:
   a. استفاده از یک منبع جریان مستقل (در شبیه‌سازی)
   b. استفاده از یک منبع ولتاژ و مقاومت مناسب برای تعیین جریان

۳) مدار را شبیه‌سازی کنید و موارد زیر را ثبت و تحلیل نمایید:
   a. مقدار جریان خروجی و نسبت آن با جریان مرجع
   b. تفاوت بین جریان خروجی و مرجع (درصد خطا)
   c. ولتاژهای درین و گِیت ترانزیستورها
   d. بررسی محدوده عملکرد جریان خروجی با تغییر بار (ولتاژ خروجی را از حداقل تا حداکثر قابل‌قبول sweep کنید)

٤) یک آیینه جریان cascode طراحی کنید تا دقت جریان را افزایش دهید.
   a. مدار را شبیه‌سازی کرده و نتایج آن را با آیینه ساده مقایسه نمایید.
   b. به‌ویژه توجه کنید که آیا cascode توانسته است جریان خروجی را نسبت به ولتاژ بار پایدارتر نگه دارد یا خیر.

۵) به‌صورت مختصر تحلیل کنید که در کدام ناحیه‌های کاری آیینه‌های طراحی‌شده رفتار پایدار و دقیق دارند.
   a. تأکید کنید که آیینه جریان قرار است به‌عنوان منبع بایاس استفاده شود، پس باید در ناحیه‌ای کار کند که تضمین‌کننده پایداری مدار است.

Scanned with CamScanner

بخش سوم: طراحی و تحلیل مدار تفاضلی

در این بخش وظیفه دارید یک مدار جفت تفاضلی با بار مقاومتی طراحی کرده، عملکرد آن را در شرایط مختلف شبیه‌سازی و تحلیل نمایید. هدف از این مرحله، شناخت رفتار پایه‌ای مدارهای تقویت‌کننده تفاضلی و آشنایی با پارامترهایی نظیر بهره، تقارن، بایاس و نویزپذیری است.

مراحل طراحی:

۱) یک جفت تفاضلی با دو ترانزیستور NMOS طراحی کنید.
- از مقاومت به‌عنوان بار خروجی در دو شاخه استفاده کنید.
- از منبع جریان ایده‌آل برای بایاس (در پایه مشترک ترانزیستورها) استفاده نمایید.
- ولتاژ تغذیه همان مقدار انتخاب‌شده در بخش دوم باشد.

۲) یک سیگنال ورودی تفاضلی به مدار اعمال کنید:
- ورودی اول: سینوسی یا دامنه ۵ میلی‌ولت
- ورودی دوم: سینوسی یا دامنه ۵ میلی‌ولت با اختلاف فاز ۱۸۰ درجه نسبت به ورودی اول
- فرکانس: ۱ کیلوهرتز
- دامنه کلی تفاضلی: ۱۰ میلی‌ولت پیک‌به‌پیک

۳) مدار را شبیه‌سازی کرده و موارد زیر را محاسبه و تحلیل کنید:
- بهره ولتاژی تفاضلی (Av = Vout / Vin_diff)
- شکل موج خروجی دو شاخه (Vout1 و Vout2)
- تقارن شکل موج‌ها
- مقدار جریان عبوری از هر ترانزیستور در حالت ایستا و در طول سیگنال
- نقطه کار DC ترانزیستورها (ولتاژهای Gate ، Drain، Source)
- بررسی اینکه ترانزیستورها در ناحیه اشباع هستند یا خیر

٤) تأثیر حالت مشترک را بررسی کنید:
- همان سیگنال سینوسی را به‌صورت یکسان به هر دو ورودی بدهید (ورودی common-mode)
- خروجی را اندازه‌گیری و تحلیل کنید.

Scanned with CamScanner

- مقدار تقریبی CMRR (نسبت بهره حالت تفاضلی به بهره حالت مشترک) را محاسبه یا تخمین بزنید.

۵) اکنون منبع جریان ایده‌آل را با آیینه جریان طراحی‌شده در بخش دوم جایگزین کنید:
- مدار را شبیه‌سازی مجدد کنید.
- بررسی نمایید که جریان بایاس حفظ شده است یا خیر.
- تغییرات در بهره یا تقارن مدار را گزارش کنید.
- بررسی کنید که ترانزیستورهای آیینه و جفت تفاضلی همچنان در ناحیه فعال باقی مانده‌اند یا خیر.

٦) به‌صورت تحلیلی و با ارجاع به نتایج شبیه‌سازی، به این پرسش پاسخ دهید:
"آیا استفاده از آیینه جریان به جای منبع ایده‌آل در این مدار تفاضلی، عملکرد آن را به‌صورت معنادار تغییر داده است؟"

بخش چهارم (امتیازی): ترکیب کامل آیینه جریان و مدار تفاضلی

در این بخش، در صورت تمایل، می‌توانید آیینه جریان طراحی‌شده در بخش دوم و مدار تفاضلی طراحی‌شده در بخش سوم را در قالب یک مدار کامل و ترکیبی پیاده‌سازی و تحلیل نمایید. انجام این بخش الزامی نیست اما انجام موفق آن، امتیاز اضافه در ارزیابی پروژه خواهد داشت.

هدف:

ساخت یک تقویت‌کننده کامل که بایاس آن از طریق آیینه جریان تأمین شده و پاسخ آن در حالت عملیاتی بررسی شده است.

مراحل طراحی و تحلیل:

۱) مدار ترکیبی کامل را ایجاد کنید:
- آیینه جریان (ترجیحاً مدل cascode) را به‌عنوان منبع جریان بایاس به جفت تفاضلی متصل کنید.
- مقاومت‌ها را در خروجی دو شاخه حفظ کنید (از بار فعال استفاده نکنید مگر اینکه مسلط باشید).

۲) سیگنال ورودی تفاضلی اعمال کنید:

Scanned with CamScanner

- همانند بخش سوم، از سیگنال سینوسی با فرکانس ۱ کیلوهرتز و دامنه تفاضلی ۱۰ میلی‌ولت پیک‌به‌پیک استفاده نمایید.

۳) شبیه‌سازی و تحلیل عملکرد مدار نهایی را انجام دهید:

- بهره کلی مدار را محاسبه کنید.
- شکل موج خروجی دو شاخه را مشاهده و با نتایج قبلی مقایسه کنید.
- بررسی کنید که آیینه جریان همچنان جریان مرجع را با دقت مناسب تأمین می‌کند.
- ولتاژهای کاری ترانزیستورها را ثبت کنید تا از اشباع بودن آن‌ها مطمئن شوید.
- توان مصرفی کلی مدار را(مجموع جریان تغذیه درVDD) محاسبه نمایید.
- در صورت امکان، CMRR را مجدداً برای مدار ترکیبی تخمین بزنید.

٤) نتیجه‌گیری نهایی:

- ارزیابی کنید که آیا مدار نهایی شما برای استفاده در کاربرد زیستی (مثل تقویت سیگنالECG) مناسب است یا خیر.
- نکات قوت و ضعف طراحی خود را مشخص کنید.
- اگر عملکرد ضعیف بوده است، دلیل آن را تحلیل و پیشنهاد بهبود ارائه دهید.

Scanned with CamScanner