دانشکده‌ی مهندسی برق و مهندسی پزشکی

دانشگاه صنعتی سجاد

دستورکار آزمایشگاه سیستم‌های دیجیتال ۱

تهیه وتنظیم: مهندس نوید ایزدخواستی

زیر نظر: دکتر حمیدرضا رضایی ده‌سرخ

تابستان ۱۳۹۴

فهرست مطالب صفحـه

مقدمه ۲
آزمایش اول: مدارهای مجتمع و دروازه‌های منطقی ۵
آزمایش دوم: طراحی دروازه‌ها و مدارهای منطقی به کمک دروازه NAND ۱۰
آزمایش سوم: مدارات ترکیبی ۱۲
آزمایش چهارم: جمع کننده‌ها ۱۳
آزمایش پنجم: بیت توازن، کد انعکاسی، مقایسه کننده‌ها ۱۵
آزمایش ششم: مدارهای دیکدر، انکدر، مالتی پلکسر و دی مالتی پلکسر ۱۷
آزمایش هفتم: نمایشگر هفت‌قسمتی (7-Segment) ۲۰
آزمایش هشتم: مدارهای ترتیبی ۲۳
آزمایش نهم: شمارنده‌ها ۲۶
آزمایش دهم: ثبات‌های انتقالی ۳۰
آشنایی با FPGA و کد نویسی Verilog ۳۲
زبان توصیف سخت‌افزار ۳۴
آشنایی با نرم‌افزار ISE ۴۳
آزمایش یازدهم: شبیه‌سازی مدارهای منطقی به کمک نرم‌افزار ISE ۵۴
اطلاعات مربوط به ICهای مورد استفاده در آزمایشگاه ۵۵

مقدمه

مدارهای منطقی در طراحی و ساخت کلیه کامپیوترهای امروزی و سیستم‌های دیجیتال به عنوان مدارهای اساسی و پایه به کار برده می‌شوند.

مدارهای منطقی به دو دسته ترکیبی و ترتیبی تقسیم می‌گردند. یک مدار ترکیبی متشکل از تعدادی گیت منطقی است که خروجی آن‌ها در هر لحظه مستقیماً به وسیله ورودی‌های همان لحظه معین می‌شود و به ورودی‌های قبلی بستگی ندارد. این نوع مدار عمل پردازش اطلاعات خاصی را انجام می‌دهد که تمامی این اطلاعات به وسیله مجموعه‌ای از توابع بولی به فرم منطقی مشخص شده‌اند. یک مدار ترکیبی شامل متغیرهای ورودی، گیت‌های منطقی و متغیرهای خروجی است. گیت‌های منطقی سیگنال‌هایی را از ورودی دریافت کرده و سیگنال‌های دیگری را برای خروجی تهیه می‌کنند. این فرآیند اطلاعات دودویی ورودی را به اطلاعات مورد نیاز در خروجی تبدیل می‌کند. مدارهای ترکیبی شامل انواع مدارهای مجتمع، گیت‌ها، کد کننده‌ها، دیکدرها، مالتی پلکسرها، جمع کننده‌ها و .... می‌باشند. طراحی مدارهای ترکیبی با تعریف لفظی مسئله شروع شده و با دیاگرام منطقی مدار به مجموعه‌ای از توابع بولی که با استفاده از آن‌ها می‌توان به سادگی دیاگرام منطقی را به دست آورد، ختم می‌شود و شامل مراحل زیر است:

- تعریف مسئله
- تعیین تعداد ورودی‌های موجود و خروجی‌ها مورد نیاز
- نام‌گذاری ورودی‌ها و خروجی‌ها
- تشکیل جدول درستی که ارتباط لازم بین ورودی‌ها و خروجی‌ها را مشخص کند
- به دست آوردن تابع بولی ساده شده برای هر خروجی
- رسم دیاگرام منطقی

مدارهای ترتیبی علاوه بر گیت‌های منطقی از المان‌های حافظه (سلول دودویی) نیز استفاده می‌کنند. خروجی این مدارها تابعی از ورودی آن‌ها و حالت المان‌های حافظه است که المان‌های حافظه خود تابعی از ورودی‌های قبلی هستند. در نتیجه خروجی یک مدار ترتیبی نه تنها به ورودی‌های فعلی بلکه به ورودی‌های قبلی نیز بستگی دارد و عملکرد مدار باید به وسیله حالت داخلی آن و ترتیب زمانی وارد شدن ورودی مشخص گردد. مدارهای ترتیبی، اطلاعات دودویی را از ورودی‌ها دریافت می‌کنند و این ورودی‌ها به همراه حالت عناصر حافظه، یک مقدار دودویی را در پایانه‌های خروجی مشخص می‌نماید. آن‌ها همچنین مشخص می‌کنند که در چه وضعیتی عناصر حافظه تغییر حالت می‌دهند.

برای طراحی مدارهای ترتیبی باید مراحل زیر را انجام داد:

- با توجه به توصیف مسئله، جدول حالت را به دست آورید
- از تکنیک‌های کاهش حالت برای یافتن جدول حالت یک مدار با حداقل حالت استفاده کنید
- با تخصیص یک حالت، جداول حالت و جداول گذر خروجی را کنترل کنید
- وسایل حافظه و فلیپ فلاپ‌های مورد استفاده را مشخص کنید و نقشه‌های ترکیب فلیپ فلاپ‌ها را به دست آورید. همچنین نقشه‌های خروجی را تشکیل داده و معادلات منطقی خروجی را تعیین کنید.
- از نقشه‌های تحریک، معادله منطقی سوئیچینگ را به دست آورید

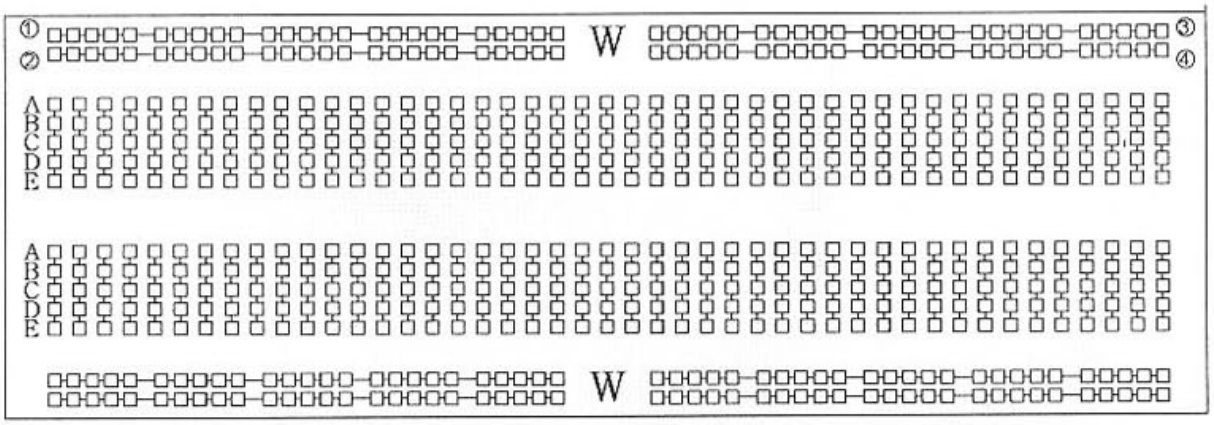
- نمودار منطقی را برای مدار ترتیبی با استفاده از معادلات منطقی و وسایل حافظه انتخابی ترسیم کنید

در درس سیستم‌های دیجیتال ۱، دانشجویان انواع مختلفی از مدارهای ترکیبی و ترتیبی را طراحی می‌کنند و با آن‌ها آشنا می‌شوند. در بحث آزمایشگاه مربوط به این درس سعی شده است تا دانشجویان تا حد زیادی مدارات طراحی شده را پیاده سازی کنند و به طور عملی نحوه کار این مدارات را بررسی کنند.

در این آزمایشگاه از وسایل زیر استفاده می‌شود:

برد بورد (Bread board):

برد بورد وسیله‌ای برای بستن سریع مدارهای مختلف الکترونیکی جریان و فرکانس پایین است و از آنجا که می‌توان به راحتی و به سرعت بسیاری از آی‌سی‌ها و قطعات مختلف الکترونیکی را روی آن سوار و ارتباط‌های لازم را با سیم و بدون لحیم کاری برقرار کرد، کاربرد وسیعی در آزمایشگاه‌ها و مراکز تحقیقاتی دارد. در بردبورد تعدادی از سوراخ‌ها از زیر به یکدیگر متصل می‌باشند. در شکل زیر اتصال‌های بردبورد آمده است:



قسمت‌های ۱، ۲، ۳ و ۴ به صورت افقی به هم متصل بوده و اتصال عمودی ندارند و به‌وسیله حرف W نوشته شده روی بردبورد قسمت ۱ و ۲ از قسمت ۳ و ۴ جدا می‌شوند. از قسمت افقی بیشتر برای تغذیه و زمین مدار استفاده می‌شود. حروف A، B، C، D و E به صورت عمودی به هم متصل بوده و اتصال افقی ندارند.

پروب منطقی (Logic Probe):

از این وسیله برای بررسی ولتاژ نقطه‌ای از مدار استفاده می‌شود به گونه‌ای که با قرار دادن پروب منطقی در نقطه‌ای از مدار، در صورت ’1‘ بودن ولتاژ آن نقطه، چراغ پروب منطقی روشن می‌ماند و در صورت ’0‘ بودن چراغ آن خاموش می‌شود.

منبع تغذیه:

مدارهایی که در این آزمایشگاه پیاده سازی می‌شوند با ولتاژ ثابت 5 V کار می‌کنند. به همین خاطر برای تامین ولتاژ مورد نیاز مدارها از دستگاهی (منبع تغذیه دوبل) استفاده می‌شود که ولتاژ ثابت 5 V را تولید می‌کند و دارای دو پایه مثبت و منفی است که از پایانه مثبت برای Vcc یا ولتاژ بالا و از پایانه منفی به عنوان زمین (GND) مدار استفاده می‌شود.

سیگنال ژنراتور:

برای تولید کلاک و فرکانس‌های مورد نیاز از این دستگاه استفاده می‌شود که انواع سیگنال‌های سینوسی، مثلثی و مربعی و خروجی TTL را تولید نموده و می‌توان فرکانس مورد نظر را در یک محدوده فرکانسی از 0.1 هرتز تا یک مگاهرتز تنظیم نمود. در بخش طراحی و پیاده سازی مدارهای ترتیبی برای تولید کلاک از سیگنالی با فرکانس کم که توسط این دستگاه تولید می‌شود، استفاده می‌شود.

دانشجویان قبل از ورود به آزمایشگاه به نکات زیر توجه نمایند:

الف) نکات قبل از ورود به آزمایشگاه:

دستور کار را به طور کامل و دقیق مطالعه نموده تا از نقطه نظر تئوری ابهامی نداشته باشید. قبل از ورود به آزمایشگاه، تمرینات اولیه مربوط به هر آزمایش را به طور کامل انجام دهید. لازم است نتیجه طراحی را به صورت شکل سیم‌کشی یعنی به همان صورتی که قرار است روی صفحه آزمایش ساخته شود به همراه خود به آزمایشگاه بیاورید. شکل سیم کشی همان دیاگرام منطقی می‌باشد با این تفاوت که کلیه تراشه‌ها و پایه‌های آن شماره‌گذاری شده و تمام اتصالات در آن مشخص گردیده‌اند. شکل سیم‌کشی را همراه گزارش کار خود ضمیمه کرده و تحویل دهید.

ب) در هنگام آزمایش جهت مراقبت از تراشه‌های دیجیتال و جلوگیری از سوختن آن‌ها به نکات زیر توجه نمایید:

- خانواده TTL با منبع ولتاژ ثابت 5 V کار می‌کند، خانواده CMOS با منبع ولتاژ ۳ تا ۱۵ ولت و معمولاً ۵ ولت کار می‌کند.
- هیچ‌گاه خروجی تراشه را مستقیماً به زمین یا منبع ولتاژ وصل نکنید.
- هنگام استفاده از تراشه به شماره پایه‌ها توجه داشته باشید.
- LED را مستقیماً به خروجی TTL وصل نکنید، بلکه یک مقاومت حدود 200 Ω باید با آن سری شود.
- هنگام قرار دادن و یا برداشتن تراشه روی صفحه آزمایش دقت کنید که پایه‌های آن خم یا شکسته نشوند.

ج) در محیط آزمایشگاه از روپوش سفید استفاده کنید.

آزمایش اول: مدارهای مجتمع و دروازه‌های منطقی

هدف آزمایش:

در این آزمایش دانشجویان با ساختار و تکنولوژی‌های مختلف مدارهای مجتمع و همچنین دروازه‌های منطقی آشنا می‌شوند و آن‌ها را بررسی می‌کنند.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش (Bread Board)، تراشه‌های 7404،7400 ، 7408، 4011 و دیود نورانی.

تئوری آزمایش:

- آشنایی با مشخصات تراشه‌های مورد نیاز آزمایش و بررسی دروازه‌های منطقی AND، OR و NOT.
- مدارهای دیجیتال با مدارهای مجتمع ساخته می‌شوند. یک مدار مجتمع (IC)، یک کریستال کوچک نیمه‌هادی سیلیکون به نام تراشه (Chip) است که قطعات الکترونیکی لازم برای پیاده‌سازی گیت‌های دیجیتال را در خود دارد. تراشه در داخل یک محفظه پلاستیکی و یا سرامیکی جاسازی می‌شود و اتصالات آن با سیم‌های طلایی نازک به پایه‌های خارجی جوش داده می‌شود تا مدار مجتمع بوجود آید. تعداد پایه‌ها ممکن است از ۱۴ پایه در بسته‌های کوچک تا ۶۴ پایه و بیشتر در بسته‌های بزرگ تغییر کند. ICها را بر اساس پارامترهای مختلف دسته بندی می‌کنند.

دسته بندی ICها بر اساس تعداد گیت‌هایی که می‌تواند در یک تراشه جای گیرد:

- مدارهای مجتمع با مقیاس کوچک
- مدارهای مجتمع با مقیاس متوسط
- مدارهای مجتمع با مقیاس بزرگ
- مدارهای مجتمع با مقیاس بسیار بزرگ

دسته بندی ICها بر اساس تکنولوژی به کار رفته در ساخت آن:

- RTL
- DTL
- TTL
- ECL
- MOS
- CMOS

در زمان استفاده از خانواده TTL[1] توجه داشته باشید که برخی از انواع آن به قرار زیر است:

TTL استاندارد (سری 74)

TTL سرعت بالا (سری 74H)

TTL کم مصرف (سری 74L)

TTL شاتکی (سری 74S)

TTL شاتکی کم مصرف (سری 74LS)

TTL شاتکی کم مصرف پیشرفته (سری 74ALS)

مشخصه خانواده‌های منطقی دیجیتال معمولاً با تحلیل گیت مبنا در هر خانواده با یکدیگر مقایسه می‌گردند. برای این کار باید پارامترهای برون دهی (fan-out)، توان مصرفی، تأخیر در انتشار و مصونیت در مقابل نویز را در نظر داشت.

با بررسی این پارامترها داریم:

	DTL	TTL						ECL	MOS	CMOS
		74	74H	74L	74S	74LS	74 ALS			
تاخیر درانتشار(ns)	۳۰	۱۰	۶	۳۳	۳	۹	۴	۲	۱۰۰تا۵۰	۲۵
توان‌مصرفی‌هردروازه(mw)	۱۵	۱۰	۲۲/۵	۱	۲۰	۲	۱	۲۵	۰/۲۵	^{nw}۱۰
برون دهی (f.o)	۸	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۲۵	>۵۰	>۵۰
مصونیت در مقابل نویز	خوب	خوب	خوب	خوب	خوب	خوب	خوب	متوسط	عالی	عالی

هر آی‌سی در یک بسته با پایه‌های خاص بسته‌بندی می‌شود. نحوه صحیح خواندن پایه‌های یک تراشه و نیز روش تشخیص اولین پایه آن و مشخصات دیگری که برای شناسایی و کار با تراشه لازم است، ابزارهای اولیه کار در آزمایشگاه مدارهای منطقی هستند.

چنانکه در شکل زیر نیز مشخص است در محل پایه ۱ آی‌سی علامت خاصی وجود دارد. از جمله مشخصاتی که بر روی تراشه حک می‌گردد، علامت کارخانه سازنده است که می‌تواند یک یا چند حرف و یا شکل باشد. نام تراشه نیز توسط شماره مشخص می‌شود. البته باید توجه داشت که روش شماره‌گذاری در شرکت‌های مختلف یکسان نبوده و در رابطه با شرکت‌های مختلف باید به برگه اطلاعات (data sheet) منتشر شده همان شرکت مراجعه نمود. اطلاعات دیگری که ممکن است بر روی تراشه مشاهده گردد شامل تاریخ ساخت تراشه (دو رقم برای سال و دو رقم برای هفته)، نام کشور سازنده و شماره انبار باشد.

[1] Transistor-transistor logic

M : سازنده تراشه

4021 : شماره تراشه

Buffered CMOS : B

● : نشانه شروع شمارش پایه

Data Code : CP

1978 : 78

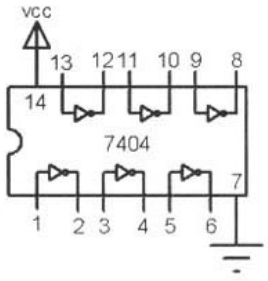
24_{th} week : 24

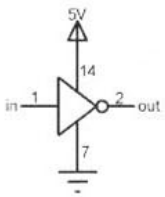
به هر آی‌سی شماره‌ای اختصاص می‌یابد که بر روی آن به منظور شناسایی چاپ شده است. تولیدکنندگان کتابچه‌هایی را چاپ نموده‌اند که حاوی توضیحات و کلیه اطلاعات مربوط به آی‌سی‌های تولید شده آن‌ها است. به عنوان مثال، ۶ دروازه NOT را داخل یک آی‌سی قرار داده‌اند و به آن شماره 7404 را اختصاص داده‌اند. اطلاعات مربوط به آی‌سی‌های استفاده شده در این آزمایشگاه در انتهای دستور کار ضمیمه شده است.

مراحل انجام آزمایش:

الف) در این آزمایش تراشه 7404 را که حاوی شش دروازه (NOT) می‌باشد را مورد آزمایش قرار می‌دهید. مراحل این آزمایش استثنا به تفضیل شرح داده می‌شود، اما در مورد آزمایش‌های دیگر مطالب خلاصه‌تر گفته خواهد شد.

ابتدا تراشه 7404 را بر روی صفحه آزمایش قرار دهید و به ترتیب زیر آن را تغذیه نمایید. سر مثبت منبع تغذیه ۵ ولت را به یکی از سوراخ‌های بالاترین ردیف صفحه آزمایش متصل نمایید و سر منفی منبع تغذیه را به یکی از سوراخ‌های پایین‌ترین ردیف صفحه آزمایش متصل کنید. از این پس ردیف بالای صفحه آزمایش ردیف ۵ ولت و ردیف پایین، ردیف زمین نامیده خواهد شد. اکنون سر شماره ۷ تراشه 7404 را به وسیله سیم به ردیف زمین متصل نمایید. این کار با اتصال دادن یکی از سوراخ‌های ستون زیر سر شماره ۷ به ردیف زمین انجام می‌شود. پایه شماره ۱۴ تراشه 7404 را به وسیله سیم به ردیف ۵ ولت متصل نمایید. اکنون تراشه به طور صحیح تغذیه شده است. پایه شماره ۱ گیت NOT، به عنوان ورودی و پایه شماره ۲ به عنوان خروجی در نظر بگیرید. با اتصال دادن پایه شماره ۱ به ردیف زمین یا ردیف ۵ ولت، ولتاژ ورودی 0 V (سطح L) و یا 5 V (سطح H) به دست می‌آید. ولتاژ خروجی (پایه شماره ۲) توسط پروب منطقی (Logic Probe) مشخص می‌شود. با اعمال ورودی مطابق جدول زیر، قسمت خروجی جدول را کامل کنید.

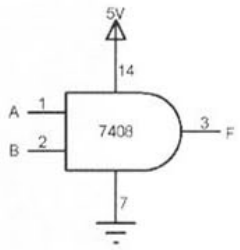


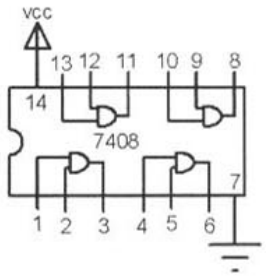


ورودی	خروجی
L	
H	

ب) یک تراشه 7408 (حاوی ۴ دروازه AND با دو ورودی) را روی صفحه آزمایش قرار دهید و آن را تغذیه نمایید (پایه‌های ۷ و ۱۴ را به ترتیب به ردیف‌های زمین و ۵ ولت متصل سازید). با استفاده از پایه‌های ۱ و ۲ دروازه AND به عنوان ورودی و پایه ۳ به عنوان خروجی، جدول زیر را کامل کنید.

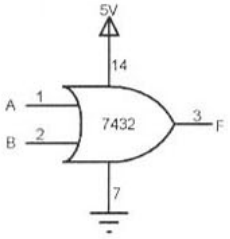
A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	





ج) با استفاده از یک تراشه 7432 (شامل ۴ دروازه OR با دو ورودی) با پایه‌های ۱ و ۲ به عنوان ورودی و پایه ۳ به عنوان خروجی جدول زیر را کامل کنید.

A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	



د) آزمایش فوق را با تراشه 4011 (از خانواده CMOS) تکرار کنید، نتیجه را ثبت کرده و با نتایج قبلی مقایسه کنید.

هـ) حالت خروجی یک مدار را می‌توان به کمک LED (دیود نورانی) مشاهده نمود. برای این کار خروجی مدار را توسط یک مقاومت به LED متصل کنید (برای این کار خروجی را توسط یک مقاومت به آند LED «معمولاً پایه بلندتر» وصل و کاتد آن «معمولاً پایه کوتاه تر» را به زمین متصل کنید). مقاومت به منظور محدود کردن شدت جریان و جلوگیری از سوختن دیود و تراشه به کار رفته است و مقدار آن حدود ۱۰۰ تا ۳۰۰ اهم می‌باشد. حال خروجی آزمایش قبلی را با LED مشاهده نمایید.

پرسش‌ها:

۱) با توجه به نتایج آزمایش‌ها، اگر پایه ورودی یک دروازه از تراشه‌های TTL آزاد بماند، آن ورودی معادل چه ولتاژی (L یا H) عمل می‌نماید؟

۲) با توجه به این واقعیت که سر ورودی نبایستی باز بماند، سرهای مصرف نشده را باید به چه سطح ولتاژی متصل نماییم؟ این سؤال را در مورد دروازه‌های NAND و یا NOR پاسخ دهید.

آزمایش دوم: طراحی دروازه‌ها و مدارهای منطقی به کمک دروازه NAND

هدف آزمایش:

در این آزمایش دانشجو با طراحی دروازه‌های NOT، AND و OR و ترکیبات آن‌ها به کمک دروازه NAND دو ورودی آشنا می‌شود.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، تراشه 7400، دیود نورانی

تئوری آزمایش:

مدارهای دیجیتال اغلب به‌جای اینکه با گیت‌های AND و OR ساخته شوند با گیت‌های NAND و NOR ساخته می‌شوند. ساختن گیت‌های NAND و NOR نسبت به گیت‌های AND و OR ساده‌تر بوده و به عنوان گیت‌های پایه در تمام خانواده‌های آی‌سی‌های منطقی به کار می‌روند. به دلیل مزیت گیت‌های NAND و NOR در طراحی مدارهای دیجیتال، اصول و قواعدی برای تبدیل توابع بولی بیان شده بر حسب AND، OR و NOT به دیاگرام منطقی NAND و NOR معادل به وجود آمده است. قاعده به دست آوردن دیاگرام منطقی NAND از یک تابع بولی به شرح زیر است:

۱) تابع را ساده کرده و آن را به فرم جمع حاصل‌ضرب‌ها بنویسید.

۲) برای هر جمله ضرب موجود در تابع که حداقل دارای دو متغیر است یک گیت NAND بکشید. ورودی هر گیت NAND متغیرهای آن جمله هستند. این مجموعه، گیت‌های طبقه اول را تشکیل می‌دهند.

۳) در طبقه دوم یک گیت NAND با ورودی‌هایی که از خروجی‌های طبقه اول می‌آیند بکشید.

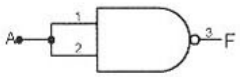
۴) یک جمله تک متغیری در طبقه اول نیازمند یک معکوس کننده است.

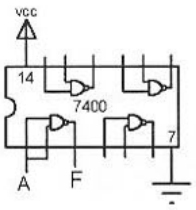
تابع NOR دوگان تابع NAND است. به همین دلیل همه روال‌ها و قواعد منطقی NOR دوگان روال‌ها و قواعد منطقی NAND می‌باشد.

مراحل انجام آزمایش:

الف) مدارهای ۱ تا ۴ را که در جدول زیر مشخص شده‌اند را بسته و به ازای ترکیبات مختلف ورودی، آن‌ها را آزمایش نموده و جدول مربوطه را پر کنید و با توجه به جداول به دست آمده مشخص کنید که هر مدار معادل چه دروازه منطقی عمل می‌کند. خروجی هر مدار را به کمک LED مشاهده نمایید.

۱)

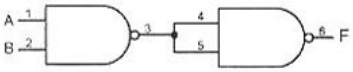


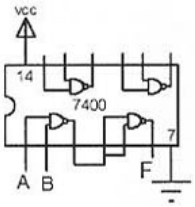


ورودی	F
L	
H	

→ دروازه =....

۲)

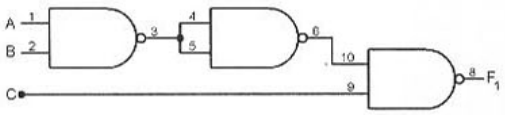




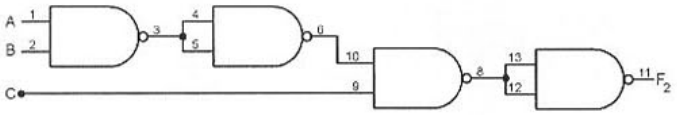
A	B	F
L	L	
L	H	
H	L	
H	H	

→ دروازه =....

۳) دروازه =....



۴) دروازه =....



A	B	C	F_1	F_2
L	L	L		
L	L	H		
L	H	L		
L	H	H		
H	L	L		
H	L	H		
H	H	L		
H	H	H		

ب) با استفاده از فقط دروازه‌های NAND تابع دروازه XOR $A \oplus B$ را پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید.

ج) تابع زیر را فقط با استفاده از دروازه NAND پیاده سازی کنید و جدول درستی مدار را به ازای ورودی‌های A، B، C و D بررسی کنید.

$$F(A,B,C,D) = \sum(0,1,4,5,8,9,10,12,13,14)$$

پرسش‌ها:

۱) روال طراحی به کمک دروازه NAND را به طور کامل توضیح دهید.

آزمایش سوم: مدارات ترکیبی

هدف آزمایش:

در این آزمایش دانشجو با طراحی مدارهای ترکیبی آشنا می‌شود.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه 7408 و 7432.

تئوری آزمایش:

روال طراحی مدارهای ترکیبی در بخش مقدمه دستور کار آمده است.

تمرینات اولیه:

۱) برای رأی‌گیری در یک هیئت ۴ نفره (A، B، C و D) هر شخص رأی خود را توسط یک کلید صادر می‌کند. اگر رأی نفر A معادل دو رأی باشد، مداری طراحی کنید که هرگاه اکثریت آرا حاصل شد یک چراغ روشن شود (چراغ‌ها با یک منطقی روشن و با صفر منطقی خاموش می‌باشند).

- جدول درستی مدار را به دست آورید.
- تابع خروجی را ساده کنید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی‌های 7408 و 7432 مدار طراحی شده در تمرین ۱ را بر روی صفحه آزمایش پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید. خروجی را به کمک LED مشاهده کنید.

آزمایش چهارم: جمع کننده‌ها

هدف آزمایش:

طراحی مدارات جمع کننده کامل و جمع کننده چهار بیتی و آشنایی با تراشه جمع کننده چهار بیتی 7483.

وسایل لازم:

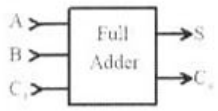
منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه‌های 7486 و 7483.

تئوری آزمایش:

کامپیوترهای دیجیتال اعمال پردازش اطلاعات گوناگونی را انجام می‌دهند که از میان آن‌ها اعمال مختلف حساب، اعمال اصلی و اساسی به شمار می‌روند و بدون شک اساسی‌ترین عمل حساب، جمع دو رقم دودویی است. این جمع ساده از چهار عمل مقدماتی 0=0+0 و 1=1+0 و 1=0+1 و 10=1+1 تشکیل می‌شود که حاصل جمع سه عدد اول، عددی یک رقمی است و آخرین عمل، حاصلی دو رقمی دارد که رقم مرتبه بالای این حاصل‌جمع را رقم نقلی (Carry) می‌نامند. مداری که جمع دو رقم دودویی ورودی را انجام داده و حاصل‌جمع و رقم نقلی را تولید می‌کند، نیم جمع کننده (Half Adder) و مداری که جمع سه رقم دودویی (دو رقم دودویی و رقم نقلی حاصل از ستون قبل) را انجام داده و حاصل‌جمع و رقم نقلی را تولید می‌کند، تمام جمع کننده (Full Adder) نام دارد.

تمرینات اولیه:

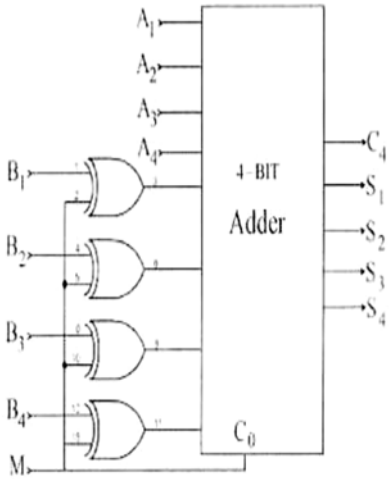
۱) با استفاده از تراشه‌های 7400 (حاوی چهار دروازه NAND دو ورودی) و 7486 (حاوی چهار دروازه XOR دو ورودی) یک تمام جمع کننده (شکل زیر) طراحی نمایید.



$$(C_O S)_2 = A + B + C_i$$

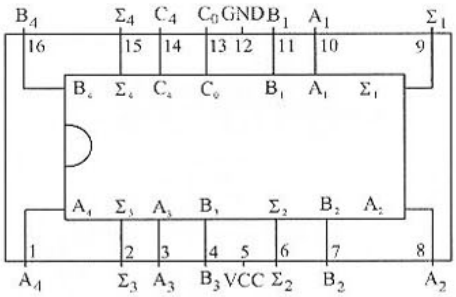
۲) با استفاده از بند ۱، یک جمع کننده ۴ بیتی طراحی کنید.

۳) نحوه عملکرد مدار زیر را بررسی کنید.



مراحل انجام آزمایش:

الف) تراشه 7483 را که یک جمع کننده چهار بیتی است مورد آزمایش قرار داده و جدول زیر را تکمیل کنید.



	A				B					$\sum_{(S)}$			
C_O	A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	C_4	$\sum_4$	$\sum_3$	$\sum_2$	$\sum_1$
0	0	0	0	0	0	0	0	0					
0	0	0	0	1	0	0	0	1					
0	0	0	1	1	0	0	0	1					
1	0	1	0	0	0	1	0	0					
1	0	1	1	1	1	0	0	0					
0	1	1	1	1	1	1	1	1					
1	1	1	1	1	1	1	1	1					
1	0	1	1	0	1	0	1	0					

ب) مداری که در قسمت تمرین ۳ آمده است را بسته و مورد آزمایش قرار دهید و به ازای چند ترکیب ورودی، جدول درستی را بنویسید.

پرسش‌ها:

۱) با استفاده از تراشه 7483 مداری برای جمع کردن دو عدد ۸ بیتی طراحی نمایید. طرح خود را دقیقاً رسم کنید.

آزمایش پنجم: بیت توازن، کد انعکاسی، مقایسه کننده‌ها.

هدف آزمایش:

در این آزمایش، دانشجویان با مدارات تولیدکننده بیت توازن، مبدل کد باینری به کد انعکاسی و مقایسه کننده‌ها آشنا می‌شوند و آن‌ها را طراحی و بررسی می‌کنند.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه‌های 7404، 7404، 7485 و 7486.

تئوری آزمایش:

کدهای آشکارساز خطا:

اطلاعات دودویی ممکن است از یک مکان به مکان دیگر به کمک وسایل ارتباطی مثل سیم‌ها یا موج‌های رادیویی انتقال یابند. پارازیت‌های خارجی که وارد وسایل فیزیکی می‌شوند می‌توانند ارزش بیت‌ها را از ’0‘ به ’1‘ و یا برعکس تغییر دهند. هدف از یک کد آشکارسازی خطا، یافتن خطاهایی از این قبیل است. معمول‌ترین روش خطایابی استفاده از بیت توازن است. یک بیت توازن بیتی است که به پیام اضافه می‌شود و سبب می‌شود که تعداد کل ’1‘ها در پیام عددی زوج یا فرد گردد. بیت توازن در یافتن خطاها به هنگام انتقال اطلاعات بسیار مفید است.

کد انعکاسی (کد گِری):

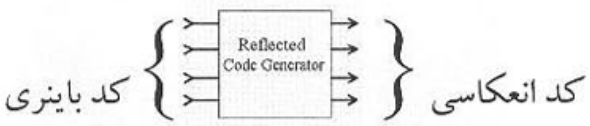
این کد دارای خاصیت انعکاسی است. کلمات کد برای هر دو عدد متوالی تنها در یک بیت با هم اختلاف دارند. برای تبدیل عدد دودویی به معادل گِری داریم:

$$\begin{cases} (b_n b_{n-1} \ldots\ldots b_1)_2 = (g_n g_{n-1} \ldots\ldots g_1)_{gray} \\ g_n = b_n \quad , \quad g_k = b_k \oplus b_{k+1} \quad , \quad k = 1,2,\ldots\ldots, n-1 \end{cases}$$

تمرینات اولیه:

۱) مدار تولیدکننده رقم توازن زوج را برای کلمه‌های ۴ بیتی طراحی نمایید. ورودی مدار یک عدد باینری ۴ بیتی بوده و خروجی بیت پنجم است، به طوری که پنج بیت دارای توازن زوج باشد.

۲) یک مدار مبدل باینری به انعکاسی طراحی کنید (شکل زیر). ورودی این مدار یک عدد باینری چهار بیتی بوده و خروجی آن بایستی کد انعکاسی متناظر با ورودی باشد.



۳) یک مقایسه کننده سه بیتی طراحی نمایید. مدار دارای دو ورودی سه بیتی A و B و سه خروجی G و E و L است، بطوریکه اگر A>B باشد G=1 و اگر A=B باشد E=1 و اگر A<B باشد L=1 می‌باشد. در هر حالت خروجی‌های دیگر صفر است.

۴) مشخصات کامل تراشه 7485 که یک مقایسه کننده ۴ بیتی است را بررسی نمایید.

۵) با استفاده از تراشه‌های 7485 یک مقایسه کننده هشت بیتی طراحی نمایید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی 7486 مدار تولیدکننده رقم توازن زوج که در تمرین ۱ طراحی کرده‌اید را بسته و صحت عملکرد آن را ملاحظه کنید. خروجی توسط دیود نورانی مشاهده شود.

ب) مدار مبدل باینری به انعکاسی را توسط آی‌سی 7486 بسته و برای کلیه حالات ورودی، درستی عملکرد مدار را تحقیق نموده و نتایج را در جدولی یادداشت کنید.

ج) با استفاده از آی‌سی‌های 7404 و 7408 و 7486 مدار مقایسه کننده یک بیتی را بسته و آن را آزمایش نمایید.

پرسش‌ها:

۱) با توجه به نتایج به دست آمده بیت توازن زوج را برای کلمه‌های هشت بیتی طراحی کنید.

۲) اگر بخواهیم عدد باینری 0111 را به عدد باینری 1000 تبدیل نماییم و در هر مرحله تنها مجاز به تغییر حالت یک بیت باشیم، در طی چند مرحله‌این عمل انجام می‌شود؟ حال اگر کد گری متناظر با عدد باینری 0111 (0100) را به کد گری متناظر با عدد باینری 1000 (1100) تبدیل نمایید چند مرحله لازم است؟ از مقایسه این دو تبدیل چه نتیجه‌ای می‌گیرید؟

۳) مداری برای تولید بیت توازن فرد برای کلمه‌های چهار بیتی طراحی کنید.

۴) با استفاده از آی‌سی 7485 یک مقایسه‌گر ۱۶ بیتی بسازید.

آزمایش ششم: مدارهای دیکدر، انکدر، مالتی پلکسر و دی مالتی پلکسر

هدف آزمایش:

در این آزمایش دانشجو با مدارهای دیکدر (کد بردار)، انکدر (کدگذار)، مالتی پلکسر (انتخاب‌کننده داده) و دی مالتی پلکسر (پخش‌کننده داده) آشنا می‌شود و آن‌ها را طراحی کرده و مورد بررسی قرار می‌دهد.

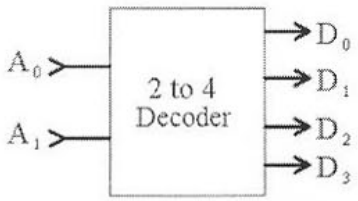
وسایل لازم:

منبع تغذیه، صفحه آزمایش، دیود نورانی، تراشه‌های 7400، 7408 و 74153.

تئوری آزمایش:

دیکدر (کد بردار):

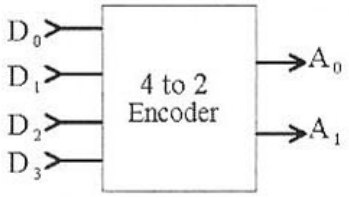
دیکدر n به 2^n، یک شبکه منطقی ترکیبی شامل n ورودی و 2^n سیگنال خروجی می‌باشد. برای هر حالت ورودی، فقط و فقط یک خروجی در منطق یک است. بنابراین می‌توان دیکدر n به 2^n را مولد مینترم تصور کرد، که هر خروجی‌اش دقیقاً یک مینترم است. از دیکدرها برای کارهایی همچون گزینش کلمه‌ای خاص از میان بسیاری که در حافظه قرار دارند، تبدیل کد (مثل دودویی به دهدهی) و راه‌دهی (Routing) داده‌ها استفاده می‌شود. دیکدرها و دیگر ماژول‌های عملیاتی اغلب دارای یک یا چند ورودی فعال‌ساز می‌باشند که می‌توانند برای غیرفعال و یا فعال کردن آن‌ها مورد استفاده قرار گیرند. در شکل زیر بلوک دیاگرام و جدول درستی یک دیکدر ۲ به ۴ را مشاهده می‌کنید. بر اساس حالت‌های مختلف ورودی‌ها، یکی از خروجی‌ها ۱ می‌شود و بقیه صفر می‌باشند.



A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

انکدر (کدگذار):

انکدر یک ماژول منطقی ترکیبی است که برای هر سیگنال ورودی به دستگاه، یک کد خروجی منحصر به فردی را اختصاص می‌دهد. چنین عملی بر خلاف عملکرد دیکدر است. مدار انکدر دارای 2^n خط ورودی و n خط خروجی است. ابتدا حالتی را در نظر می‌گیریم که ورودی‌ها متقابلاً جدا از یکدیگر هستند یعنی در هر لحظه از زمان فقط و فقط یک ورودی فعال می‌باشد و هرگز دو یا چند ورودی به طور همزمان فعال نمی‌شوند. در این حالت خطوط خروجی آدرس، خطی را که فعال و با بقیه متفاوت است را مشخص می‌کند، در این حالت ترکیبات ورودی که هرگز رخ نمی‌دهند، ممکن است به عنوان حالات بی اهمیت به کار روند. در شکل زیر بلوک دیاگرام و جدول درستی انکدر ۴ به ۲ را مشاهده کنید.

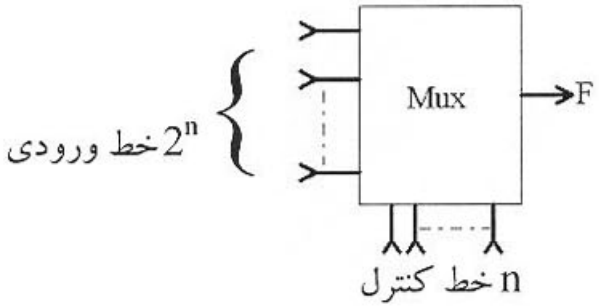


D_3	D_2	D_1	D_0	A_1	A_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1
بقیه حالات				*	

نوع دیگری از انکدرها، انکدر اولویت‌دار می‌باشد. انکدر اولویت‌دار اجازه می‌دهد تا چند خط ورودی فعال شوند، ولی عدد دودویی خارج شده مربوط به آن اندیسی از ورودی است که در خطوط ورودی، بالاترین اولویت را دارد. اگر هیچ یک از خطوط ورودی فعال نباشد، انکدر با اولویت خروجی، صفر را تولید می‌نماید. اگر فقط یک خط فعال باشد انکدر مقدار دودویی اندیس خط فعال را خارج می‌کند. اگر بیش از یک ورودی فعال باشد، انکدر مقدار عددی اندیس بزرگ‌تر خطوط فعال را بیرون می‌فرستد.

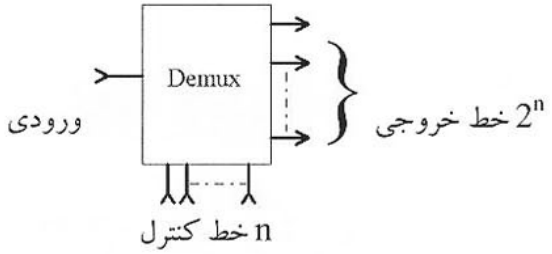
مالتی پلکسر (انتخاب‌کننده داده):

یک ماژول منطقی ترکیبی است که یکی از چند خط ورودی را انتخاب و آن را روی خط خروجی ظاهر می‌سازد. مداری است با n خط کنترل (به عنوان آدرس) و حداکثر 2^n خط ورودی (به عنوان اطلاعات) که بر اساس فرمانی که توسط خطوط کنترل دریافت می‌کند، یکی از ورودی‌ها را به تنها خروجی منتقل می‌کند. در شکل زیر بلوک دیاگرام یک انتخاب‌کننده (MUX) را مشاهده می‌کنید.



دی مالتی پلکسر (پخش‌کننده داده):

یک ماژول است که یک خط ورودی را گرفته و آن را به یکی از چند خروجی مرتبط می‌کند. مداری است با n خط کنترل به عنوان آدرس، 2^n خط خروجی و تنها یک ورودی جهت ورود اطلاعات. بر اساس فرمانی که بر روی خط کنترل می‌آید، ورودی به یکی از خروجی‌ها منتقل می‌شود. شکل زیر بلوک دیاگرام مربوط به یک پخش‌کننده داده را نشان می‌دهد.



تمرینات اولیه:

۱) با استفاده از آی‌سی‌های 7404 و 7408 یک دیکدر ۲ به ۴ طراحی کنید.

۲) با استفاده از آی‌سی 7400 یک انکدر ۴ به ۲ طراحی کنید.

۳) با استفاده از آی‌سی 7400 یک مالتی پلکسر ۲ به ۱ طراحی کنید.

۴) با استفاده از آی‌سی 7400 یک دی مالتی پلکسر ۱ به ۴ طراحی کنید.

۵) با استفاده از یک انتخاب‌کننده داده ۴ به ۱، تابع $F(A,B,C) = \sum(0,2,4,5)$ را طراحی کنید.

مراحل انجام آزمایش:

الف) مدارهای دیکدر ۲ به ۴ و مالتی پلکسر ۲ به ۱ را که در قسمت قبل طراحی نموده‌اید را بسته و آن‌ها را مورد آزمایش قرار داده و نتایج را یادداشت کنید. خروجی‌ها را توسط LED مشاهده کنید.

ب) با استفاده از آی‌سی 74153 مداری که در تمرین ۵ طراحی نموده‌اید را بر روی صفحه آزمایش بسته و آن را مورد آزمایش قرار دهید.

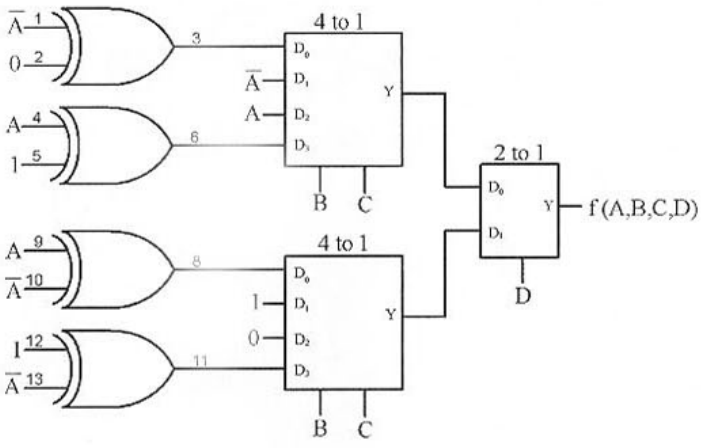
پرسش‌ها:

۱) با استفاده از دیکدرهای ۲ به ۴ دیکدرهای ۳ به ۸ و ۴ به ۱۶ را طراحی کنید.

۲) با استفاده از مالتی پلکسرهای ۴ به ۱ یک مالتی پلکسر ۱۶ به ۱ را طراحی کنید.

۳) تابع f(a,b,c)=ab+bc را با یک مالتی پلکسر ۴ به ۱ پیاده سازی کنید.

۴) برای مدار شکل زیر لیست مینترم تابع f(A,B,C,D) را پیدا کنید:



آزمایش هفتم: نمایشگر هفت‌قسمتی (7-Segment)

هدف آزمایش:

در این آزمایش دانشجو با نمایشگر هفت‌قسمتی و تراشه‌های کدبردار BCD به نمایشگر هفت‌قسمتی و طراحی آن‌ها آشنا می‌شود و آن‌ها را مورد بررسی می‌کند.

وسایل لازم:

منبع تغذیه، صفحه آزمایش، نمایشگر هفت‌قسمتی کاتد مشترک و تراشه‌های 7400، 7448، 7486 و 4511.

تئوری آزمایش:

برای نشان دادن اعداد ذخیره شده در ثبات‌ها و یا شمارنده‌ها، می‌توان از نمایشگرهای هفت‌قسمتی استفاده کرد. نمایشگرهای هفت‌قسمتی از هفت دیود منتشر کننده نور (در بعضی موارد یک دیود هم برای نقطه اعشاری) ساخته شده‌اند. ترکیبات انتخابی LEDها، برای ایجاد ارقام عددی و دیگر سمبل‌ها روشن می‌شوند. یک LED، هنگامی‌که ولتاژ در ورودی آند به اندازه کافی مثبت‌تر از ولتاژ در کاتد باشد، روشن می‌شود. برای حداقل کردن تعداد سیگنال‌های کنترل، آندهای LEDها معمولاً در یک نقطه مشترک به هم وصل شده‌اند و لذا آن را آند مشترک می‌نامند و یا کاتدها به هم وصل شده‌اند که آن را کاتد مشترک می‌گویند. در پیکربندی آند مشترک، آند معمولاً به ولتاژ بالا متصل شده و کاتدها به طور جداگانه کنترل می‌شوند. در نتیجه اعمال یک ولتاژ منطق صفر موجب روشن شدن آن LED می‌گردد. در صورتی که یک منطقی، LED را غیر فعال می‌سازد. وضعیت پیکربندی کاتد مشترک بر عکس آند مشترک است. با توجه به خاموش و روشن شدن LEDها می‌توان ارقام و اشکال مختلفی را بر روی نمایشگر هفت‌قسمتی مشاهده کرد.

تمرینات اولیه:

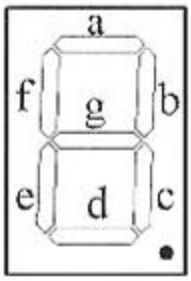
۱) یک مدار ترکیبی طراحی کنید که ورودی آن چهار بیت A، B، C و D بوده و خروجی‌های آن به ازای ترکیبات 1111، 1110، 1101 و 1100به ترتیب علائم S ( )، Y ( )، H ( ) و A ( ) را روی یک نمایشگر هفت‌قسمتی کاتد مشترک نمایش دهد. بقیه ورودی‌ها غیر مجاز باشند.

۲) با استفاده از مراجع و کاتالوگ‌هایی که در اختیار دارید، مشخصات کامل و نحوه کار تراشه‌های 7447 و 7448 و 4511 را مطالعه نمایید.

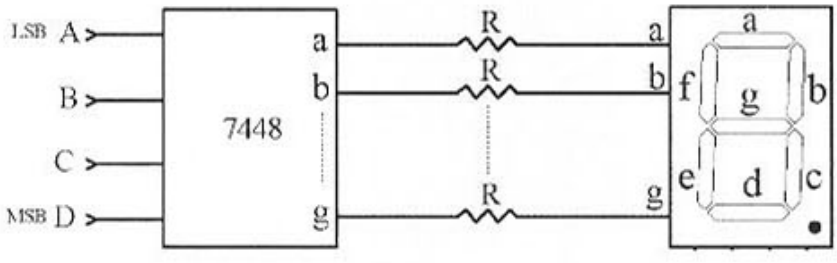
مراحل انجام آزمایش:

الف) یک نمایشگر هفت‌قسمتی را بر روی صفحه آزمایش قرار داده و ارتباط بین پایه‌ها و دیودهای نورانی a تا g را به دست آورید. برای این کار در نمایشگر هفت‌قسمتی آند مشترک (کاتد مشترک) سر مشترک را توسط یک مقاومت حداقل ۱۰۰ اهم به ولتاژ بالا (ولتاژ پایین برای کاتد مشترک) متصل می‌کنیم، سپس با اتصال ولتاژ پایین (ولتاژ بالا) به هر یک از پایه‌ها و

روشن شدن هر یک از دیودهای نورانی a تا g ارتباط بین پایه‌ها و دیودهای نورانی را به دست می‌آوریم و نام هر دیود نورانی را بر روی پایه مربوط به آن می‌نویسیم.



ب) تراشه 7448 را مطابق شکل زیر به یک نمایشگر هفت‌قسمتی کاتد مشترک متصل کرده و به ازای کلیه حالات ورودی (0000 تا 1111) علائم مشاهده شده بر روی نمایشگر را یادداشت کنید. توجه داشته باشید که مقاومت‌های نشان داده شده در شکل جهت جلوگیری از سوختن نمایشگر و تراشه ضروری می‌باشد.



- حال پایه شماره ۳ تراشه (Lamp Test) را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائمی که بر روی نمایشگر ظاهر می‌شود را یادداشت کنید و کار پایه LT را نتیجه‌گیری کنید.

- مدار را به حالت اولیه برگردانید و حال پایه شماره ۴ تراشه را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائمی که بر روی نمایشگر ظاهر می‌شود را یادداشت کرده و کار پایه شماره ۴ را نتیجه بگیرید.

- مدار را به حالت اولیه برگردانید، سپس پایه شماره ۵ تراشه را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی (0000 تا 1111) اشکال نشان داده شده توسط نمایشگر را یادداشت کنید. همچنین در هر حالت، ولتاژ پایه شماره ۴ را با یک LED یا پروب منطقی تشخیص دهید.

ج) تراشه 4511 را که از خانواده CMOS و یک کدبردار BCD به نمایشگر هفت‌قسمتی می‌باشد را توسط مقاومت‌های مناسب (بین ۱۰۰ تا ۳۰۰ اهم) به یک نمایشگر هفت‌قسمتی کاتد مشترک متصل نموده، سپس پایه LT و BL را به ولتاژ بالا و LE را به ولتاژ پایین متصل کنید. حال به ازای کلیه حالات ورودی (0000 تا 1111)، علائمی را که بر روی نمایشگر ظاهر می‌شود را یادداشت کنید.

- حال پایه شماره ۳ تراشه (LT) را ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائم نشان داده شده را یادداشت کنید و کار این پایه را نتیجه بگیرید.

- مدار را به حالت اولیه برگردانید و سپس پایه شماره ۴ تراشه (BL) را به ولتاژ Low وصل کرده و به ازای ترکیبات مختلف ورودی، نتایج را مشاهده و یادداشت کنید.

- مدار را به حالت اولیه برگردانید، سپس یک ورودی بین ۱ تا ۹ را انتخاب کرده و به تراشه اعمال کنید. سپس پایه شماره ۵ تراشه را به ولتاژ بالا وصل کرده و ورودی را چندین بار تغییر دهید. با مشاهده خروجی در هر حالت عملکرد این پایه را نتیجه بگیرید.

پرسش‌ها:

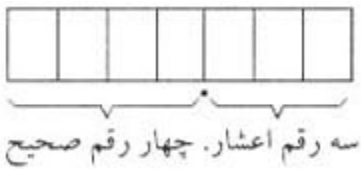
۱) نقش پایه Lamp Test در تراشه‌های 7448 و 4511 را بیان کنید.

۲) نحوه استفاده از پایه‌های Blanking-in و Blanking-out در تراشه 7448 را شرح دهید.

۳) نحوه استفاده از پایه‌های BI و Store در تراشه 4511 را شرح دهید.

۴) تراشه‌های 7447، 7448 و 4511 را با هم مقایسه کنید و تفاوت‌های اساسی آن‌ها را بیان کنید.

۵) جهت نمایش دادن یک عدد ده‌دهی از هفت نمایشگر کاتد مشترک استفاده شده است که طبق شکل زیر سه رقم آن اعشاری و چهار رقم آن ارقام صحیح را نشان می‌دهند. اگر از تراشه 7448 به عنوان کدبردار BCD به هفت‌قسمتی استفاده شود، در هر یک از حالات زیر اتصال لازم بین تراشه‌ها را طراحی و رسم نمایید:



۵-۱) صفرهای سمت چپ عدد صحیح نمایش داده نشود (مثلاً عدد 0065.505 به‌صورت 65.505 مشاهده شود).

۵-۲) صفرهای سمت راست قسمت اعشاری نمایش داده نشود (مثلاً عدد 1234.500 به‌صورت 1234.5 مشاهده شود).

۵-۳) دو حالت فوق به صورت هم‌زمان وجود داشته باشد (مثلاً عدد 0001.100 به‌صورت 1.1 مشاهده شود).

آزمایش هشتم: مدارهای ترتیبی

هدف آزمایش:

در این آزمایش دانشجویان با مدارهای ترتیبی و اجرای تشکیل دهنده آن‌ها آشنا می‌شوند و این اجزا را بررسی می‌کنند.

وسایل لازم:

منبع تغذیه، صفحه آزمایش، دیود نورانی، تراشه‌های 7400، 7404، 7408، 74107 و سیگنال ژنراتور.

تئوری آزمایش:

مدارهای ترتیبی، اطلاعات دودویی را از ورودی‌ها دریافت می‌کنند و این ورودی‌ها به همراه حالت عناصر حافظه، یک مقدار دودویی را در پایانه‌های خروجی مشخص می‌نماید. مدارهای ترتیبی از نظر مسائل زمانی سیگنال‌هایشان به دو نوع اساسی سنکرون و آسنکرون طبقه بندی می‌شوند. یک مدار ترتیبی سنکرون، سیستمی است که از روی سیگنال‌هایش در فواصل گسسته زمانی می‌توان عملکردش را تعیین نمود و در مقابل، عملکرد یک مدار ترتیبی آسنکرون به ترتیب تغییر سیگنال‌های ورودی آن که می‌توانند در هر لحظه از زمان روی مدار تأثیر کند وابسته است. عملکرد یک مدار ترتیبی سنکرون (همگام) به وسیله پالس همگام کننده‌ای به نام ساعت، که به حافظه مدار اعمال می‌گردد، کنترل می‌شود. مداری که با پالس ساعت کنترل می‌شود مدار ترتیبی همگام نامیده می‌شود. مداری را که فاقد سیگنال ساعت می‌باشد مدار ترتیبی غیر همگام می‌نامند. عناصر حافظه‌ای که به طور معمول در مدارهای ترتیبی آسنکرون به کار می‌روند قطعات تأخیر زمانی هستند و عناصر حافظه‌ای که در مدارهای ترتیبی با پالس ساعت به کار می‌روند فلیپ فلاپ نامیده می‌شوند. فلیپ فلاپ‌ها سلول‌های دودویی هستند که قادر به ذخیره یک بیت اطلاعات می‌باشند. یک فلیپ فلاپ قادر است تا وقتی که تحت تأثیر یک سیگنال ورودی برای تغییر حالت قرار نگرفته، یک حالت دودویی را به طور نامحدود در خود نگهداری کند. مدار یک فلیپ فلاپ دارای دو خروجی است (یکی برای مقدار طبیعی بیت ذخیره شده در آن و دیگری برای مکمل آن). تفاوت‌های اساسی که بین انواع گوناگون فلیپ فلاپ‌ها وجود دارد در تعداد ورودی‌هایشان و همچنین در طریقه تأثیر این ورودی‌ها بر حالت دودویی آن‌ها است.

پالس ساعتی که در مدارهای ترتیبی مورد استفاده قرار می‌گیرد یا حساس به سطح (سطح مثبت یا سطح منفی) هستند و یا حساس به لبه (لبه پایین‌رونده با منفی و یا لبه بالارونده یا مثبت).

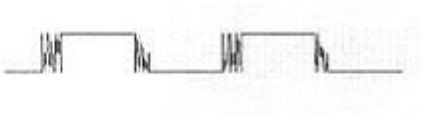
مرسوم‌ترین انواع فلیپ فلاپ‌ها عبارت‌اند از: D، T، JK و SR.

فلیپ فلاپ‌های موجود در آی‌سی‌ها، گاهی ورودی‌های مخصوصی دارند که برای یک و صفر کردن فلیپ فلاپ استفاده می‌شوند. این ورودی‌ها پیش تنظیم مستقیم و پاک کردن مستقیم نامیده می‌شوند. این ورودی‌ها توسط یک سیگنال مثبت (منفی) روی فلیپ فلاپ تأثیر می‌کنند و برای این منظور نیاز به پالس ساعت ندارند. آن‌ها برای دادن یک حالت اولیه در ابتدای کار به فلیپ فلاپ مناسب هستند. کلید پاک می‌بایست همه فلیپ فلاپ‌ها را بدون نیاز به پالس ساعت، ’0‘ نماید. بعضی از فلیپ فلاپ‌ها نیز دارای یک ورودی پیش تنظیم هستند که خروجی Q را در فلیپ فلاپ یک کرده و Q’ را صفر

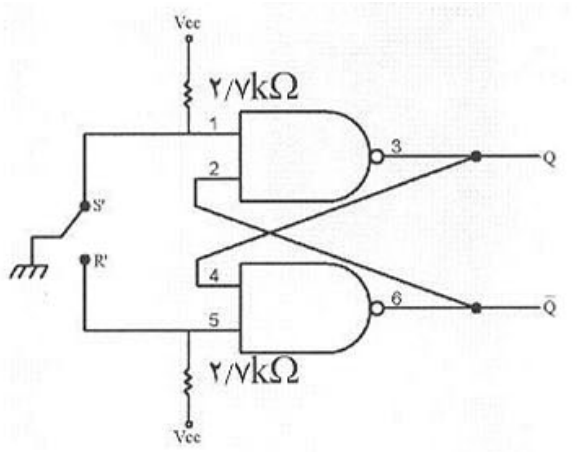
می‌کند. چون در این آزمایش، آشنایی عملی با فلیپ فلاپ‌ها مدنظر می‌باشد، لازم است قبل از آزمایش، مطالعه کافی در این زمینه داشته و ضمن شناخت انواع فلیپ فلاپ‌ها، با مفاهیم همگام، ناهمگام، تریگر سطح و تریگر لبه نیز آشنا باشید.

تولید کلاک دستی (بدون نویز کلید):

هنگامی‌که با یک سوئیچ یا یک قطعه سیم (با اتصال به GND یا VCC) بخواهیم کلاک دستی تولید کنیم بایستی اغتشاش یا نویز حاصل هنگام قطع یا وصل کلید را برطرف کنیم. اغتشاش کلید به علت ارتعاشات نامحسوسی (زمانی حدود 10^{ms}) می‌باشد که هنگام زدن کلید به وجود می‌آید، مانند شکل زیر:



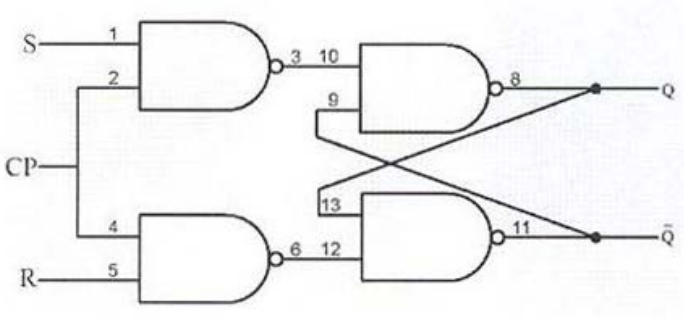
اغتشاش کلید می‌تواند باعث نتایج اشتباه در مدارات ترتیبی گردد. برای مثال در یک شمارنده باعث شمارش نامنظم می‌گردد. بنابراین بایستی آن را از کلاک دستی یا سوئیچ حذف نمود. برای این منظور می‌توان از مدار زیر استفاده نمود.



مدار فوق یک فلیپ فلاپ پایه است، که حالت بی اثر آن به ازای ’1‘ و ’1‘ روی پایه‌های 'S و 'R می‌باشد. با توجه به اضافه شدن مقاومت بین VCC و هریک از این پایه‌ها می‌توان مطمئن بود که هنگام آزاد بودن این پایه‌ها (وصل نبودن به سوئیچ) سطح ’1‘ به ورودی دروازه NAND مربوط به آن پایه برسد. بنابراین اگر سوئیچ فوق به 'S وصل شود خروجی Q سطح یک می‌شود و هرگونه ارتعاش کلید هنگام وصل به 'S بی اثر روی نتیجه اولیه خواهد بود. تنها موقعی خروجی Q تغییر می‌کند که کلید به پایه 'R وصل گردد و در این صورت نیز هرگونه ارتعاش سوئیچ نسبت به این پایه، بی اثر روی اولین نتیجه (سطح صفر Q) می‌باشد.

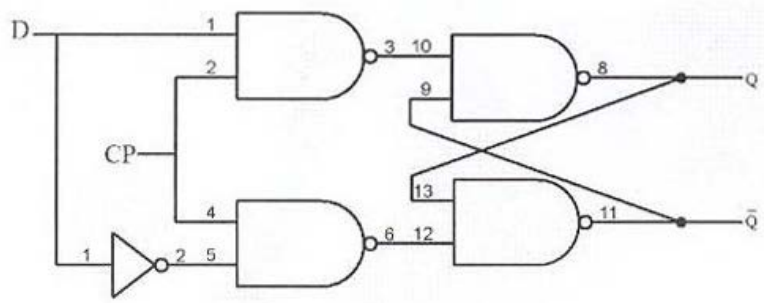
مراحل انجام آزمایش:

الف) مدار فلیپ فلاپ SR همگام را مطابق شکل زیر ببندید. با اعمال یک پالس مربعی با فرکانس کم به ورودی CP و تغییر دادن ورودی‌های R و S طرز کار مدار را بررسی نموده و جدول مشخصه را تکمیل کنید. خروجی‌ها را به کمک LED مشاهده کنید. (برای تولید پالس مربعی با فرکانس کم از دستگاه سیگنال ژنراتور استفاده می‌کنیم. بدین صورت که فرکانس دستگاه را روی ۱ هرتز قرار داده و از خروجی TTL دستگاه خروجی گرفته و آن را به مدار اعمال می‌کنیم)



S	R	Q	Q'
0	1		
0	0		
1	0		
0	0		
1	1		

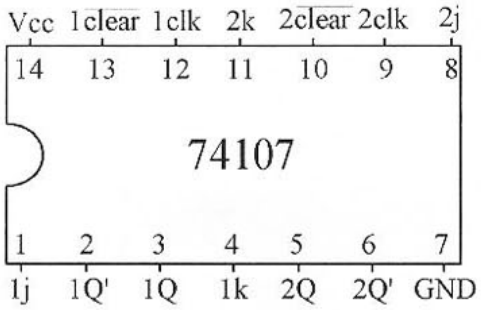
ب) با استفاده از فلیپ فلاپ SR آزمایش قبل، یک فلیپ فلاپ D مطابق شکل زیر بسازید و با مشاهده Q توسط دیود نورانی جدول مشخصه مدار را به دست آورید. برای دروازه NOT می‌توانید از آی‌سی 7404 استفاده کنید.



D	Q
0	
1	

ج) مدار مربوط به تولید کلاک دستی گفته شده در بخش تئوری آزمایش را بسته و آن را برای حالت‌های مختلف بررسی کنید.

د) آی‌سی 74107 را که حاوی ۲ فلیپ فلاپ JK با پایه پاک‌کننده ($\overline{\text{Clear}}$) است را بر روی صفحه آزمایش قرار داده و عملکرد فلیپ فلاپ JK را به کمک آن بررسی کنید. پایه $\overline{\text{Clear}}$ با صفر فعال می‌شود. پس برای عملکرد عادی آی‌سی باید این پایه را به یک وصل کنید.



پرسش‌ها:

۱) چرا فلیپ فلاپ SR ورودی ’1‘ و ’1‘ را نمی‌تواند بپذیرد؟

۲) طرز کار و مشخصات تراشه‌های 7473 و 7476 را بررسی کرده و نحوه عملکرد پایه‌های $\overline{\text{Reset}}$ و $\overline{\text{Preset}}$ را بیان کنید.

آزمایش نهم: شمارنده‌ها

هدف آزمایش:

در این آزمایش دانشجویان با طراحی و نحوه عملکرد شمارنده‌های همگام و ناهمگام آشنا می‌شوند و آن‌ها را بررسی می‌کنند.

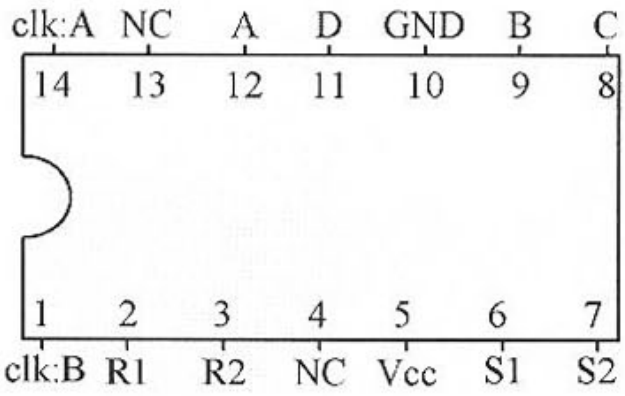
وسایل لازم:

منبع تغذیه، صفحه آزمایش، سیگنال ژنراتور، دیود نورانی، تراشه‌های 7408، 7486، 74107، 7474 و 7490.

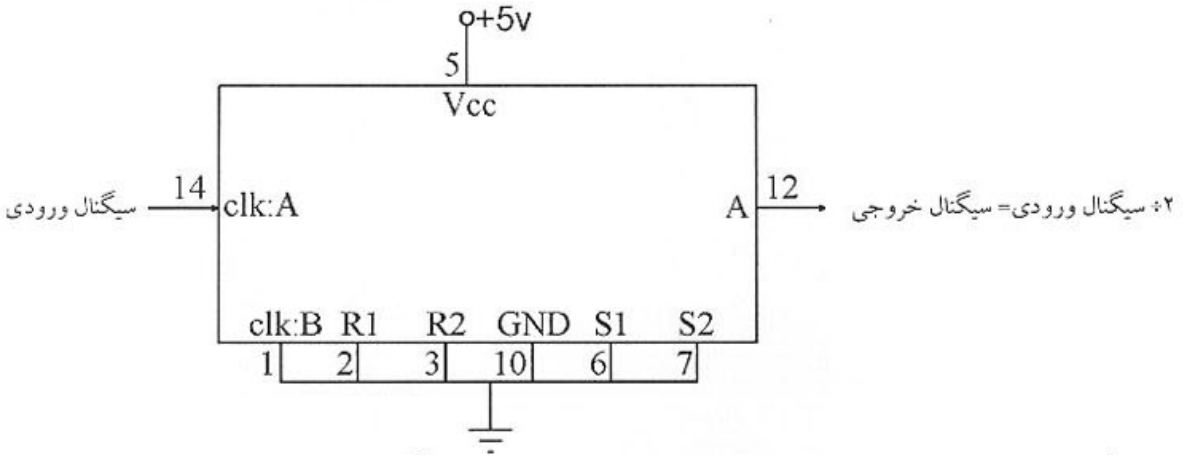
تئوری آزمایش:

شمارنده‌ها گروهی از مدارات منطقی هستند که یک سری از پالس‌های ورودی را می‌شمارند. این پالس‌ها ممکن است ذاتاً منظم یا غیرمنظم باشند. شمارنده بخشی اساسی از مدارهای منطقی دیجیتال است. از این وسیله در واحدهای زمانی، مدارهای کنترل، مدارهای سیگنال و تعداد زیادی از وسایل دیگر استفاده می‌شود. شمارنده‌هایی که با مدارات مجتمع ساخته می‌شوند، بر دو نوع به نام شمارنده‌های سنکرون و آسنکرون می‌باشند. در شمارنده‌های آسنکرون خروجی یک فلیپ فلاپ به طریقی به ورودی پالس ساعت دیگری متصل شده است، به طوری که باعث تریگر کردن فلیپ فلاپ بعدی می‌شود. در شمارنده‌های سنکرون ورودی پالس تمام فلیپ فلاپ‌ها به پالس ساعت اصلی متصل می‌باشد. به عبارت دیگر تمام فلیپ فلاپ‌ها در یک لحظه با هم تغییر می‌نمایند.

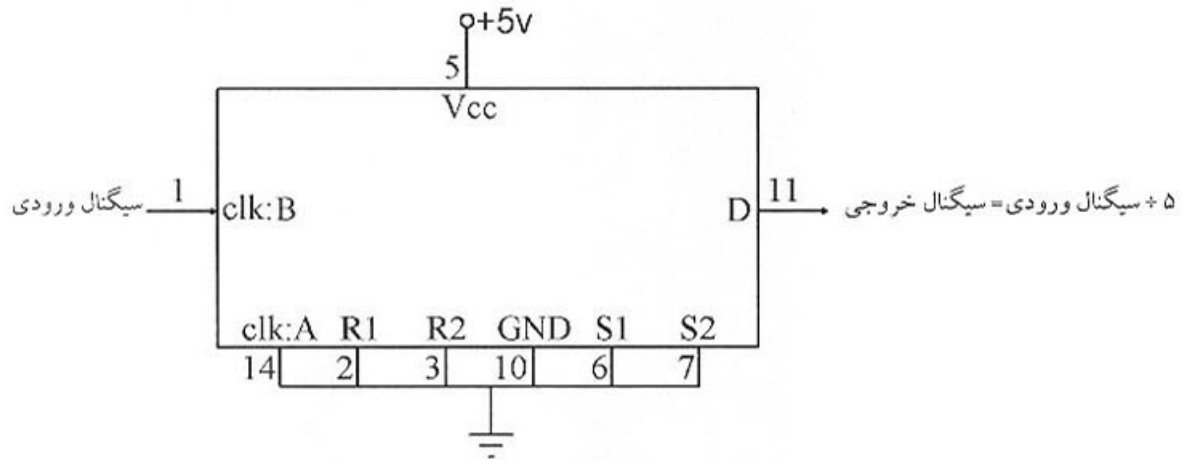
آی‌سی 7490 نوعی شمارنده / مقسم فرکانس قابل‌برنامه‌ریزی می‌باشد که از دو شمارنده مستقل تشکیل شده است. نسبت تقسیم یکی از این شمارنده‌ها ۲ و دیگری ۵ می‌باشد، که با لبه رو به پایین پالس ساعت تحریک می‌شوند. می‌توان این دو شمارنده را با یکدیگر مورد استفاده قرار داد. به این ترتیب نوعی شمارنده مبنای ۱۰ با کد دهی BCD، یا بدون آن، ایجاد می‌شود. همچنین می‌توان آن را طوری پیکربندی کرد که نسبت تقسیم شمارنده عددی بین ۲ تا ۹ باشد. شکل زیر نقشه عملی و نحوه قرار گرفتن پایه‌های آی‌سی را نشان می‌دهد.



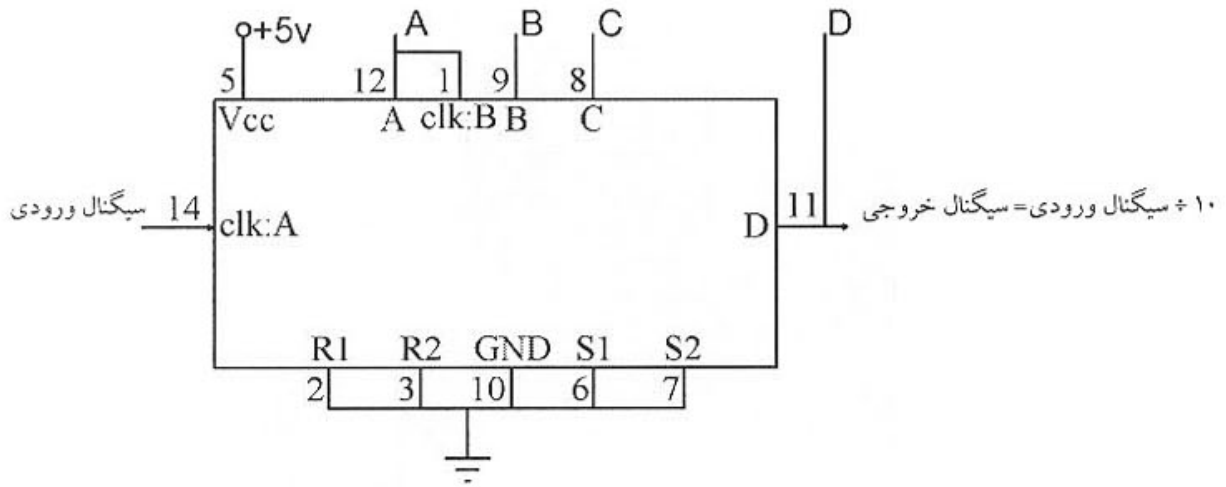
در شکل زیر فقط شمارنده نصف کننده فرکانس داخلی مورد استفاده قرار گرفته است. در این حالت آی‌سی به صورت شمارنده مبنای ۲ عمل می‌کند.



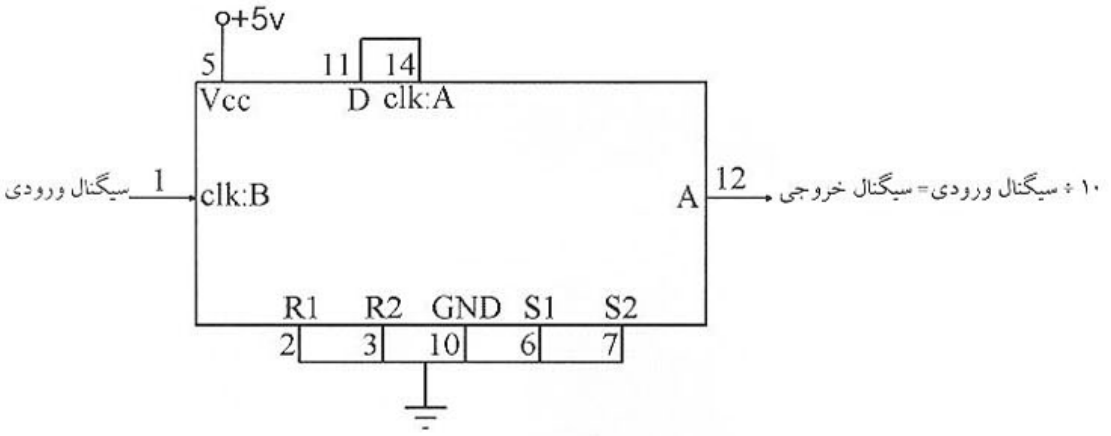
در شکل زیر فقط شمارنده/ مقسم فرکانسی مورد استفاده قرار گرفته که نسبت تقسیم آن ۵ می‌باشد. در اینجا بخش نصف کننده فرکانس و گیت‌های کنترل‌کننده Reset و Set غیر فعال شده‌اند. بنابراین آی‌سی مزبور فقط به صورت شمارنده / مقسم فرکانس با نسبت تقسیم ۵ عمل می‌کند.



شکل زیر روش استفاده از آی‌سی 7490 در مبنای ۱۰ و با خروجی BCD را نشان می‌دهد. در اینجا هر دو شمارنده داخلی آی‌سی مورد استفاده قرار گرفته اند. توجه داشته باشید که خروجی نامتقارن می‌باشد.



شکل زیر روش استفاده از آی‌سی مزبور به صورت شمارنده مبنای ۱۰ و خروجی متقارن را نشان می‌دهد.



تمرینات اولیه:

۱) یک شمارنده باینری چهار بیتی ناهمگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.

۲) یک شمارنده باینری چهار بیتی همگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.

۳) یک شمارنده BCD ناهمگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.

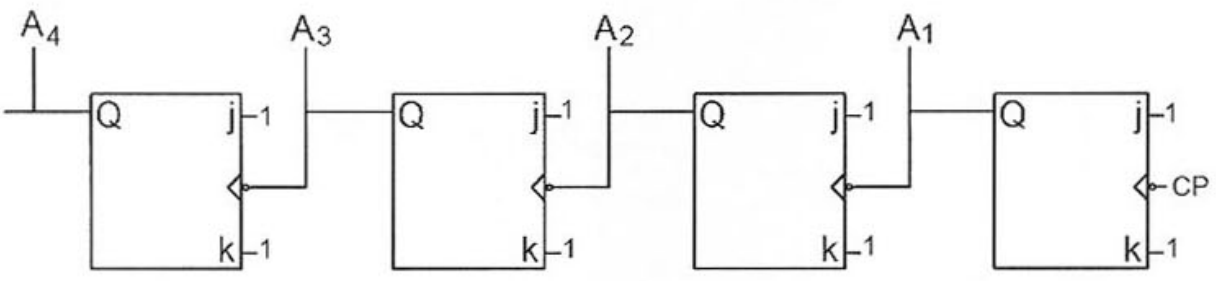
۴) یک شمارنده همگام صعودی – نزولی مبنای چهار طراحی کنید. این شمارنده باید دارای یک ورودی کنترل M باشد به طوری که اگر M=0 باشد شمارنده نزولی و اگر M=1 باشد شمارنده صعودی بشمارد.

۵) یک شمارنده جانسون چهار بیتی همگام طراحی کنید.

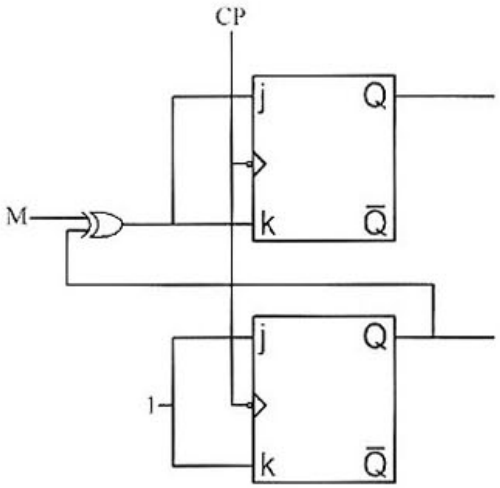
۶) با استفاده از آی‌سی 7490 یک شمارنده مبنای ۱۰۰ به صورت ناهمگام طراحی کنید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی 74107 مدار شمارنده باینری چهار بیتی ناهمگام (شکل زیر) را بسته و آن را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده کنید.



ب) با استفاده از آی‌سی 7486 و 74107 مدار شمارنده همگام صعودی – نزولی مبنای ۴ (شکل زیر) را بسته و به ازای ورودی M نحوه شمارش آن را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده کنید.



ج) یک تراشه 7490 را به ترتیب زیر مورد آزمایش قرار دهید:

- طرز کار قسمت ۲÷ را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده نمایید.
- طرز کار قسمت ۵÷ را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده نمایید.
- مدار را به صورت یک شمارنده BCD بسته و شمارش آن را به کمک دیودهای نورانی مشاهده کنید.

پرسش‌ها:

۱) محاسن و معایب شمارنده‌های همگام را نسبت به شمارنده‌های ناهمگام بنویسید.

۲) شمارنده‌های 74190 و 74191 را تشریح نمایید.

۳) با استفاده از آی‌سی 74190 یک شمارنده مبنای ۱۰۰ به صورت سنکرون طراحی کنید.

آزمایش دهم: ثبات‌های انتقالی

هدف آزمایش:

طراحی مدارهای ثبات‌های انتقالی و آشنایی با تراشه‌های مختلف مربوط به آن‌ها.

وسایل لازم:

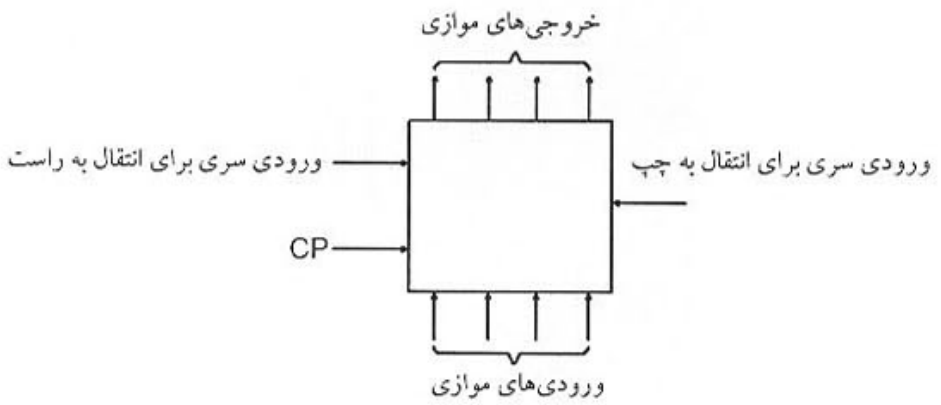
منبع تغذیه، صفحه آزمایش، سیگنال ژنراتور، دیود نورانی و تراشه‌های 7400، 7404، 7474، 74194، 4015 و 74153.

تئوری آزمایش:

شیفت رجیستر یا ثبات جابجایی یک ماژول منطقی ترتیبی است که از فلیپ فلاپ‌ها ساخته شده و مکان‌های بیتی داده‌های دودویی را به چپ یا به راست جابجا می‌کند. از شیفت رجیسترها می‌توان برای تبدیل داده‌های سریال به موازی و بالعکس استفاده کرد. اگر به خروجی کلیه فلیپ فلاپ‌ها در یک شیفت رجیستر دسترسی داشته باشیم، می‌توانیم اطلاعات را که به صورت سریال وارد شیفت رجیستر شده‌اند، به صورت موازی، از خروجی فلیپ فلاپ‌های آن بگیریم و همچنین اگر توانایی بار شدن موازی را به یک شیفت رجیستر اضافه کنیم، آنگاه می‌توانیم اطلاعاتی را که به صورت موازی وارد آن شده‌اند، به فرم سریال بازیابی کنیم.

تمرینات اولیه:

۱) یک ثبات انتقالی چهار بیتی، با قابلیت ورودی و خروجی متوالی برای انتقال به راست و چپ و ورودی و خروجی موازی (شکل زیر) را توسط تراشه‌های 7474 و 74153 طراحی کنید. (تذکر: خروجی متوالی مربوط به عمل انتقال به راست سر A_1 و خروجی متوالی متناظر با انتقال به چپ سر A_4 خواهد بود)



۲) با مشخصات و نحوه عمل سه تراشه 74194، 7495 و 4015 به طور کامل آشنا شوید.

۳) با استفاده از تراشه 4015، یک ثبات انتقالی هشت بیتی با قابلیت ورودی سری برای انتقال به راست طراحی نمایید.

مراحل انجام آزمایش:

الف) ثبات انتقالی را که خود طراحی نموده‌اید به طور کامل مورد آزمایش قرار داده و نتایج به دست آمده را یادداشت نمایید. برای مشاهده خروجی‌ها از دیود نورانی استفاده نمایید.

ب) آزمایش قسمت الف را برای تراشه 74194 تکرار نمایید.

ج) تراشه 4015 را به طور کامل مورد آزمایش قرار دهید و تمام مطالب ذکر شده در مورد آن را آزمایش کنید. نتایج به دست آمده را به طور کامل بنویسید.

پرسش‌ها:

۱) تراشه 7495 یک ثبات انتقالی ۴ بیتی با امکانات ورودی موازی و ورودی سری، انتقال به چپ و انتقال به راست می‌باشد. طرز کار را به طور کامل شرح دهید و سپس به کمک دو عدد از این تراشه یک ثبات انتقالی هشت بیتی انتقال به راست و بار دیگر انتقال به چپ طراحی کنید.

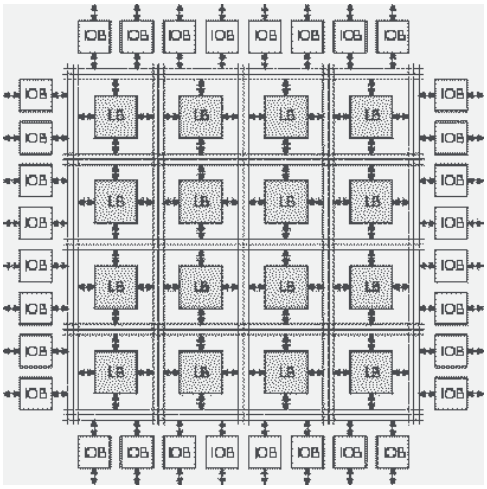
آشنایی با FPGA و کد نویسی Verilog

تراشه‌های قابل‌برنامه‌ریزی با توجه به کارآیی و توانایی بالا در سیستم‌های صنعتی و تحقیقاتی، باعث تحول فوق‌العاده‌ای در صنعت میکروالکترونیک شده‌اند؛ اما به دلیل فقدان آموزش و ابزار مورد نیاز در دانشگاه‌های کشورمان، همواره شکاف عمیقی میان محیط دانشگاهی و محیط صنعتی ملموس و محسوس بوده است. به همین منظور در این آزمایشگاه سعی شده است تا این مفاهیم با دیدی آموزشی و ساده انتقال داده شود. این مفاهیم عبارت‌اند از:

- آشنایی با ساختار تراشه‌های قابل‌برنامه‌ریزی FPGA
- روند طراحی با یک تراشه قابل‌برنامه‌ریزی FPGA
- آشنایی و برنامه‌نویسی با زبان توصیف سخت‌افزار Verilog یا VHDL
- آشنایی و طراحی با نرم‌افزار ISE
- طراحی، پیاده‌سازی و تست انواع مدارهای دیجیتال بر روی FPGA

FPGAها نسل جدید مدارهای مجتمع دیجیتال قابل برنامه‌ریزی هستند. عبارت FPGA مخفف Field Programmable Logic Gate Array بوده که به معنی "آرایه دریچه‌ای برنامه‌پذیر میدانی" می‌باشد. سرعت اجرای توابع منطقی در FPGAها بسیار بالا است. اگر بخواهیم FPGA را به طور ساده تشریح کنیم، عبارت است از یک تراشه که از تعداد بالایی بلوک منطقی LB (Logic Block)، خطوط ارتباطی و پایه‌های ورودی/ خروجی (IOB) تشکیل شده است که به صورت آرایه‌ای در کنار یکدیگر قرار دارند. خطوط ارتباطی که وظیفه آن‌ها ارتباط بین بلوک‌های منطقی است از سوئیچ‌های قابل‌برنامه‌ریزی تشکیل شده‌اند. این سوئیچ‌ها بسته به نوعی که دارند، برخی تنها یک‌بار قابل‌برنامه‌ریزی هستند و برخی به تعداد دفعات زیادی برنامه‌ریزی می‌شوند. بلوک‌های منطقی نیز دارای انواع مختلفی هستند که عموماً توسط المانی پایه، تمامی توابع منطقی را ایجاد می‌کنند. به عنوان مثال بلوک‌های منطقی در خانواده ACT-1 از شرکت Actel، بر پایه مالتی پلکسری عمل می‌کنند. به این معنا که توسط مالتی پلکسر، توانایی ایجاد توابع منطقی مختلف را دارند. البته تعداد ورودی‌های هر بلوک منطقی متفاوت است و به نوع FPGA مربوط می‌شود. به عنوان مثال بلوک‌های منطقی در خانواده ACT-1، از نوع ۸ ورودی است. البته در برخی موارد به بلوک‌های منطقی، سلول‌های منطقی نیز گفته می‌شود (LC). بلوک دیاگرام یک FPGA به طور ساده در شکل زیر نشان داده شده است. البته بسیاری از سلول‌های منطقی بر اساس جداول LUT ساخته می‌شوند. LUT از تعدادی سلول‌های حافظه SRAM تشکیل می‌شود که در هنگام برنامه‌ریزی FPGA، مقداردهی می‌شوند. به طور خلاصه LUT عبارت است از تولید توابع آماده برای استفاده در سلول‌های منطقی. پیاده‌سازی توابع مختلف نیز به وسیله در کنار هم قرار گرفتن بلوک‌های منطقی و همچنین تنظیم ارتباط بین هر بلوک و به عهده گرفتن پردازش اطلاعات توسط هر بخش انجام می‌شود.

FPGA از یک سری عناصر منطقی که برای کار خاصی محدود نشده‌اند و نیز دارای اتصالات قابل‌برنامه‌ریزی هستند، تشکیل شده‌اند؛ بنابراین هر دو جزء اصلی تشکیل دهنده یعنی بلوک‌های منطقی و همچنین اتصالات بین آن‌ها قابل‌برنامه‌ریزی است.



همان‌طور که در این شکل مشخص است، سه جزء اصلی آن عبارت‌اند از بلوک‌های منطقی (Logic Blocks)، عناصری که برای اتصالات بکار می‌روند (Integration Resources) و بلوک‌های ورودی و خروجی (I/O Blocks). ساختار و محتویات بلوک‌های منطقی می‌تواند خیلی ساده (در حد یک گیت NAND) و یا خیلی پیچیده (نظیر چند MUX یا Look-Up Table به همراه یک فلیپ فلاپ) باشد. بلوک‌های منطقی در حقیقت جایی هستند که قسمت‌های اصلی مدار قرار می‌گیرند. البته ابتدا باید مداری که قرار است روی FPGA قرار بگیرد به اجزای کوچکی که همان محتویات بلوک‌های منطقی هستند تقسیم شود و بعد از این عمل است که می‌توان با متصل کردن بلوک‌های پایه به هم مدارهای واقعی را به دست آورد. عناصری که برای اتصالات بکار می‌روند، معمولاً بین بلوک‌های منطقی قرار می‌گیرند و از قطعات فلزی که می‌توانند به هم یا به بلوک‌های منطقی متصل شوند تشکیل شده‌اند و برای متصل کردن این قطعات از سوئیچ‌های قابل‌برنامه‌ریزی استفاده می‌شود. این قطعات می‌توانند طول‌های متفاوتی داشته باشند. بلوک‌های ورودی/ خروجی به منظور تنظیم پایه‌های FPGA در حالت‌های ورودی، خروجی یا ورودی/ خروجی و همچنین برای تنظیم ولتاژ کاری مختلف ۳,۳ یا ۵ ولت و ... بکار می‌روند. معمولاً بین پیچیدگی و انعطاف پذیری هر دوی بلوک‌های منطقی و اتصالات یک نسبت معکوس وجود دارد. در ضمن معماری یک بلوک منطقی و همچنین اتصالات بر کل مساحت تراشه و سرعت تراشه اثر دارد.

FPGA ها برای پیشرفت شرکت‌های نوپا و تازه تأسیس بسیار مناسب هستند، چرا که حتی گروه‌های کوچک مهندسی در محیط‌های آزمایشگاهی کوچک مبتنی بر FPGA، با کمترین هزینه موفق به اجرای طرح‌های خود می‌شوند.

در ابتدای ظهور FPGA ها از آن‌ها برای پیاده‌سازی منطق اتصالی (glue logic) و ماشین‌هایی با پیچیدگی متوسط و پردازش داده‌های نسبتاً کم استفاده می‌شد. در اوایل دهه ۱۹۹۰ و با پیشرفت FPGA ها، از آن‌ها برای ارتباط و شبکه، یعنی پردازش بلاک‌های بزرگ داده و فرستادن آن‌ها به اطراف استفاده می‌شد. در اواخر دهه ۱۹۹۰، بازار شاهد ورود آن‌ها به کاربردهای صنعتی، لوازم خانگی و خودروسازی بود؛ اما امروزه از FPGA ها تقریباً برای پیاده‌سازی هر چیزی مانند سیستم‌های مخابراتی، رادیوهای نرم‌افزاری، رادارها، پردازش تصویر، پردازش سیگنال و ... استفاده می‌شود.

حال به مرحله‌ای می‌رسیم که FPGA را می‌شناسیم و می‌خواهیم یک مدار Logic را روی آن پیاده نماییم. ابتدا باید تعیین کنیم مداری که می‌خواهد پیاده شود، چه کار می‌کند. برای این کار مثلاً می‌توانیم شماتیک مدار را به صورت مجموعه‌ای از گیت‌های منطقی که به هم وصل شده‌اند و یک مدار با ورودی و خروجی مشخص را ساخته‌اند، رسم کنیم. این ساده‌ترین کاری است که می‌توانیم انجام دهیم. رسم مدار برای یک مدار منطقی بزرگ با این روش به ساعت‌های بسیار زیاد نیاز است. پس بهتر است روش دیگری پیدا شود. می‌توانیم عملکرد مدار را به صورت یک سری جملات توصیفی پشت سر هم بنویسیم. مثلاً فرض کنید برای یک شمارنده که با لبه بالارونده خروجی‌اش یک واحد زیاد می‌شود می‌توان گفت: "در هر لبه بالارونده خروجی مساوی با خروجی بعلاوه ۱". حال بجای مدار شمارنده می‌توانیم این عبارت توصیفی را ذخیره کنیم بدیهی است که وقتی در آینده خودمان خواستیم از روی این عبارت مدار منطقی مربوط به آن را پیاده کنیم می‌دانیم که چه گیت-هایی معادل این عبارت توصیفی بوده است. چرا که مدار شمارنده یک مدار بسیار متداول و شناخته شده است. نرم‌افزارهایی وجود دارند که عبارت توصیفی را که توصیف کننده یک مدار منطقی است و به صورت یک برنامه نوشته شده است به عنوان ورودی می‌گیرند و به ما آن آرایشی از گیت‌ها را که معادل عبارت‌های ما است را می‌دهند. این برنامه‌ها بسیار هوشمند هستند و بهترین و پرسرعت‌ترین مدار منطقی ممکن را به ما می‌دهند. به این نرم‌افزارها Synthesizer می‌گویند.

زبان توصیف سخت‌افزار

زبان توصیف سخت‌افزار VHDL

VHDL نتیجه همکاری دو شرکت بزرگ Texas Instruments و IBM همراه با یک شرکت کوچک دیگر است. این زبان توصیف سخت‌افزار به سفارش وزارت دفاع ایالات متحده نوشته شد، به این منظور که وزارت دفاع بتواند طرح ICهای پرسرعت و بزرگ خود را به یک روش مطمئن و انعطاف‌پذیر بایگانی کند. VHDL مخفف عبارت زیر است:

Very high speed integrated circuit Hardware Description Language

بعداً استفاده از این زبان برای کارهای تجاری طراحی تراشه‌های منطقی متداول شد و برنامه‌های شبیه‌ساز و سنتز کننده مربوط به آن به بازار عرضه شدند. هم اکنون این نرم‌افزارها در بازار وجود دارند و معمولاً گران قیمت هستند.

زبان توصیف سخت‌افزار Verilog

Verilog زبان توصیف سخت‌افزاری است که به صورت موازی با VHDL به وجود آمد. شرکت خاصی تولیدکننده آن نیست اما شرکت Cadence نقش بسیار عمده‌ای در توسعه آن داشته است. سازمان Open Verilog International وظیفه توسعه و تعریف استانداردها را دارد. موسسه IEEE زبان Verilog را به عنوان یک زبان توصیف سخت‌افزار استاندارد قبول دارد و هر ساله استانداردهای مربوط به آن را انتشار می‌دهد. هنوز هیچ نظر قطعی مبنی بر این که کدام‌یک از زبان‌های توصیف سخت‌افزار Verilog و یا VHDL کامل‌تر و بهتر هستند وجود ندارد. هر دو بسیار انعطاف‌پذیرند و امکانات زیادی را در اختیار طراح قرار می‌دهند و برای هردو، نرم‌افزارهای فراوان و کتابخانه‌های مختلفی توسعه یافته است. آموزش زبان Verilog و روش‌های برنامه‌نویسی مربوط به آن خود نیازمند به یک کتاب مجزا است ولی ما در این قسمت با دیدگاهی کاملاً آموزشی طی چند مثال که روند آسان به سخت دارد، این زبان را بررسی می‌کنیم:

مثال ۱:

```
module full_adder (S, C, A, B, Cin);
    output S, C;
    input A, B, Cin;
    assign S = A ^ B ^ Cin;
    assign C = (A & B ) | (A & Cin) | (B & Cin);
endmodule
```

توضیح: نکته مهم اول اینکه زبان Verilog به بزرگ و کوچک بودن حرف‌ها حساس است. برنامه کوچک بالا یک Full Adder است. در Verilog همه چیز به صورت ماژول تعریف می‌شود، یعنی اینکه تمام مدارهای منطقی به صورت یک جعبه در نظر گرفته می‌شوند که چند ورودی و چند خروجی دارد. این جعبه یک اسم دارد، در برنامه بالا اسم این جعبه یا module را full_adder گذاشته‌ایم و سپس تعریف کرده‌ایم که این ماژول چه ورودی‌ها و چه خروجی‌هایی (چه درگاه‌ها یا پورت‌هایی) دارد. در مثال بالا C و S خروجی‌هایی ماژول و A، B و Cin ورودی‌های ماژول می‌باشند. تمام این پورت‌ها تک‌بیتی هستند، یعنی عرض آن‌ها یک بیت است.

پس از تعیین نام ورودی و خروجی‌ها و جهت هرکدام از آن‌ها نوبت به خود مدار منطقی که ارتباط بین ورودی و خروجی را به وجود می‌آورد، می‌رسد:

در دستور assign اول گفته شده که S = A^B^Cin یعنی خروجی S برابر است با xor شده A، B و Cin.

در دستور assign دوم مقدار Cin که در واقع رقم نقلی خروجی است، تعیین شده است. علامت & بیانگر عمل and و علامت | بیانگر عمل or می‌باشد. نهایتاً با دستور endmodule اعلام می‌کنیم که توصیف مدار داخل ماژول به طور کامل انجام شده و دیگر چیزی برای نوشتن نداریم. اگر مدار منطقی یک Full adder را در نظر بیاوریم، می‌بینیم که عبارت‌های بالا دقیقاً معادل همان مدار هستند. به جای کشیدن شکل گیت‌ها می‌توان عبارات بالا را نوشت. برتری زبان توصیف سخت‌افزار بر روش کشیدن (schematic) هنگامی معلوم می‌شود که بدانیم برنامه فوق را به صورت زیر هم می‌توان نوشت:

مثال ۲:

```
module full_adder (S, C, A, B, Cin);
    output S, C;
    input A, B, Cin;
    assign {C, S} = A + B + Cin;
endmodule
```

در این برنامه مستقیماً گفته شده که ترکیب {C,S} به عنوان یک عدد دو بیتی برابر است با حاصل جمع A، B و Cin.

این برنامه وقتی به Synthesizer داده شود، تبدیل به گیت‌های مناسب که عمل جمع را انجام می‌دهند، می‌شود. پس یک مدار جمع کننده را به دو روش می‌توان مدل کرد: Gate Level Modeling یا مدل‌سازی در سطح گیت که در آن خود گیت‌هایی که مدار را می‌سازند مستقیماً بیان می‌کنیم و دوم Behavioral Modeling یا مدل‌سازی رفتاری که در آن با عبارت‌هایی عملکرد مدار را توصیف می‌کنیم. لازم به ذکر است که در روش دوم در مورد اینکه چه گیت‌هایی لازم است تا این عملکرد ایجاد شود حرفی نمی‌زنیم و آن را به عهده Synthesizer می‌گذاریم. از اینجا نقش و اهمیت یک Synthesizer آشکار می‌شود. (قیمت این برنامه‌ها معمولاً گران و بین 15 تا 500 هزار دلار است). علاوه بر Behavioral و Gate Level، Verilog از Structural Modeling یا مدل‌سازی ساختاری هم حمایت می‌کند. یک نمونه از این مدل‌سازی نیز در مثال زیر آمده است.

مثال ۳:

```
module two_bit_adder (S, A, B);
    output [2:0] S;
    input [1:0] A, B;
    wire C_b;
    full_adder I0 ( S[0], C_b, A[0], B[0], 1'b0 );
    full_adder I1 ( S[1], S[2], A[1], B[1], C_b );
endmodule
```

در مدار فوق در داخل ماژول two_bit_adder دو بار یک ماژول دیگر (full_adder که در بالا برنامه‌اش نوشته شده است.) استفاده شده است Full adder اول بیت‌های اول از پورت‌های دو بیت A و Bرا دریافت می‌کند (A[0] و B[0]) حاصل جمع را درون S[0] که بیت اول پورت خروجی S است می‌ریزد و بیت انتقالی موجود را به وسیله سیمی به نام C_b به Full adder دوم انتقال می‌دهد. می‌بینیم که ورودی پورت C برای Full adder دوم سیم C_b است. از طرفی دو ورودی دیگر A[1] و B[1] هستند که بیت‌های بالایی پورت‌های ورودی A و B می‌باشند. حاصل جمع در Full adder دوم به S[1] و بیت نقلی نهایی در S[2] ریخته می‌شود. در این مثال مدار را به صورت Structural مدل کردیم.

مثال:

```
module d_flip_flop (Q, D, clk);
    output Q;
    input D;
    input clk;
    reg Q;
    always @(posedge clk)
        Q <= D;
endmodule
```

این برنامه یک فلیپ فلاپ D ساده را نمایش می‌دهد. دقت می‌کنیم که خروجی Q علاوه بر خروجی، به صورت reg هم تعریف شده است. این به ابزار سنتز می‌گوید که برای Q یک فلیپ فلاپ در نظر بگیرد. دو خط اصلی برنامه با یک دستور always شروع می‌شود. این دو خط می‌گوید: همواره، در هر لبه بالارونده (posedge) از clk، مقدار D را به Q منتقل نماید. حالا فرض کنید می‌خواستیم اولاً، این کار در لبه‌های پایین رونده انجام شود، ثانیاً مقدار not شده D به Q منتقل شود. کد Verilog به این صورت تغییر خواهد کرد:

```
module d_flip_flop (Q, D, clk);
    output Q;
    input D;
    input clk;
    reg Q;
    always @(negedge clk)
        Q <= ~D;
endmodule
```

به تغییراتی که نسبت به برنامه بالایی به وجود آمد دقت کنید: اولاً به جای posedge (لبه بالارونده) از negedge (لبه پایین‌رونده) استفاده می‌کنیم. ثانیاً یک علامت not یعنی"~" جلوی D اضافه شده است. به این مفهوم که مقدار not شده D را دریافت خواهد کرد. حالا فرض کنید می‌خواستیم یک ورودی reset هم برای فلیپ فلاپ بگذاریم که در هر لبه بالارونده‌ای که مقدار آن ’1‘ شد، خروجی فلیپ فلاپ برابر با صفر شود (reset به صورت سنکرون):

مثال:

```
module d_flip_flop (Q, D, clk, reset);
    output Q;
    input D;
    input clk;
    input reset;
    reg Q;
    always @(posedge clk)
        if ( reset )
            Q <= 0;
        else
            Q <= D;
endmodule
```

حالا فرض کنید بخواهیم این reset آسنکرون باشد، یعنی اینکه نیازی به لبه بالارونده ساعت برای صفر کردن خروجی نداشته باشد و هر زمان خودش یک شد، خروجی را صفر کند، بلوک اصلی برنامه به این صورت می‌شود: (بقیه برنامه همان‌طور که بوده می‌ماند.)

```
always @(posedge clk or posedge reset)
    if ( reset )
        Q <= 0;
    else
        Q <= D;
```

همواره در هر لبه بالارونده ساعت و یا هر لبه بالارونده reset هر کدام که روی داد، کد داخل بلوک always اجرا می‌شود. اگر reset بالا باشد در خروجی صفر و در غیر این صورت مقدار D روی Q می‌رود.

```
module four_bit_mux (mux_out, mux_in, mux_control, clk);
    output mux_out;
    input [3:0] mux_in;
    input [1:0] mux_control;
    input clk;
    reg mux_out;
    wire mux_out_w;
    assign mux_out_w = (mux_control == 2'b00) ? mux_in[0]:
     (mux_control == 2'b01) ? mux_in[1]:
     (mux_control == 2'b10) ? mux_in[2]:
     mux_in[3];
    always @(posedge clk)
        mux_out <= mux_out_w;
endmodule
```

در برنامه بالا یک مالتی پلکسر که ۴ ورودی، یک خروجی و یک ورودی کنترل دارد را نشان می‌دهد. خروجی تک‌بیتی است ولی ورودی‌ها به صورت بردار (Bus) انتقال داده تعریف شده‌اند و هر کدام بیشتر از یک بیت عرض دارند. یک سیم به اسم mux_out_w تعریف شده که خروجی مدار mux است. خود مدار mux با استفاده از یک دستور assign که مقداردهی را به طور شرطی انجام می‌دهد، پیاده شده است. این دستور ۴ سطر برنامه را تشکیل می‌دهد.

شرط‌ها در پرانتزهایی هستند که قبل از علامت ? قرار دارند. علامت: به معنای else است. این روش شرطی کردن، دقیقاً مطابق با آن چیزی است که در زبان برنامه‌نویسی C وجود دارد. در نهایت با استفاده از یک بلوک always خروجی مدار mux با لبه‌های بالارونده ساعت روی پورت mux_out قرار می‌گیرد. در واقع آن بخشی از مدار که با استفاده از دستور assign پیاده می‌شود، معادل با یک مدار ترکیبی است و آن بخشی که در آن به register ها مقدار داده می‌شود، معادل با یک مدار ترتیبی است. باید دقت نمود که برنامه‌نویسی Verilog با بقیه زبانه‌ای برنامه‌نویسی تفاوت‌های محسوس دارد. در Verilog این امکان وجود دارد که تمام خط‌های یک برنامه با هم و به صورت موازی در حال اجرا شدن (پیاده شدن) باشند.

برنامه بالا را با دستور case هم می‌توان پیاده کرد:

```
module four_bit_mux (mux_out, mux_in, mux_control, clk);
    output mux_out;
    input [3:0] mux_in;
    input [1:0] mux_control;
    input clk;
    reg mux_out;
    always @(posedge clk)
        case ( mux_control )
            2'b00: mux_out <= mux_in[0];
            2'b01: mux_out <= mux_in[1];
            2'b10: mux_out <= mux_in[2];
            2'b11: mux_out <= mux_in[3];
            default: mux_out <= mux_out;
        endcase
endmodule
```

برنامه بالا با استفاده از دستور case، در هر لبه بالارونده وضعیت ورودی mux_control را چک می‌کند و برای هر مقدار از mux_control ورودی مناسب را روی خروجی می‌گذارد. اگر هیچ کدام از چهار مقدار ذکر شده در دستور case در ورودی mux_control نباشد (مثلاً mux_control برابر با 2'bzz امپدانس بالا باشد.) آن‌وقت کد نوشته شده در بخش default اجرا خواهد شد. یعنی اینکه mux_out مقدار قبلی خود را حفظ خواهد کرد و مقدار آن تغییر نخواهد کرد.

مثال:

```
module ram_interface (address_out, data, rnw, reset, clk);
    output [15:0] address_out;
    inout [15:0] data;
```

```
output rnw;
input reset, clk;
reg [15:0] address_out;
reg rnw;
reg [15:0] access_address;
reg read_write_turn;
reg [15:0] data_in_register;
assign data = (! rnw ) ? 0: 16'bz;
always @(posedge clk)
        if ( reset ) begin
                address_out <= 0;
                rnw <= 1;
        end
        else begin
                if ( rnw ) begin
                        data_in_register <= data;
                        access_address <= access_address + 1;
                end
                if ( data_in_register == 16'hff0f )
                        rnw <= ~ rnw;
                if (! rnw )
                rnw <= ~ rnw;
        end
endmodule
```

کار این برنامه این است که محتوای خانه‌های یک ram را از آدرس صفر به ترتیب می‌خواند و چک می‌کند که آیا مقدار آن خانه برابر با عدد 0xff0f هست یا نه. اگر جواب مثبت باشد، مقدار آن خانه از ram را صفر می‌کند و ادامه می‌دهد، اگر جواب منفی باشد، ادامه می‌دهد. با هر reset کار دوباره از آدرس صفر شروع می‌شود، وقتی که رسیدیم به آخر حافظه دوباره به بالا بر می‌گردیم. اینجا فرض شده عرض گذرگاه داده برای حافظه 16 بیت است و حافظه دارای 64 K خانه است (برای همین گذرگاه داده هم 16 بیتی انتخاب شده است). در آینده خواهیم دید که این برنامه را می‌شود روی یک FPGA پیاده کرد و FPGA را به ram وصل کرد تا عمل بالا را برای ما روی ram انجام دهد. نکته جدیدی که در برنامه فوق وجود دارد، اضافه شدن یک نوع پورت جدید است. inout پورتی است که از طریق آن داده هم می‌تواند داخل شود و هم به خارج برود. دقت کنید که چگونه

مدیریت داده مربوط به این پورت انجام شده است. هر زمانrnw (read not write) برابر با ۱ باشد، یعنی قرار باشد از ram بخوانیم، داده روی پورت data که ورودی/خروجی است، داخل یک ثبات به اسم data_in_register منتقل می‌شود. از طرفی در بالای برنامه، توسط یک دستور assign به پورت data هنگامی که قرار است از این پورت داده به بیرون برود، مقدار اختصاص داده شده است که این مقدار برابر با صفر است. دقت کنید که هنگامی که data در حالت خواندن است دستور assign مقدار 16’bz را که در واقع امپدانس بالا و مدار قطع است روی data قرار می‌دهد. به عبارت دیگر در این حالت پورت data را درایو نمی‌کند و هر کس دیگری می‌تواند روی آن داده قرار دهد. نکته دیگری که باید به آن توجه کرد، وجود دستورات begin و end است که بلوک‌های کد که در هنگام درست بودن یک شرط باید اجرا شوند را مشخص می‌کند.

کدهای غیر قابل سنتز

در زبان Verilog، هنگامی‌که در سطح رفتاری برنامه‌نویسی می‌کنیم، ممکن است مداری طراحی نماییم که معادل سخت‌افزاری ندارد. این گونه طرح‌های سخت‌افزاری فقط در شبیه‌سازهای HDL قابل اجرا می‌باشند و فقط ارزش شبیه‌سازی دارند. برای مثال کد زیر را در نظر بگیرید.

```
module d_flipflop_2clks(clk1, clk2, d, q);
   input clk1, clk2, d;
   output q;
   reg q;
   always @(posedge clk1 or posedge clk2)
         begin
                q <= d;
         end
endmodule
```

این کد مدار یک flipflop که دو clock دارد را نشان می‌دهد، اما هیچ معادل سخت‌افزاری نداشته و هیچ سنتزکننده‌ای نمی‌تواند آن را پردازش نماید و فقط قابل شبیه‌سازی است.

ابزارهای انجام پروژه برای FPGA

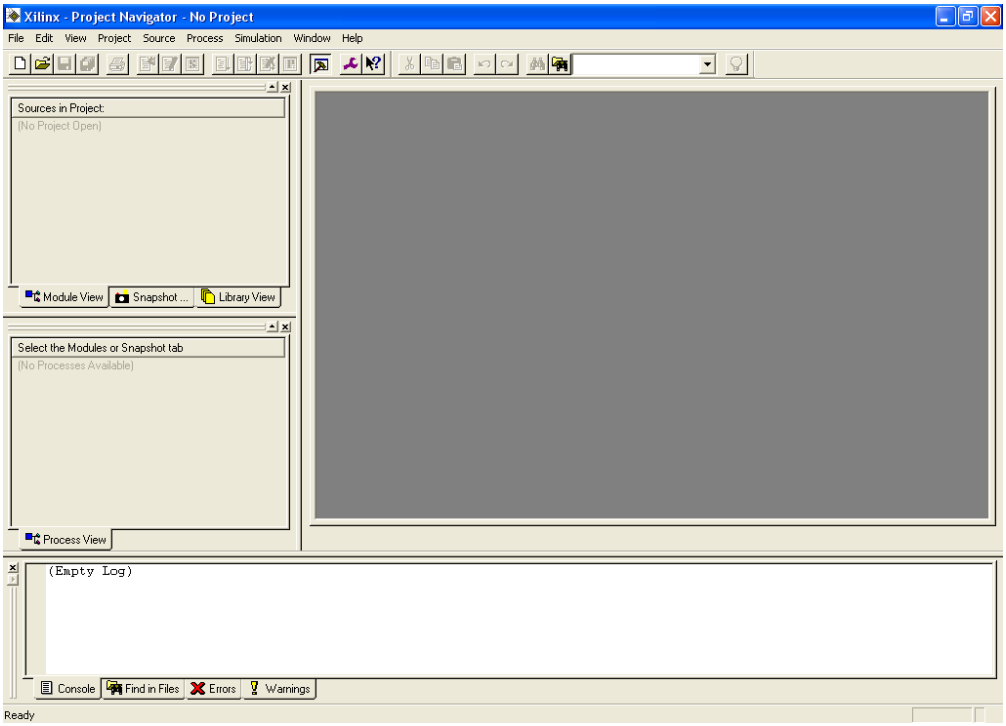
کلاً برای هر طرحی که قرار است روی FPGA پیاده شود، باید یک سری کارهای مشخص انجام شود. ابتدا باید مدار اصلی طراحی گردد. در طراحی مدار اصلی معمولاً این‌طور عمل می‌کنند که ابتدا تعداد ماژول‌ها، عملکرد هر کدام و ارتباط آن‌ها باهم را مشخص می‌کنند و سپس به طراحی تک‌تک ماژول‌ها می‌پردازند. به این روش طراحی، روش top to down design گفته می‌شود. یعنی شما ابتدا عملکرد کلی را تعیین می‌کنید و بعد هر کدام از اجزا را به دقت توصیف می‌کنید تا نتیجه مطلوب حاصل شود. کلاً کارهایی که تا مرحله آماده شدن کد Verilog برای انجام شبیه‌سازی انجام می‌شود را Design Entry می‌گویند. پس بعد از مرحله Design Entry کدهای Verilog ما آماده هستند. حال به مرحله Functional Simulation می‌رسیم. در این مرحله عملکرد مدار را در حالت ایده آل (تأخیر صفر) شبیه‌سازی می‌کنیم تا مطمئن شویم طراحی را درست

انجام داده‌ایم. یعنی به ورودی‌های مدار هر دفعه سیگنال‌های متفاوتی می‌دهیم و سپس خروجی را بررسی می‌نمایم تا از صحت خروجی مطمئن شویم. طبیعی است که اگر جواب برای هر یک از مراحل تست درست نباشد دوباره باید به مرحله Design Entry بازگشت و طرح را اصلاح کرد. معمولاً همراه هر ماژول Verilog که می‌نویسیم یک برنامه دیگر (یک ماژول دیگر) به اسم Verilog Test Fixture هم می‌نویسیم. این برنامه کارش این است که سیگنال‌های مناسب را برای ورودی ماژول تحت تست تولید می‌کند. به این ترتیب عملکرد کلی این است که با استفاده از یکی از نرم‌افزارهای شبیه‌سازی Verilog مجموعه ماژول اصلی و ماژول تست آن را که به هم وصل شده‌اند شبیه‌سازی می‌کنیم و می‌بینیم که آیا ماژول اصلی درست کار می‌کند یا خیر. پس از اطمینان از عملکرد صحیح مدار به مرحله Synthesis می‌رویم. در این مرحله با استفاده از یکی از نرم‌افزارهای Synthesizer مدار را تبدیل به مجموعه‌ای از گیت‌های منطقی می‌کنیم. باز این مجموعه گیت‌ها را می‌شود تبدیل به یک برنامه Verilog و حاصل را شبیه‌سازی نمود. به این ترتیب مطمئن می‌شویم خروجی ابزار سنتز همان چیزی است که ما می‌خواهیم. تا این زمان به عنوان ابزارهای شبیه‌سازی و سنتز از محصولات هر شرکتی که بخواهیم می‌توانیم استفاده کنیم. مرحله آخر آن است که خروجی Synthesizer را به ابزار Implement بدهیم. ابزار Implement فایلی که خروجی Synthesizer را می‌گیرد و آن را به ترکیبی از المان‌های موجود روی FPGA تبدیل می‌کند. سپس این عنصرها را سر جای مناسب روی FPGA قرار می‌دهد (Placement) و بین آن‌ها را سیم‌کشی می‌کند (Routing) در نهایت یک فایل با پسوند BIT تولید می‌شود که ما می‌توانیم از آن برای Program کردن ROM که قرار است به FPGA وصل شود استفاده کنیم. ابزار Implement هر شرکت مخصوص خودش است، مثلاً برای FPGAهای Xilinx حتماً باید از ابزار Implement خود Xilinx استفاده کرد.

آشنایی با نرم‌افزار ISE

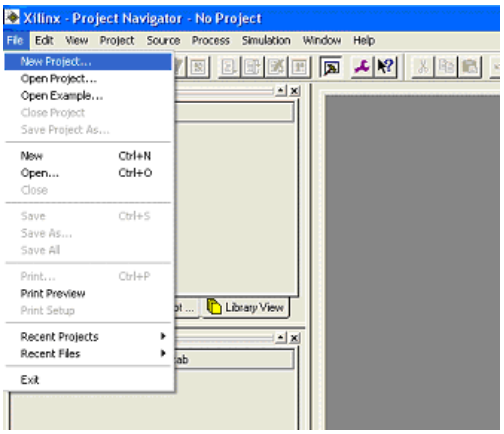
شما در این دوره چگونگی طراحی توسط نرم‌افزار Xilinx ISE را به‌طور دقیق، با جزئیات کامل می‌آموزید و یاد می‌گیرید چگونه با انواع روش‌های طراحی با تراشه‌های شرکت Xilinx کار کنید. روش‌های طراحی (design entry method) ذکر شده در اینجا شامل طراحی به‌وسیله نوشتن کد با زبان Verilog/VHDL و طراحی شماتیکی با محیط ECS می‌باشد.

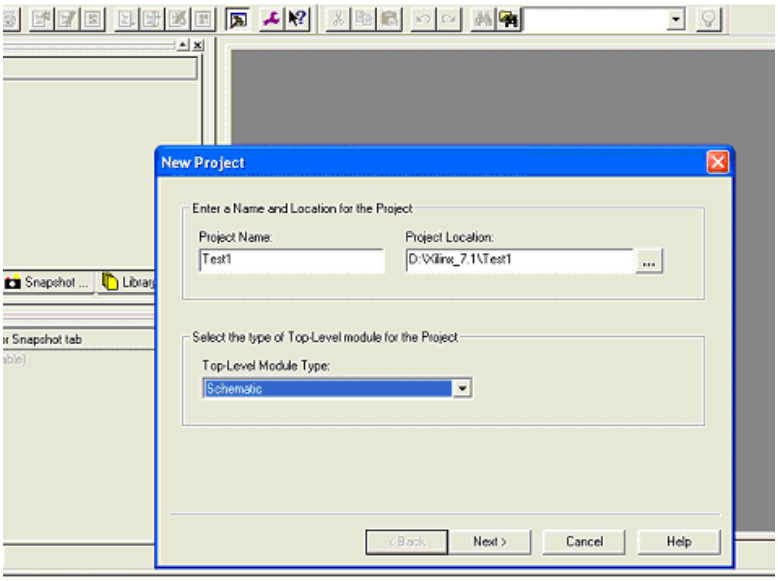
شکل زیر محیط کلی این نرم‌افزار را نشان می‌دهد.

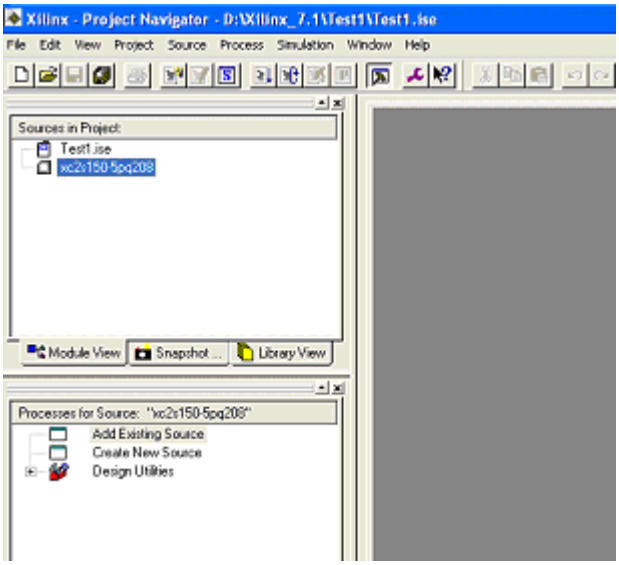


ایجاد یک پروژه جدید:

گزینه File>New Project را انتخاب نموده و اسم پروژه خود را در جای مربوطه وارد کنید.



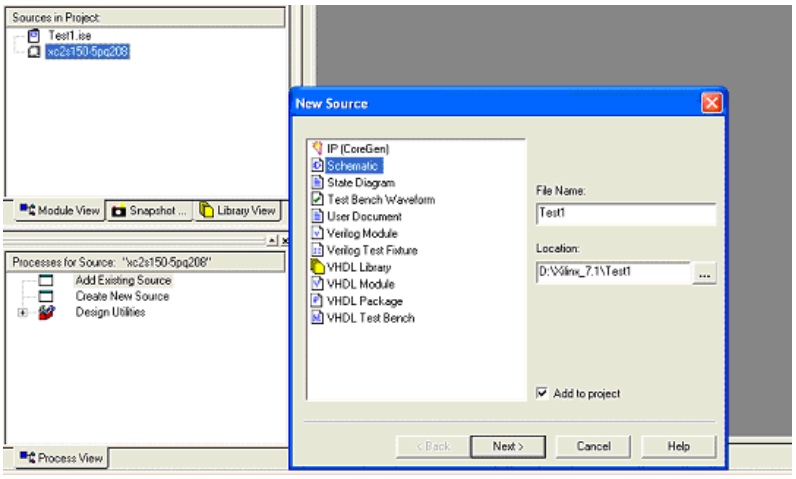




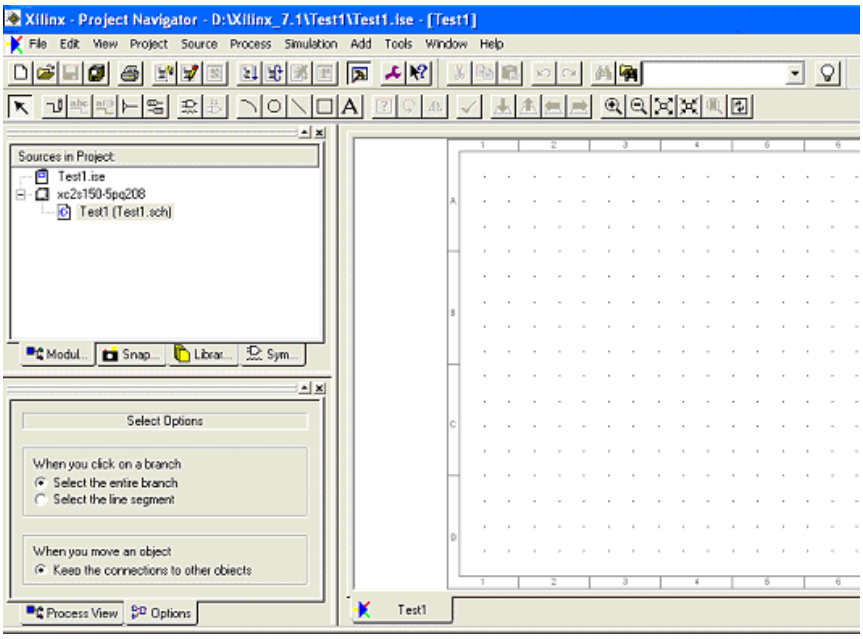
گزینه Next را کلیک کرده، نوع و شماره IC خود را به همراه دیگر مشخصات آن و نیز زبان برنامه‌نویسی را انتخاب نمایید. بردهای آموزشی موجود در آزمایشگاه از خانواده Spartan3 و مدل آن XC3S400 و بسته بندی آن PQ208 می‌باشد (در صورت لزوم رتبه سرعت را 5- تنظیم کنید.). بقیه پنجره‌ها را به‌صورت پیش‌فرض بپذیرید و در انتها Finish را کلیک نمایید. در نهایت پنجره نرم‌افزار شما به صورت زیر در خواهد آمد.

اضافه کردن فایل شماتیک جدید به پروژه:

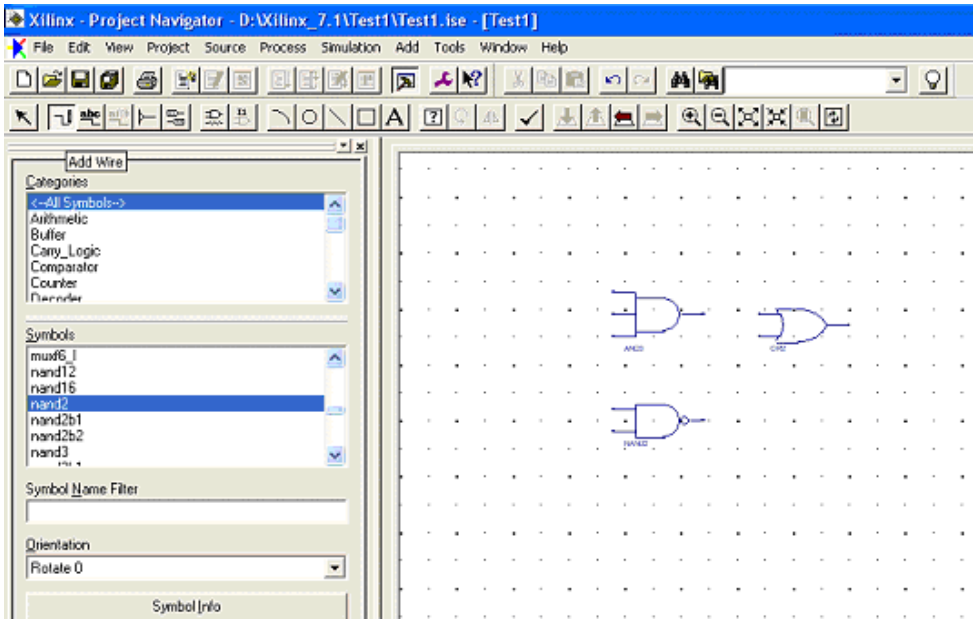
در Project Navigator گزینه Project>New Source را انتخاب کنید.



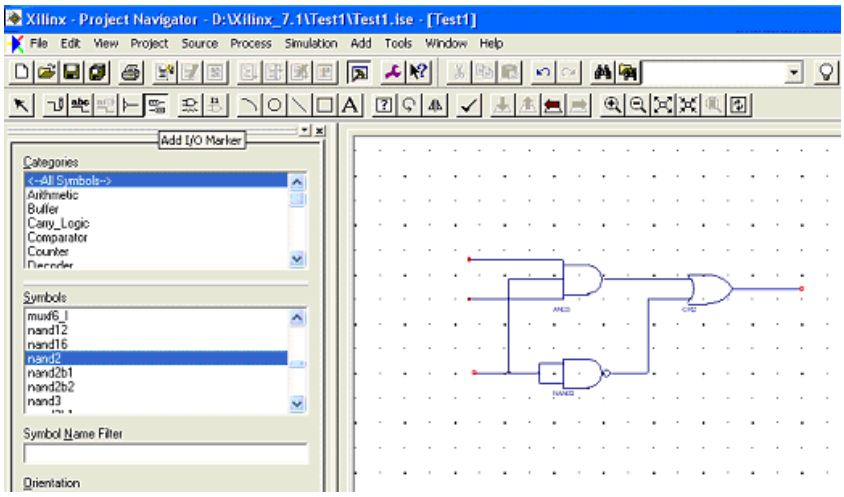
گزینه Next و سپس Finish را بزنید. محیط طراحی شماتیک با نام فایل خودتان ایجاد می‌گردد.



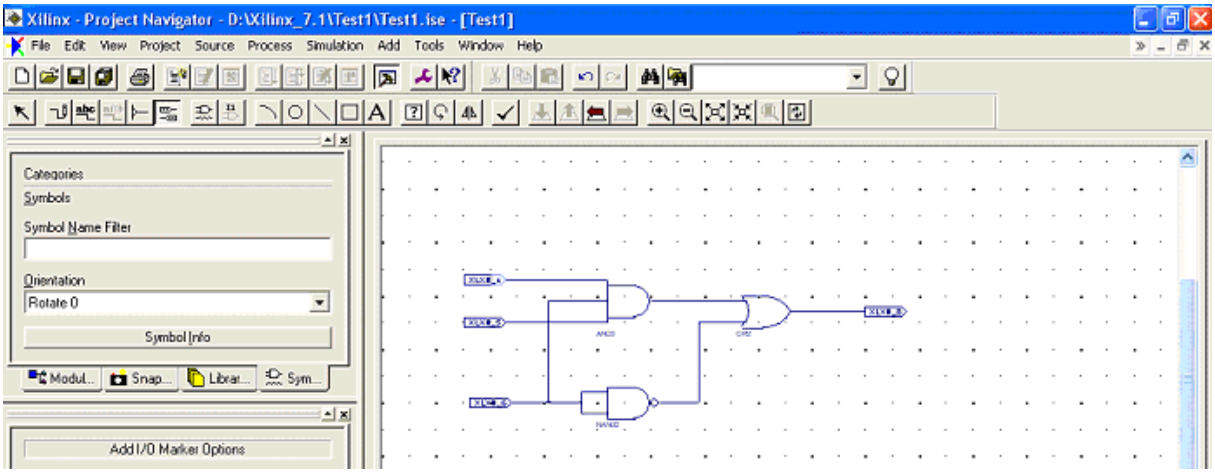
برای انتخاب المان از دکمه Add Symbol استفاده نمایید. اکنون پنجره شما به ترتیب زیر خواهد بود. سمبل AND3 که همان گیت AND با سه ورودی است را انتخاب نموده و سپس روی صفحه شماتیک کلیک کنید. سعی کنید شکل زیر را بسازید.



حالا باید Wiring (سیم بندی) مدار را انجام دهید. پس دکمه Add Wire را انتخاب و با کلیک کردن روی هر نقطه شماتیک مشغول Wiring شوید. حالا Wiring شماتیک شما به صورت زیر در آمده است.

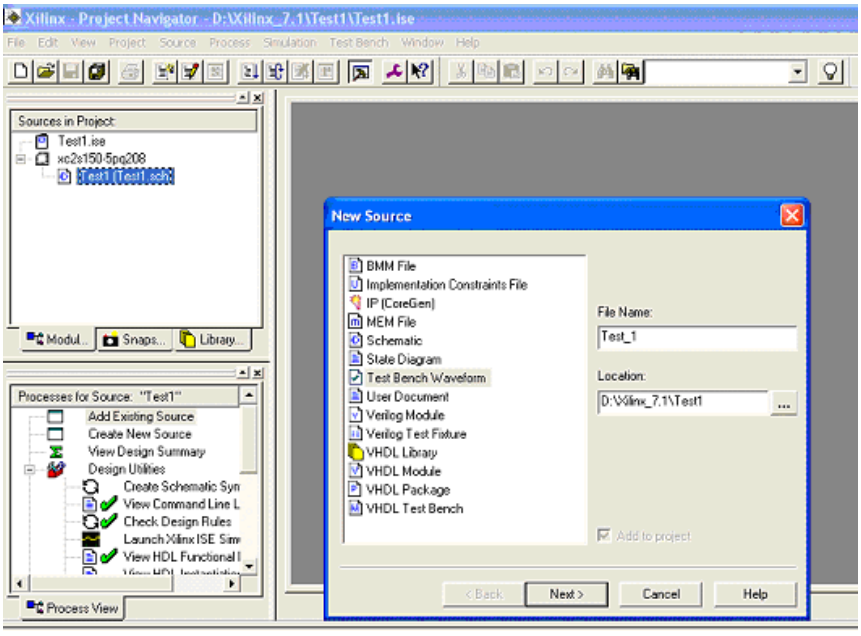


حالا باید سیگنال‌های ورودی و خروجی را به صورت یک پورت تعریف نمایید. پس دکمه Add I/O Marker را انتخاب و در قسمت Add I/O Marker Option گزینه Add an Input Marker را کلیک کنید. حالا روی سیگنال‌های ورودی کلیک کنید. برای تعریف پورت خروجی نیز گزینه Add an Output Marker را کلیک کنید و روی سیگنال خروجی کلیک کنید. در نهایت پورت‌ها به صورت شکل زیر به شماتیک اضافه می‌شوند.

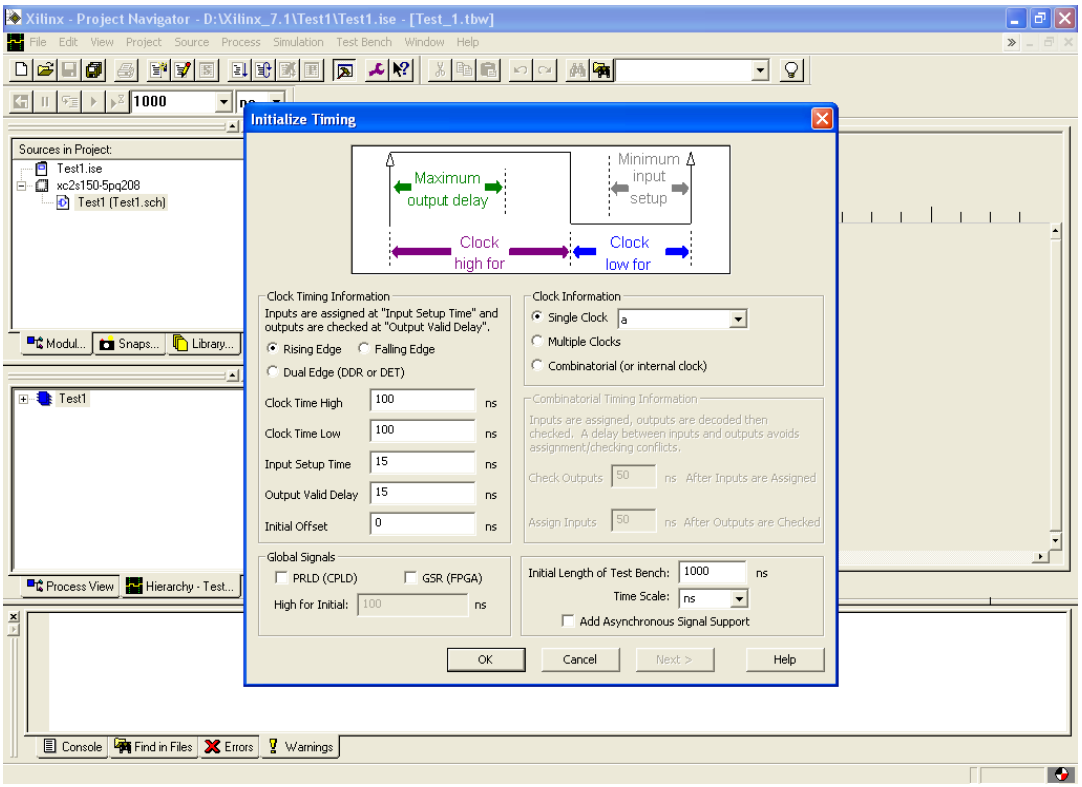


برای نام‌گذاری پورت‌های ورودی و خروجی دکمه Add Net Name را انتخاب، اسم پورت‌ها را وارد و روی پورت مورد نظر کلیک کنید. حالا باید شماتیک خود را ذخیره کرده و سپس توسط دکمه چک نمایید تا دارای اشکال نباشد. پس از اینکه از شماتیک خود مطمئن شدید، از محیط شماتیک خارج شده و به محیط اصلی نرم‌افزار باز گردید.

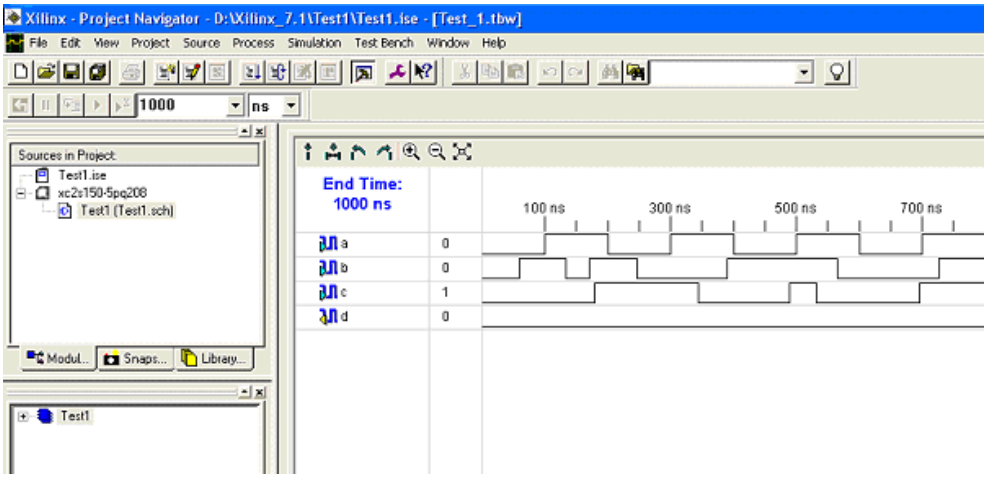
برای شبیه‌سازی مدار خود باید فایل دیگری با نام Test Bench Waveform را اضافه کنید. این فایل جدید برای شبیه‌سازی فایل اصلی استفاده می‌گردد.



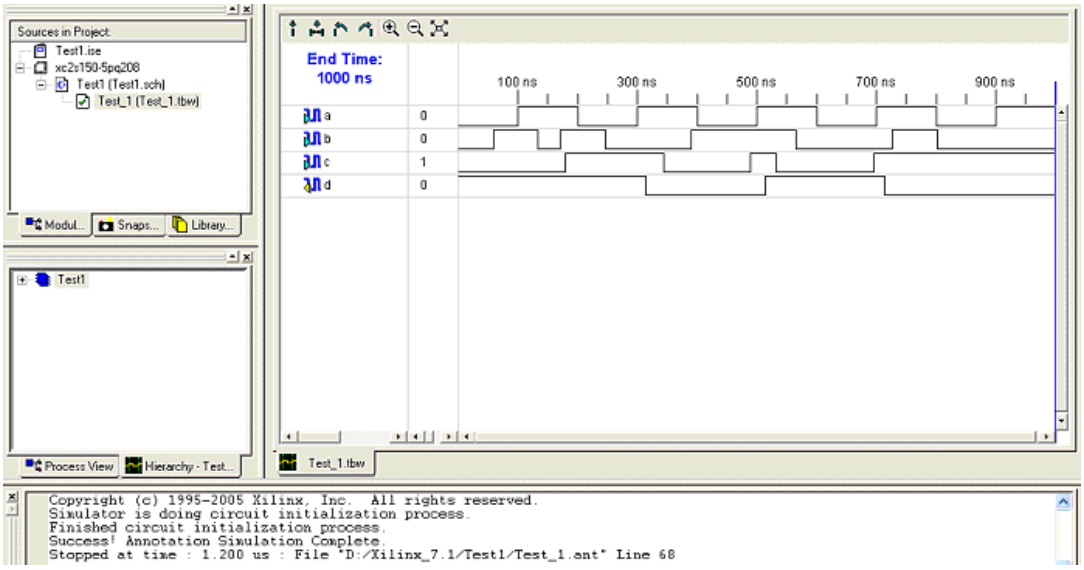
سپس محیط تولید شکل موج برای پورت‌های ورودی ظاهر می‌شود.



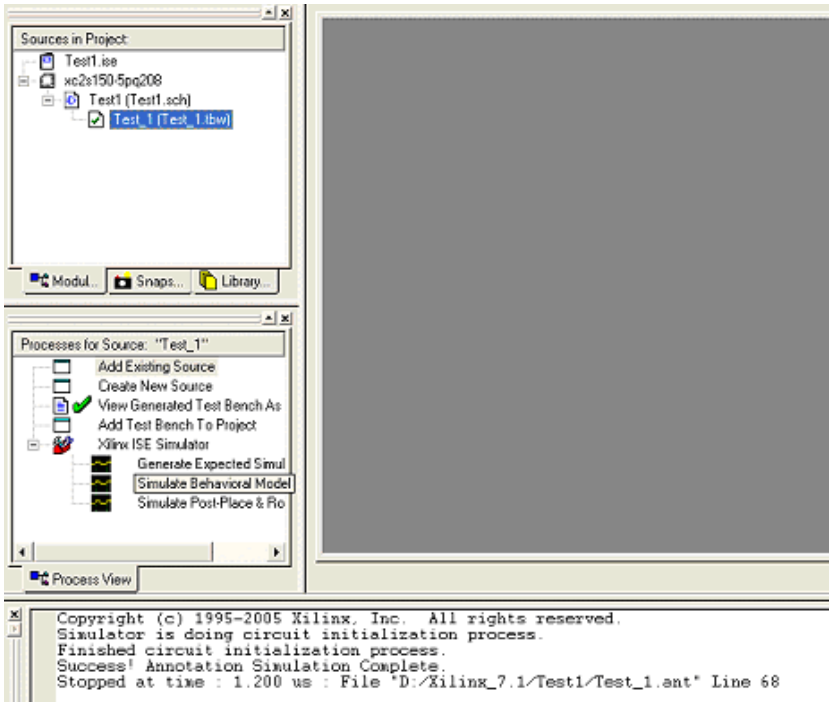
گزینه ADD Asynchronus Signal Support را انتخاب نموده و گزینه Next را کلیک نمایید. حالا یک سیگنال را به عنوان پالس ساعت تعریف کنید. گزینه Asynchronous Signal را انتخاب نموده تا بتوانید هر جایی از شکل موج را که می‌خواهید، تغییر دهید و به دنبال آن، سیگنال‌های باقیمانده را جهت مقداردهی Add کنید. پنجره زیر ظاهر می‌شود. حالا می‌توانید با کلیک ماوس هر جایی از سیگنال را که بخواهید مقدار یک و یا صفر بدهید. مثلاً می‌توانید شکل موج زیر را در نظر بگیرید.



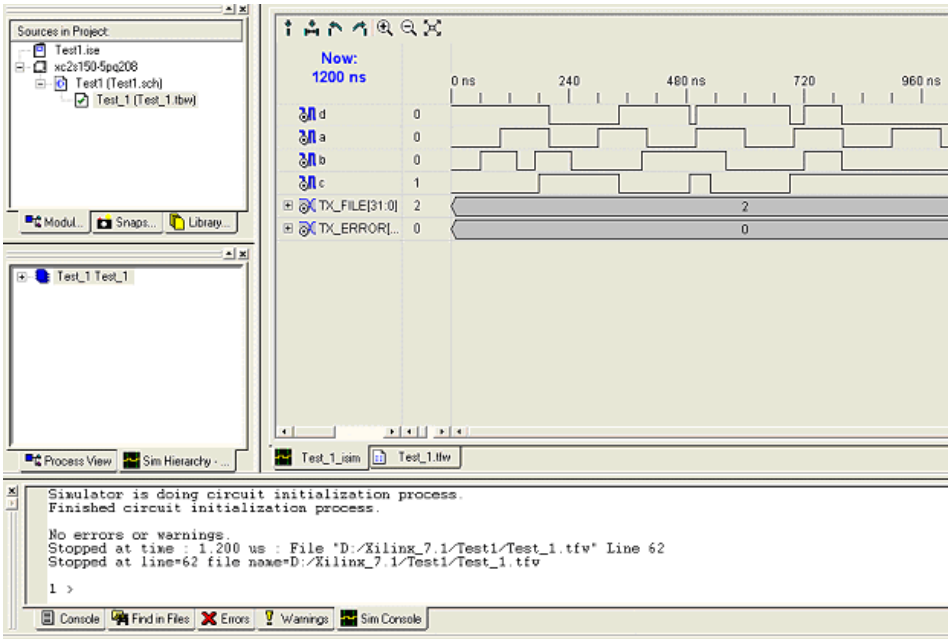
این فایل را ذخیره نموده و از این محیط خارج شده و به محیط اصلی باز گردید. در محیط اصلی روی فایل Test Bench Waveform کلیک کرده تا High Light شود و سپس از پنجره Process view گزینه Generate Expected simulation result را دو بار کلیک کنید. پنجره محیط قبلی مجدد باز می‌شود با این تفاوت که سیگنال خروجی بر اساس شماتیک مقدار یافته است.



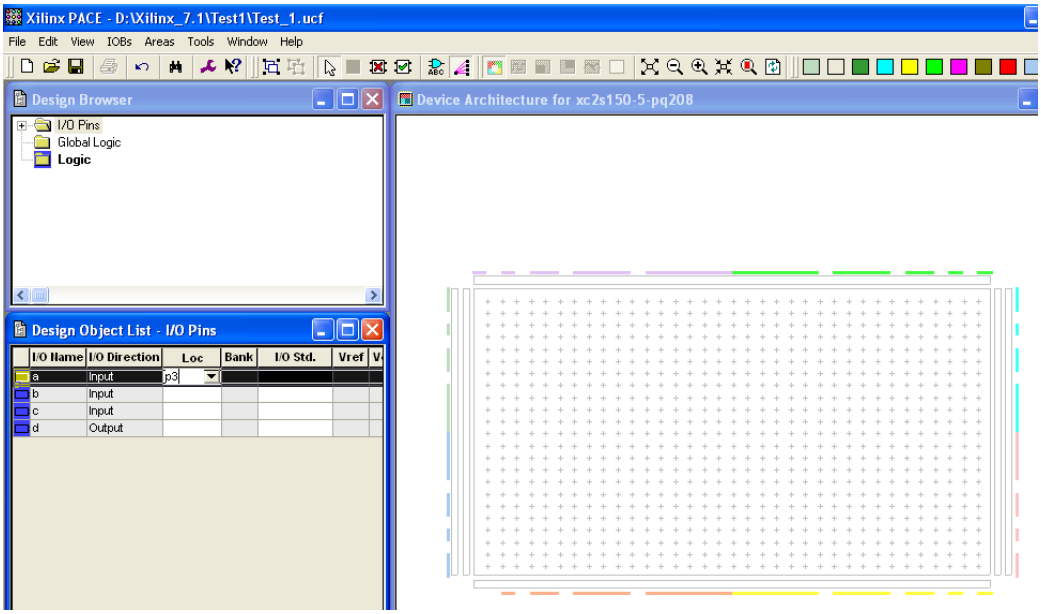
فایل را ذخیره نموده و خارج شده و به محیط اصلی باز گردید. در این حالت دوباره فایل Test Bench Waveform را High Light نموده و از پنجره Process view گزینه Simulate Behavioral Model را دو بار کلیک کنید.



پنجره زیر که نتایج شبیه‌سازی را نشان می‌دهد، ظاهر می‌شود.

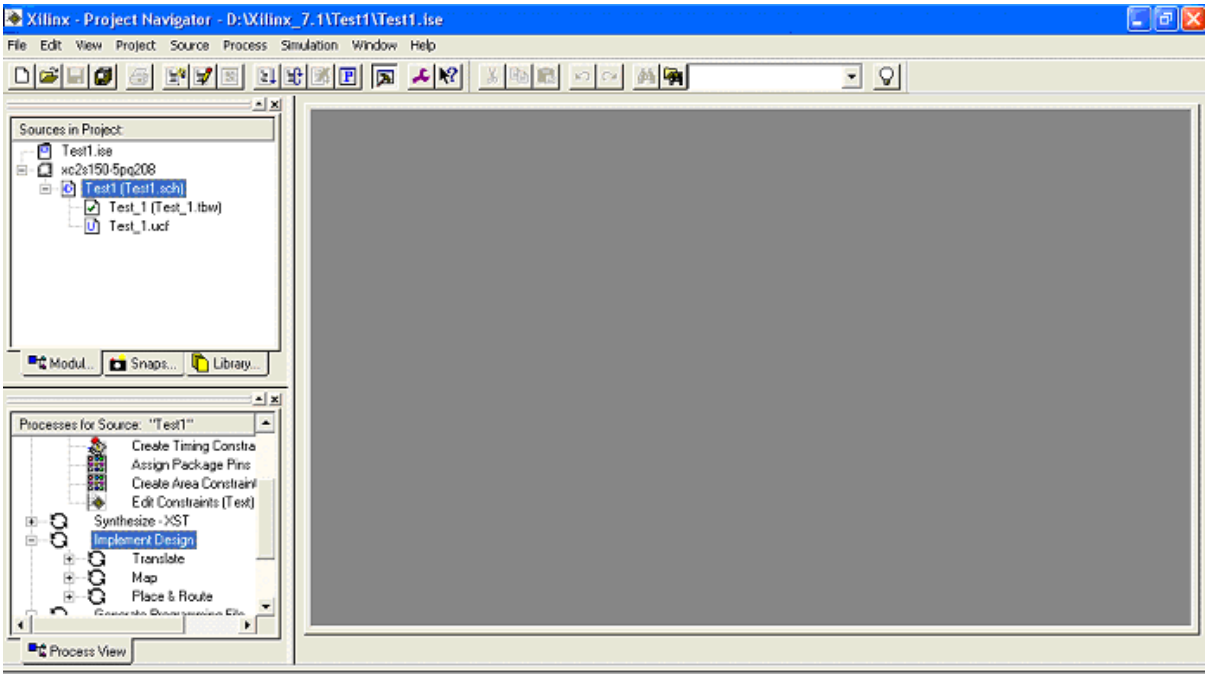


حالا می‌خواهیم مدار خود را برای پیاده‌سازی روی FPGA آماده کنیم. پس ابتدا باید برای پورت‌ها روی FPGA پایه‌ای در نظر بگیریم. به این کار Pin Assignment می‌گویند. برای همین منظور فایل جدیدی را با نام Implementation Constraint File باید به پروژه اضافه نماییم. این فایل با پسوند *.ucf ساخته می‌شود. این فایل را High Light نموده و از پنجره Process view گزینه Assign Package Pins را انتخاب نمایید. پنجره زیر ظاهر می‌شود که در حقیقت FPGA را با پایه‌های آن نشان می‌دهد.



پورت‌های مدار شما نیز در پنجره Design Object List – I/O Pin ظاهر شده‌اند. برای در نظر گرفتن یک پایه برای هر پورت ورودی یا خروجی در این پنجره و زیر ستون Loc عبارت P را به معنای پین و بعد عدد پایه را مشخص کنید. مثلاً بنویسید: P3

هنگامی‌که برای تمامی پورت‌های ورودی و خروجی پایه در نظر گرفتید، این فایل را ذخیره نموده و از این محیط خارج شوید. در محیط اصلی نرم‌افزار فایل شماتیک اصلی خودتان را High Light نموده و از پنجره Process view گزینه Implement Design را دو بار کلیک نمایید.



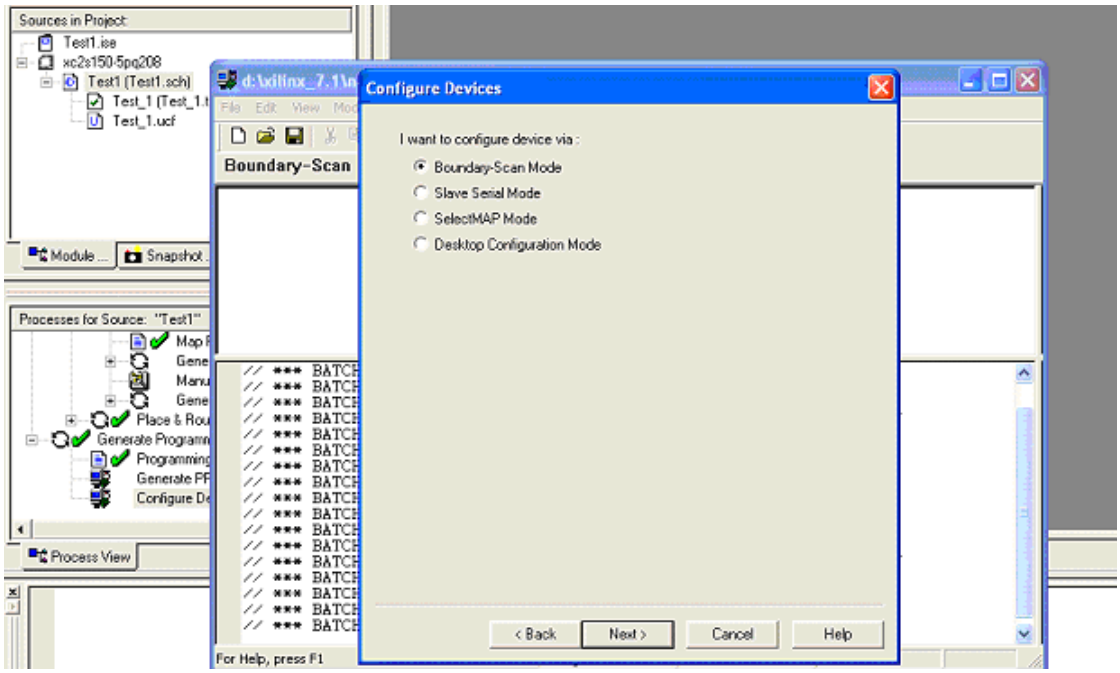
سپس نرم‌افزار مشغول سنتز و پیاده‌سازی فایل شماتیک شما روی FPGA خواهد شد. بعد از آن برای پروگرام نمودن FPGA روی برد، نرم‌افزار باید فایلی را با نام *.bit تولید نماید. این کار را با دو بار کلیک کردن روی گزینه Generate Programming File در پنجره Process view انجام دهید. با کمی دقت، چند جامپر روی برد آموزشی می‌بینید که برای برنامه‌ریزی FPGA باید در وضعیت‌های زیر قرار بگیرند:

جامپر J17 در وضعیت 1-2

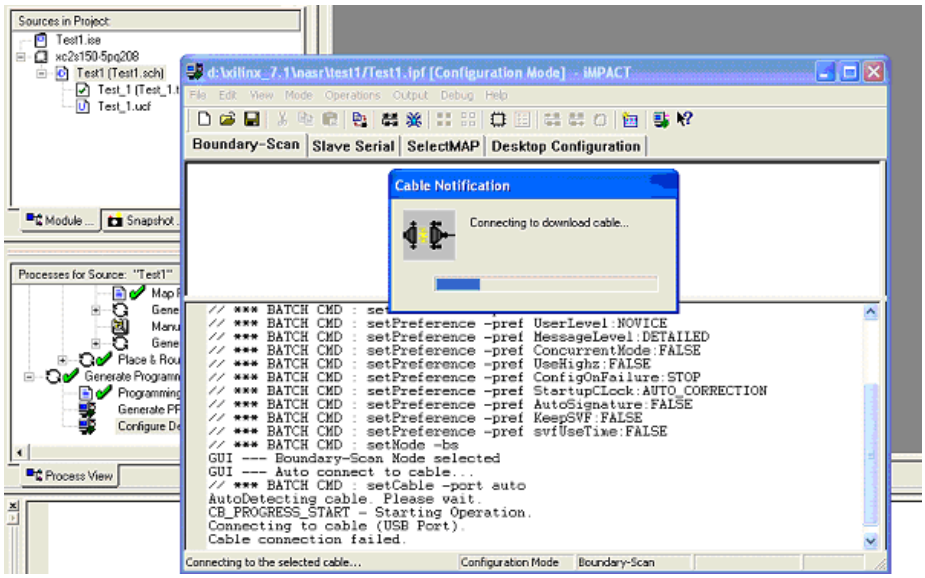
جامپر J8 در وضعیت 1-2

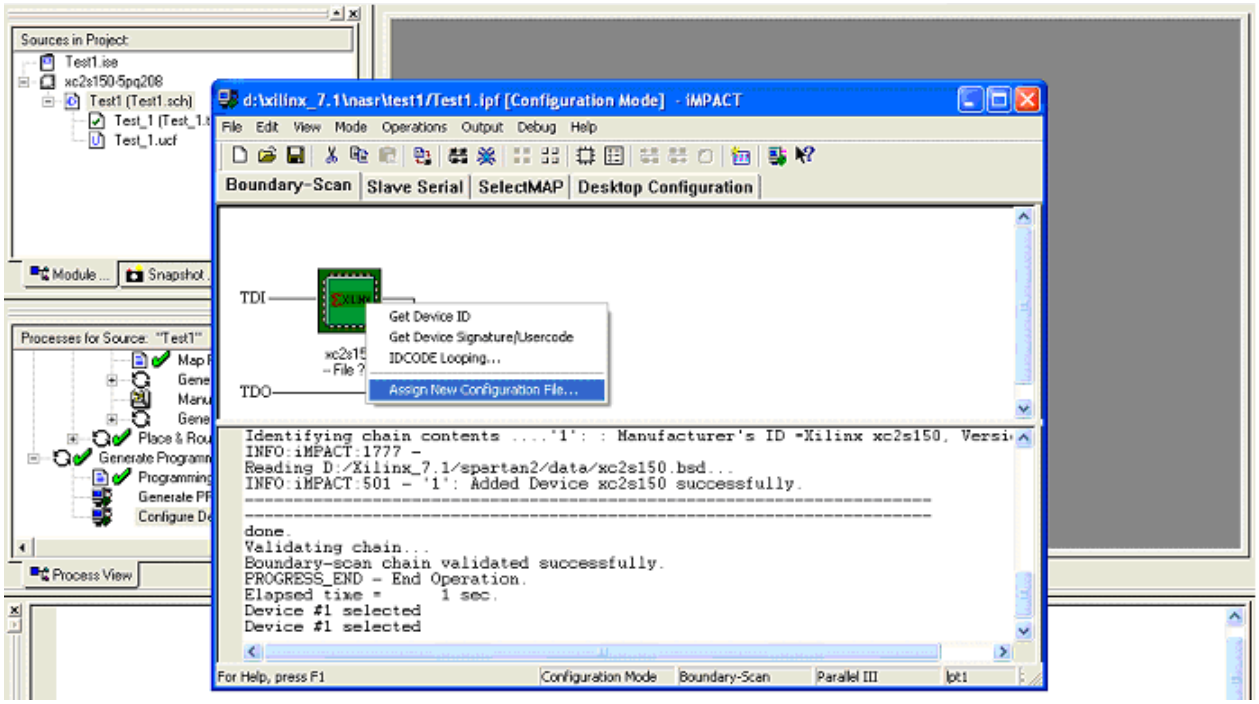
جامپر J6 در وضعیت 3-4 و 5-6

حالا نرم‌افزار باید از طریق پروگرامری که به پورت پرینتر کامپیوتر خود وصل کرده‌اید، FPGA روی برد را برنامه‌ریزی نماید. به همین منظور گزینه Configure Device (iMPACT) را دو بار کلیک کنید. گزینه‌ها را به صورت پیش فرض پذیرفته و Next را کلیک نمایید.

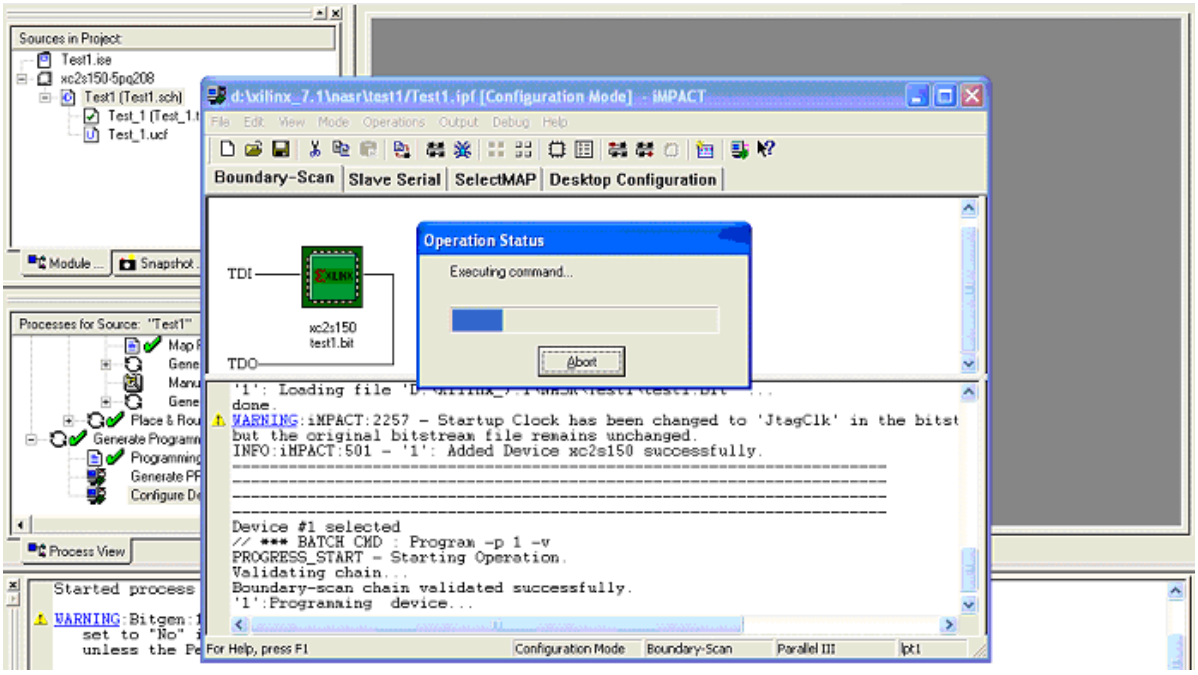


در نهایت نرم‌افزار به طور اتوماتیک کابل برنامه‌ریزی شما را تشخیص و FPGA روی برد را خواهد شناخت. سپس روی FPGA، راست کلیک نمایید و فایل bit را که در مرحله قبل تولید شده را باز کنید.





در این حالت فایل bit شما زیر FPGA شما در نظر گرفته می‌شود. روی FPGA راست کلیک نموده و گزینه Program را کلیک نمایید. نرم‌افزار شروع به برنامه‌ریزی FPGA از طریق کابل پروگرامر شما خواهد کرد.



حالا شما طرح خود را با موفقیت روی FPGA پیاده‌سازی و برنامه‌ریزی نمودید.

آزمایش یازدهم: شبیه‌سازی مدارهای منطقی به کمک نرم‌افزار ISE

هدف آزمایش:

آشنایی با نرم‌افزار ISE و شیوه طراحی و تحلیل مدار با آن.

وسایل لازم:

نرم‌افزار ISE.

مراحل انجام آزمایش:

در باقی جلسات آزمایشگاه تعدادی از مدارهای ترکیبی و ترتیبی آزمایشات قبل که در آنها از گیت‌های پایه استفاده شده است را انتخاب کرده و مراحل شبیه‌سازی را با نرم‌افزار ISE دنبال کنید. صحت نتایج را با نتایج عملی مقایسه کنید.

اطلاعات مربوط به ICهای مورد استفاده در آزمایشگاه

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC00
Quad 2-Input NAND Gate

General Description

The MM74HC00 NAND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs. All devices have high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 8 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 μA maximum (74HC Series)
- Low input current: 1 μA maximum
- Fanout of 10 LS-TTL loads

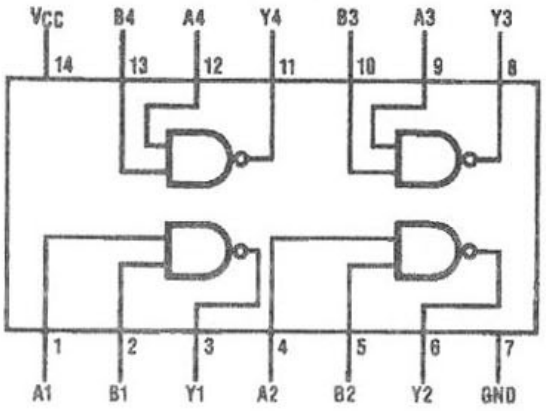
Ordering Code:

Order Number	Package Number	Package Description
MM74HC00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC00MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC00SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC00MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00MTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC00N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram

© 2005 Fairchild Semiconductor Corporation

FAIRCHILD
SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC04
Hex Inverter

General Description

The MM74HC04 inverters utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits.

The MM74HC04 is a triple buffered inverter. It has high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 8 ns
- Fan out of 10 LS-TTL loads
- Quiescent power consumption: 10 μW maximum at room temperature
- Low input current: 1 μA maximum

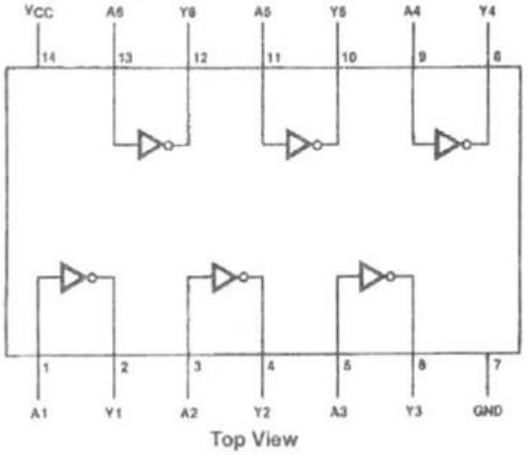
Ordering Code:

Order Number	Package Number	Package Description
MM74HC04M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC04M_NL		Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC04SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC04MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC04MTC_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC04N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC04N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram

1 of 6 Inverters

© 2005 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC08
Quad 2-Input AND Gate

General Description

The MM74HC08 AND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. The HC08 has buffered outputs, providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

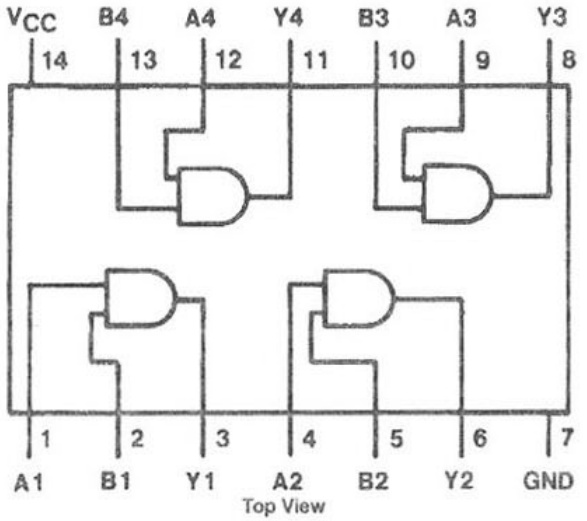
- Typical propagation delay: 7 ns (t_{PHL}), 12 ns (t_{PLH})
- Fanout of 10 LS-TTL loads
- Quiescent power consumption: 2 μA maximum at room temperature
- Low input current: 1 μA maximum

Ordering Code:

Order Number	Package Number	Package Description
MM74HC08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC08MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC08SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC08MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC08MTCX-NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code. (Tape and Reel not available in N14A)
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram



Top View

© 2005 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

September 1986
Revised February 2000

DM74ALS10A
Triple 3-Input NAND Gate

General Description

This device contains three independent gates, each of which performs the logic NAND function.

Features

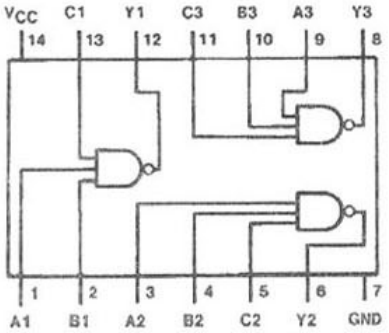
- Switching specifications at 50 pF
- Switching specifications guaranteed over full temperature and V_{CC} range
- Advanced oxide-isolated, ion-implanted Schottky TTL process
- Functionally and pin for pin compatible with Schottky and low power Schottky TTL counterpart
- Improved AC performance over Schottky and low power Schottky counterparts

Ordering Code:

Order Number	Package Number	Package Description
DM74ALS10AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74ALS10ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74ALS10AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$Y = \overline{ABC}$

Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

© 2000 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC32
Quad 2-Input OR Gate

General Description

The MM74HC32 OR gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 10 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 μA maximum (74HC Series)
- Low input current: 1 μA maximum
- Fanout of 10 LS-TTL loads

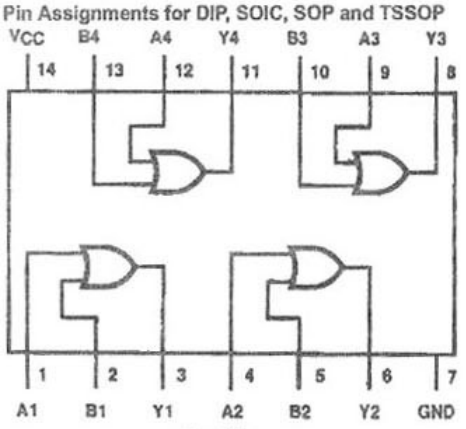
Ordering Code:

Order Number	Package Number	Package Description
MM74HC32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC32MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC32SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC32MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC32MTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC32N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

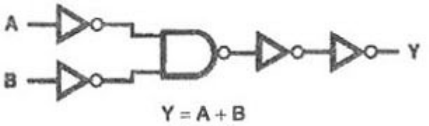
Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram



Y = A + B
(1 of 4)

© 2005 Fairchild Semiconductor Corporation

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 – MARCH 1974 – REVISED MARCH 1988

'46A, '47A, 'LS47 feature

- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

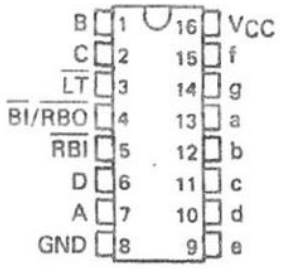
'48, 'LS48 feature

- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

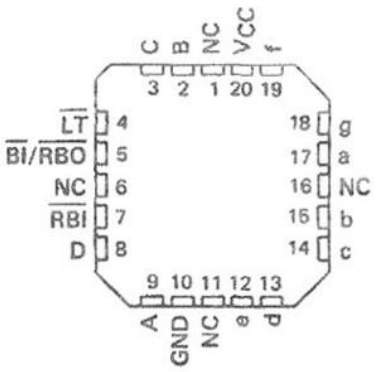
'LS49 feature

- Open-Collector Outputs
- Blanking Input

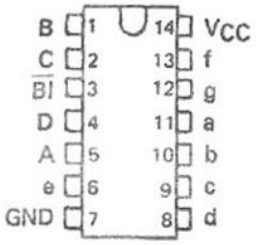
SN5446A, SN5447A, SN54LS47, SN5448, SN54LS48 . . . J PACKAGE
SN7446A, SN7447A, SN7448 . . . N PACKAGE
SN74LS47, SN74LS48 . . . D OR N PACKAGE
(TOP VIEW)



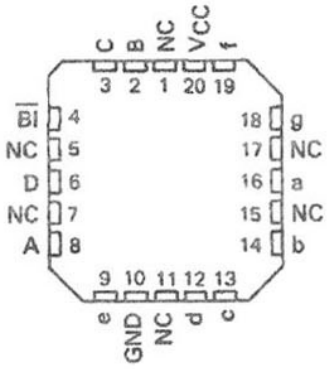
SN54LS47, SN54LS48 . . . FK PACKAGE
(TOP VIEW)



SN54LS49 . . . J OR W PACKAGE
SN74LS49 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS49 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

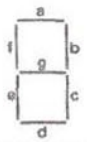
Copyright © 1988, Texas Instruments Incorporated

description

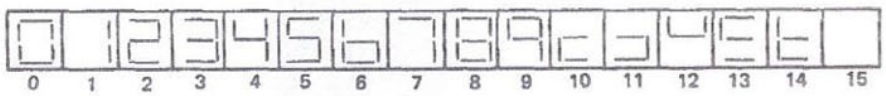
The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control ($\overline{RBI}$ and $\overline{RBO}$). Lamp test ($\overline{LT}$) of these types may be performed at any time when the $\overline{BI}/\overline{RBO}$ node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input ($\overline{BI}$), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the 6 and the 9 with tails and were designed to offer the designer a choice between two indicator fonts.



SEGMENT IDENTIFICATION



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}$†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{RBI}$) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output ($\overline{RBO}$) goes to a low level (response condition).
4. When the blanking input/ripple blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

†$\overline{BI}/\overline{RBO}$ is wire AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$).

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC74A
Dual D-Type Flip-Flop with Preset and Clear

General Description

The MM74HC74A utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to the equivalent LS-TTL part. It possesses the high noise immunity and low power consumption of standard CMOS integrated circuits, along with the ability to drive 10 LS-TTL loads.

This flip-flop has independent data, preset, clear, and clock inputs and Q and $\overline{Q}$ outputs. The logic level present at the data input is transferred to the output during the positive-going transition of the clock pulse. Preset and clear are independent of the clock and accomplished by a low level at the appropriate input.

The 74HC logic family is functionally and pinout compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 20 ns
- Wide power supply range: 2–6V
- Low quiescent current: 40 μA maximum (74HC Series)
- Low input current: 1 μA maximum
- Fanout of 10 LS-TTL loads

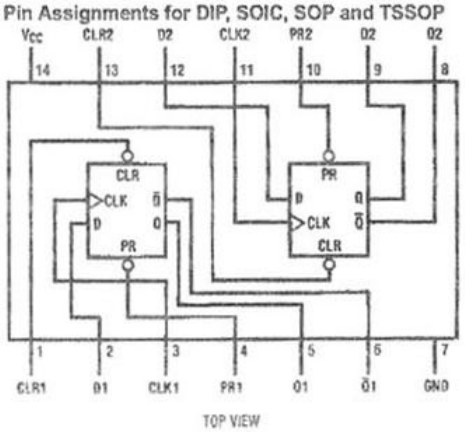
Ordering Code:

Order Number	Package Number	Package Description
MM74HC74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC74AMX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC74ASJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC74AMTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC74AMTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



TOP VIEW

Truth Table

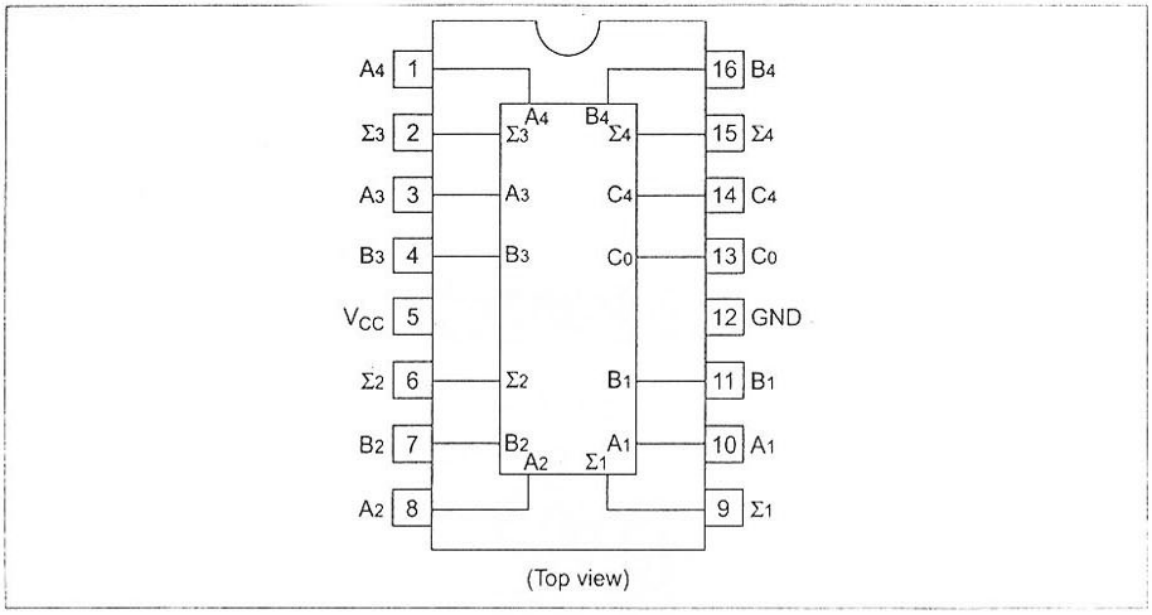
Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q0	$\overline{Q}$ 0

Note: Q0 the level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (HIGH) level.

© 2005 Fairchild Semiconductor Corporation

Pin Arrangement



(Top view)

Inputs				Outputs					
				When C_0 = L/When C_2 = L			When C_0 = H/When C_2 = H		
A_1/A_3	B_1/B_3	A_2/A_4	B_2/B_4	Σ_1/Σ_3	Σ_2/Σ_4	C_2/C_4	Σ_1/Σ_3	Σ_2/Σ_4	C_2/C_4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

H : High level

L : Low level

X : Irrelevant

Note: Input conditions at A_1, B_1, A_2, B_2 and C_0 are used to determine outputs Σ_1 and Σ_2 and the value of the internal carry C_2.

The value at C_2, A_3, B_3, A_4 and B_4 are than used to determine outputs Σ_3, Σ_4 and C_4

SN5485, SN54LS85, SN54S85
SN7485, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS

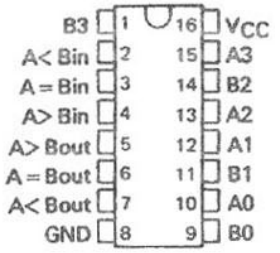
SDLS123 – MARCH 1974 – REVISED MARCH 1988

TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

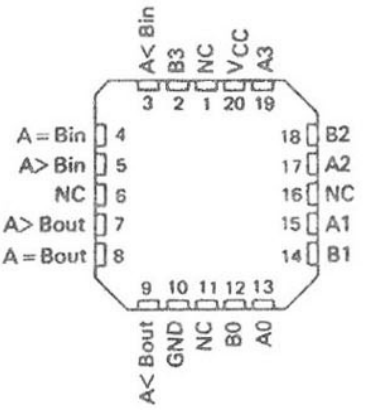
description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . N PACKAGE
SN74LS85, SN74S85 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS85, SN54S85 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B2	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A2 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC86
Quad 2-Input Exclusive OR Gate

General Description

The MM74HC86 EXCLUSIVE OR gate utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to equivalent LS-TTL gates while maintaining the low power consumption and high noise immunity characteristic of standard CMOS integrated circuits. These gates are fully buffered and have a fanout of 10 LS-TTL loads. The 74HC logic family is functionally as well as pin out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 9 ns
- Wide operating voltage range: 2–6V
- Low input current: 1 μA maximum
- Low quiescent current: 20 μA maximum (74 Series)
- Output drive capability: 10 LS-TTL loads

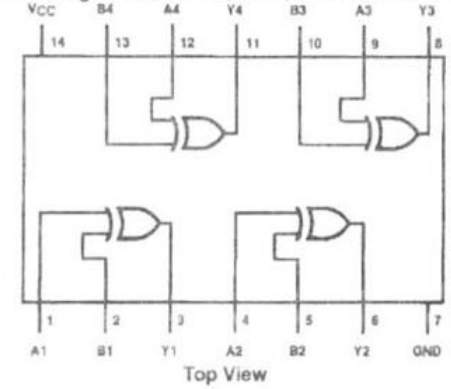
Ordering Code:

Order Number	Package Number	Package Description
MM74HC86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC86MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC86SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC86MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC86NX_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Truth Table

Inputs		Outputs
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

$Y = A \oplus B = \overline{A}B + A\overline{B}$

© 2005 Fairchild Semiconductor Corporation

SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93
SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE AND BINARY COUNTERS

SDLS940A – MARCH 1974 – REVISED MARCH 1988

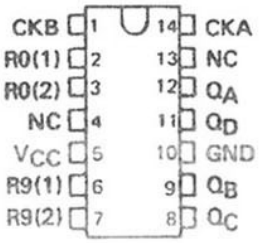
'90A, 'LS90 . . . Decade Counters

'92A, 'LS92 . . . Divide By-Twelve Counters

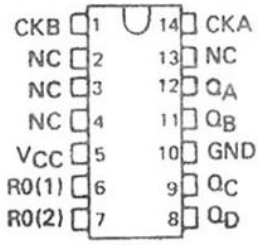
'93A, 'LS93 . . . 4-Bit Binary Counters

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'92A, '93A	130 mW
'LS90, 'LS92, 'LS93	45 mW

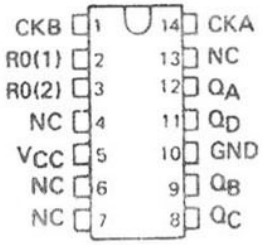
SN5490A, SN54LS90 . . . J OR W PACKAGE
SN7490A . . . N PACKAGE
SN74LS90 . . . D OR N PACKAGE
(TOP VIEW)



SN5492A, SN54LS92 . . . J OR W PACKAGE
SN7492A . . . N PACKAGE
SN74LS92 . . . D OR N PACKAGE
(TOP VIEW)



SN5493A, SN54LS93 . . . J OR W PACKAGE
SN7493 . . . N PACKAGE
SN74LS93 . . . D OR N PACKAGE
(TOP VIEW)



description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'LS90, divide-by-six for the '92A and 'LS92, and the divide-by-eight for the '93A and 'LS93.

All of these counters have a gated zero reset and the '90A and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the CKB input is connected to the Q_A output. The input count pulses are applied to CKA input and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'LS90 counters by connecting the Q_D output to the CKA input and applying the input count to the CKB input which gives a divide-by-ten square wave at output Q_A.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

'90A, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'90A, 'LS90
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

'93A, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

NOTES: A. Output Q_A is connected to input CKB for BCD count.
B. Output Q_D is connected to input CKA for bi-quinary count.
C. Output Q_A is connected to input CKB.
D. H = high level, L = low level, X = irrelevant

SN54107, SN54LS107A, SN74107, SN74LS107A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS036 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

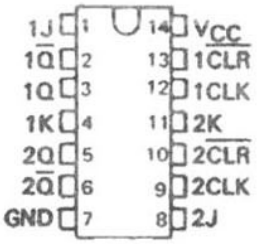
description

The '107 contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '107 is a positive pulse-triggered flip-flop. The J-K input data is loaded into the master while the clock is high and transferred to the slave and the outputs on the high-to-low clock transistion. For these devices the J and K inputs must be stable while the clock is high.

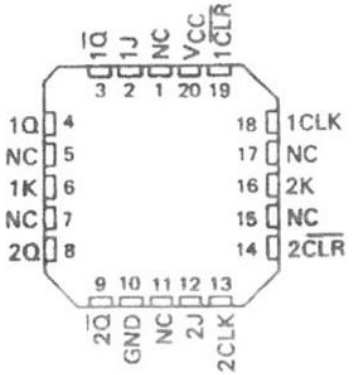
The 'LS107A contain two independent negative-edge-triggered flip-flops. The J and K inputs must be stable prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the $\overline{Q}$ output high.

The SN54107 and the SN54LS107A are characterized for operation over the full military temperature range of −55°C to 125°C. The SN74107 and the SN74LS107A are characterized for operation from 0°C to 70°C.

SN54107, SN54LS107A . . . J PACKAGE
SN74107 . . . N PACKAGE
SN74LS107A . . . D OR N PACKAGE
(TOP VIEW)



SN54LS107A . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

'107
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	⊓↓	L	L	Q_0	$\overline{Q}_0$
H	⊓↓	H	L	H	L
H	⊓↓	L	H	L	H
H	⊓↓	H	H	TOGGLE	

'LS107A
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{Q}_0$

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Dual 4-input multiplexer 74HC/HCT153

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 15	$1\overline{E}$, $2\overline{E}$	output enable inputs (active LOW)
14, 2	S_0, S_1	common data select inputs
6, 5, 4, 3	$1I_0$ to $1I_3$	data inputs from source 1
7	1Y	multiplexer output from source 1
8	GND	ground (0 V)
9	2Y	multiplexer output from source 2
10, 11, 12, 13	$2I_0$ to $2I_3$	data inputs from source 2
16	V_{CC}	positive supply voltage

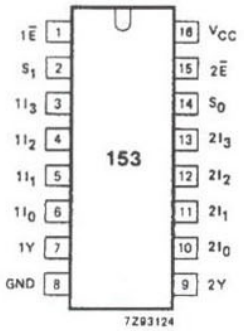


Fig.1 Pin configuration.

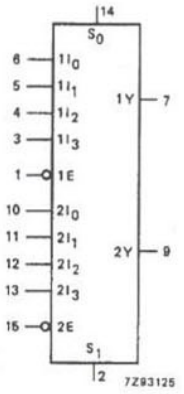


Fig.2 Logic symbol.

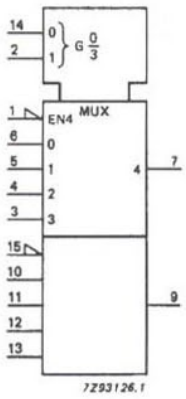


Fig.3 IEC logic symbol.

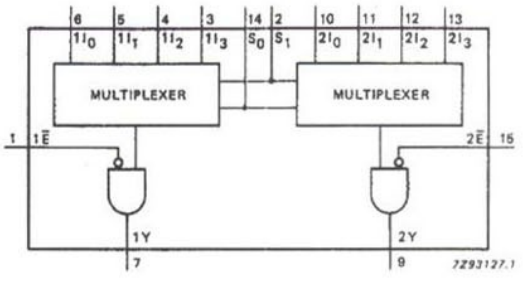


Fig.4 Functional diagram.

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				OUTPUT ENABLE	OUTPUT
S_0	S_1	nI_0	nI_1	nI_2	nI_3	$n\bar{E}$	nY
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
H	L	X	L	X	X	L	L
H	L	X	H	X	X	L	H
L	H	X	X	L	X	L	L
L	H	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Note

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care

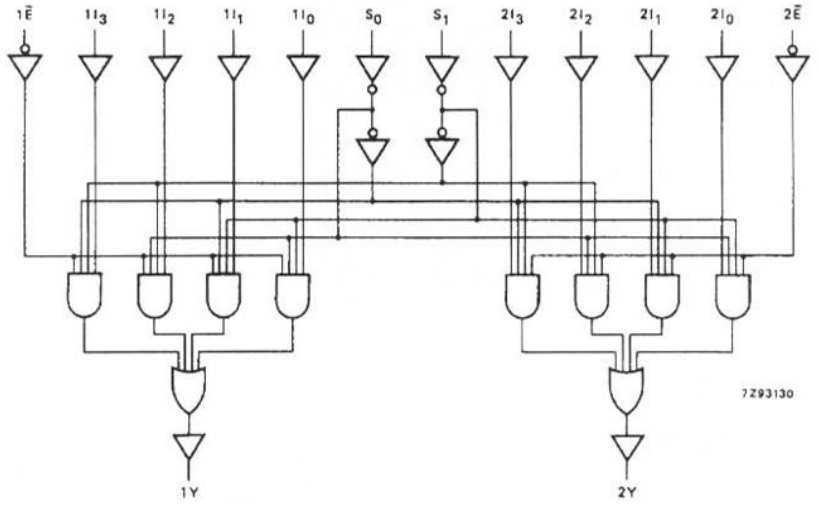


Fig.5 Logic diagram.

Presettable synchronous BCD decade up/down counter

74HC/HCT190

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U}/D$	up/down input
8	GND	ground (0 V)
11	$\overline{PL}$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge-triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage

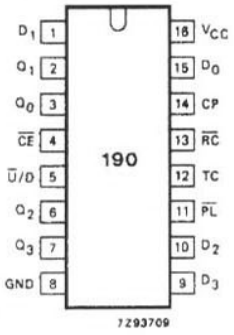


Fig.1 Pin configuration.

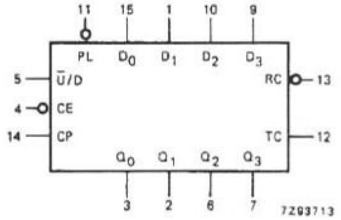


Fig.2 Logic symbol.

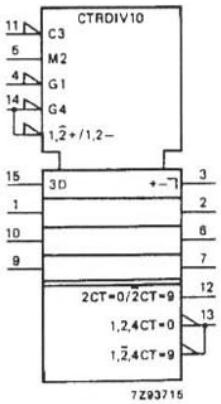


Fig.3 IEC logic symbol.

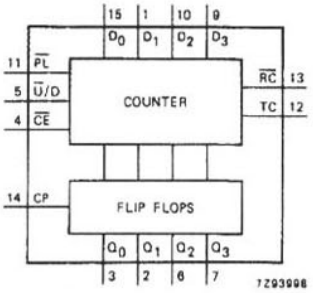


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	$\overline{PL}$	$\overline{U}/D$	$\overline{CE}$	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	I	↑	X	count up
count down	H	H	I	↑	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
$\overline{U}/D$	$\overline{CE}$	CP	Q_0	Q_1	Q_2	Q_3	TC	$\overline{RC}$
H	H	X	H	X	X	H	L	H
L	H	X	H	X	X	H	H	H
L	L	⊓	H	X	X	H	⌐	⊓
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	⊓	L	L	L	L	⌐	⊓

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
   X = don't care
   ↑ = LOW-to-HIGH CP transition

   ⊓ = one LOW level pulse
   ⌐ = TC goes LOW on a LOW-to-HIGH CP transition

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U}$/D	up/down input
8	GND	ground (0 V)
11	$\overline{PL}$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage

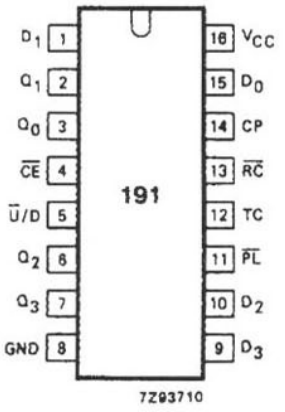


Fig.1 Pin configuration.

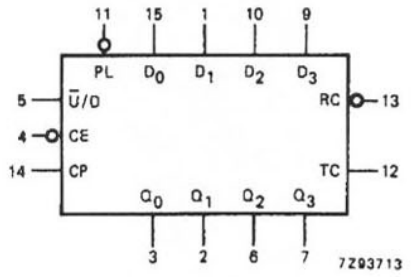


Fig.2 Logic symbol.

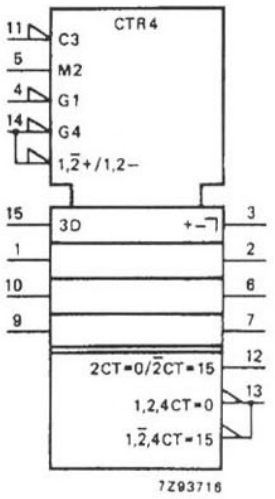


Fig.3 IEC logic symbol.

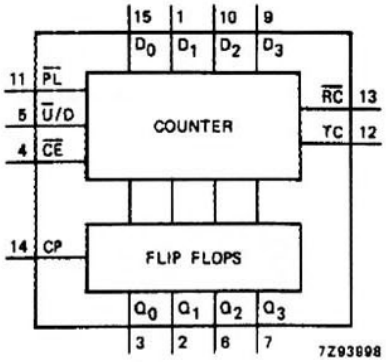


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	$\overline{PL}$	$\overline{U}/D$	$\overline{CE}$	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	l	↑	X	count up
count down	H	H	l	↑	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
$\overline{U}/D$	$\overline{CE}$	CP	Q_0	Q_1	Q_2	Q_3	TC	$\overline{RC}$
H	H	X	H	H	H	H	L	H
L	H	X	H	H	H	H	H	H
L	L	⊓⊔	H	H	H	H	⊓	⊓⊔
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	⊓⊔	L	L	L	L	⊓	⊓⊔

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
   X = don't care
   ↑ = LOW-to-HIGH CP transition

   ⊓⊔ = one LOW level pulse

   ⊓ = TC goes LOW on a LOW-to-HIGH CP transition

FAIRCHILD
SEMICONDUCTOR IM

October 1987
Revised March 2002

CD4001BC/CD4011BC
Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

General Description

The CD4001BC and CD4011BC quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

Features

- Low power TTL:
  Fan out of 2 driving 74L compatibility: or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 µA at 15V over full temperature range

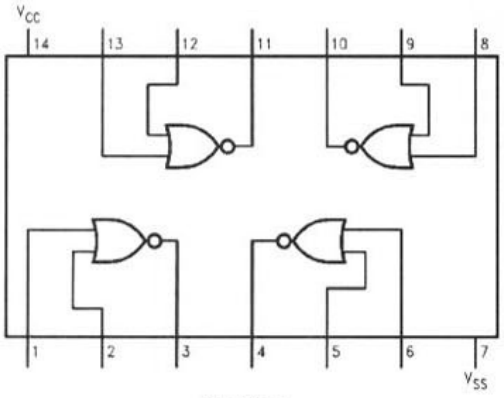
Ordering Code:

Order Number	Package Number	Package Description
CD4001BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4001BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4001BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4011BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4011BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

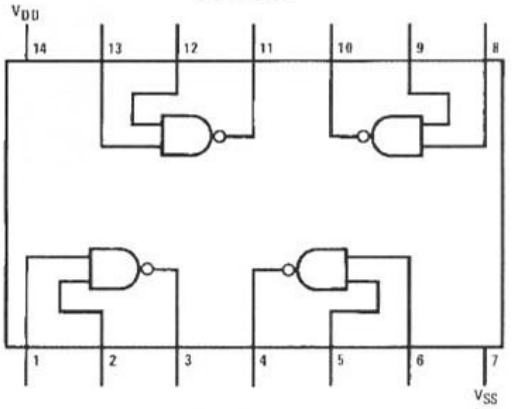
Connection Diagrams

Pin Assignments for DIP, SOIC and SOP
CD4001BC



Top View

Pin Assignments for DIP and SOIC
CD4011BC



Top View

© 2002 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised January 2004

CD4511BC
BCD-to-7 Segment Latch/Decoder/Driver

General Description

The CD4511BC BCD-to-seven segment latch/decoder/driver is constructed with complementary MOS (CMOS) enhancement mode devices and NPN bipolar output drivers in a single monolithic structure. The circuit provides the functions of a 4-bit storage latch, an 8421 BCD-to-seven segment decoder, and an output drive capability. Lamp test (LT), blanking (BI), and latch enable (LE) inputs are used to test the display, to turn-off or pulse modulate the brightness of the display, and to store a BCD code, respectively. It can be used with seven-segment light emitting diodes (LED), incandescent, fluorescent, gas discharge, or liquid crystal readouts either directly or indirectly.

Applications include instrument (e.g., counter, DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

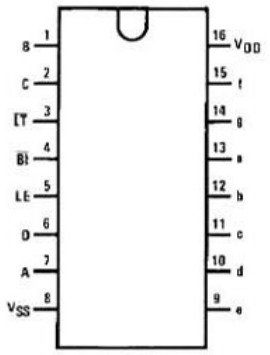
Features

- Low logic circuit power dissipation
- High current sourcing outputs (up to 25 mA)
- Latch storage of code
- Blanking input
- Lamp test provision
- Readout blanking on all illegal input combinations
- Lamp intensity modulation capability
- Time share (multiplexing) facility
- Equivalent to Motorola MC14511

Ordering Code:

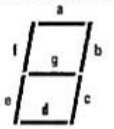
Order Number	Package Number	Package Description
CD4511BCWM	M16B	16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
CD4511BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagrams



Top View

Segment Identification



© 2004 Fairchild Semiconductor Corporation

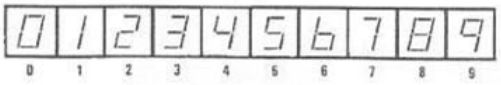
Truth Table

Inputs							Outputs							
LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	0	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X								

X = Don't Care

*Depends upon the BCD code applied during the 0 to 1 transition of LE.

Display



FAIRCHILD SEMICONDUCTOR™

October 1987
Revised March 2002

CD4001BC/CD4011BC
Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

General Description

The CD4001BC and CD4011BC quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

Features

- Low power TTL:
  Fan out of 2 driving 74L compatibility: or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 µA at 15V over full temperature range

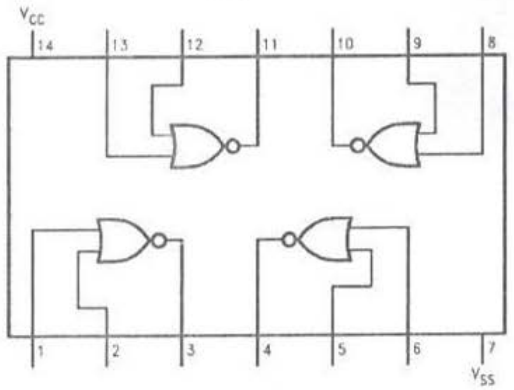
Ordering Code:

Order Number	Package Number	Package Description
CD4001BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4001BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4001BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4011BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4011BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

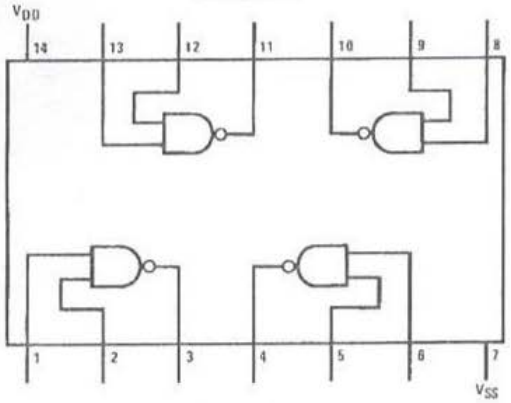
Connection Diagrams

Pin Assignments for DIP, SOIC and SOP
CD4001BC



Top View

Pin Assignments for DIP and SOIC
CD4011BC

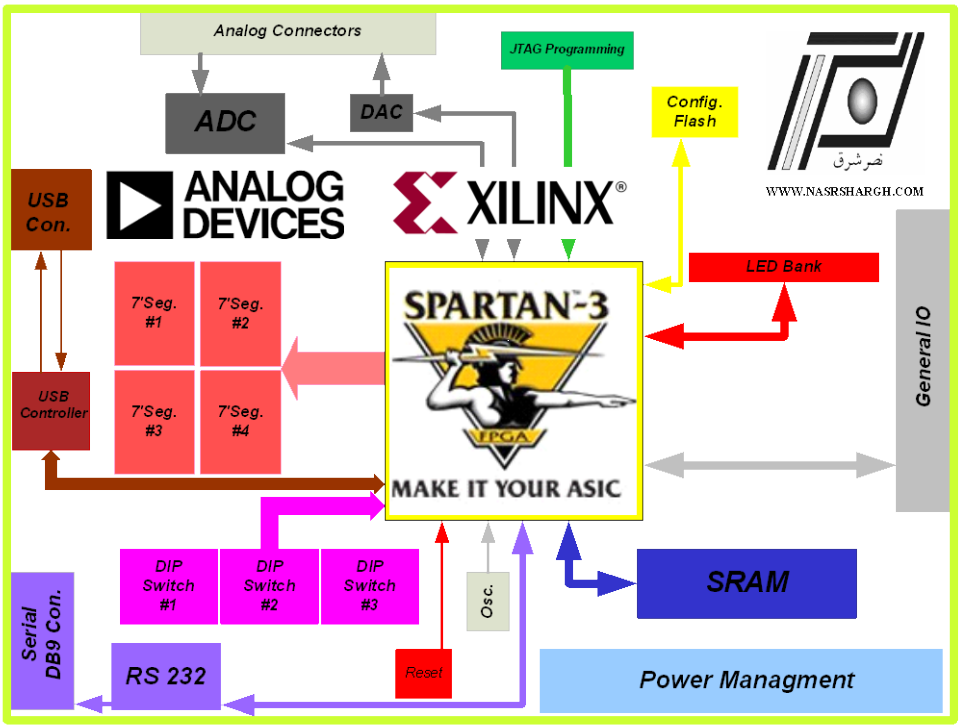


Top View

© 2002 Fairchild Semiconductor Corporation

آشنایی با سخت‌افزار FPGA آزمایشگاه

مجموعه آزمایشگاه FPGA از بخش‌های مختلفی تشکیل شده است که این بخش‌ها شامل برد اصلی، پروگرامر شرکت XILINX و مستندات مربوطه است. در این گزارش فنی شما با ساختار برد اصلی آزمایشگاه و بخش‌های مختلف تشکیل دهنده آن آشنا خواهید شد. شکل ۱ بلوک دیاگرام برد آزمایشگاه را نمایش می‌دهد. به طور کلی این برد شامل یک FPGA از شرکت XILINX، منابع تغذیه، قسمت‌های مختلف آنالوگ، دیجیتال و کانکتورها است. در شکل ۲ نیز نحوه و جایگاه قرار گرفتن این بخش‌ها را روی برد آزمایشگاه مشاهده می‌نمایید. همان طور که در این شکل مشخص است. در ادامه به توضیح قسمت‌های مختلف این برد خواهیم پرداخت.



تراشه FPGA:

تراشه اصلی یا همان FPGA که روی این برد استفاده شده است از سری SC3X400 از شرکت XILINX می‌باشد. همان طور که می‌دانید شرکت XILINX به عنوان یکی از اصلی‌ترین تولیدکنندگان تراشه‌های الکترونیکی و بخصوص FPGA است. این شرکت تاکنون خانواده‌های مختلفی از FPGAها را تولید و به بازار عرضه نموده است. یکی از این سری تراشه‌ها خانواده Spartan-3 است که در جدول زیر انواع آن‌ها از نظر تعداد گیت‌ها، بیت‌های حافظه تعداد I/Oها و نوع بسته‌بندی نمایش داده شده است. تراشه‌ای که روی این برد استفاده شده است با بسته‌بندی PQFP و دارای ۲۰۸ پایه است و بیشترین پایه‌ای که در اختیار کاربر قرار می‌دهد ۱۴۱ عدد است.

Spartan-3 FPGA Family								
Spartan-3	XC3S50	XC3S200	XC3S400	XC3S1000	XC3S1500	XC3S2000	XC3S4000	XC3S5000
Spartan-3L	—	—	—	XC3S1000L	XC3S1500L	—	XC3S4000L	—
Spartan-3 EasyPath	—	—	—	—	XCE3S1500	XCE3S2000	XCE3S4000	XCE3S5000
System Gates	50K	200K	400K	1000K	1500K	2000K	4000K	5000K
Logic Cells	1,728	4,320	8,064	17,280	29,952	46,080	62,208	74,880
Block RAM Bits	72K	216K	288K	432K	576K	720K	1,728K	1,872K
Distributed RAM Bits	12K	30K	56K	120K	208K	320K	432K	520K
DCMs	2	4	4	4	4	4	4	4
Multipliers	4	12	16	24	32	40	96	104
I/O Standards	24	24	24	24	24	24	24	24
Max Single Ended I/O**	124	173	264	391	487	565	712	784
Package and I/O Offerings								
	XC3S50	XC3S200	XC3S400	XC3S1000	XC3S1500	XC3S2000	XC3S4000	XC3S5000
VQ100 14 x 14 mm	63	63						
TQ144 20 x 20 mm	97	97	97					
PQ208 28 x 28 mm	124	141	141					
FT256 17 x 17 mm		173	173	173*				
FG320 23 x 23 mm			221	221*	221*			
FG456 23 x 23 mm			264	333*	333*			
FG676 27 x 27 mm				391	487*	489		
FG900 31 x 31 mm						565	633*	633
FG1156 35 x 35 mm							712	784

برای برنامه‌ریزی FPGA روی برد می‌توان از روش JTAG استفاده نمود. پروگرامر XILINX از یک طرف به پورت موازی و از سمت دیگر به کانکتور J7A در روی برد متصل و با استفاده از نرم‌افزار ISE برنامه‌ریزی یا پیکربندی می‌شود. بر روی برد یک تراشه PROM از سری XCF02S نیز در نظر گرفته شده است که امکان برنامه‌ریزی FPGA از طریق PROM را نیز مهیا می‌نماید. به این منظور جامپرهای J5A و J6A را می‌بایست به ترتیب زیر قرار داد.

J5A: پین ۲ به ۳ ..... برنامه‌ریزی از طریق پروگرامر

J6A: پین ۲ به ۳ ..... برنامه‌ریزی از طریق پروگرامر

J5A: پین ۲ به ۱ ..... برنامه‌ریزی PROM توسط پروگرامر

J6A: پین ۲ به ۱ ..... برنامه‌ریزی PROM توسط پروگرامر

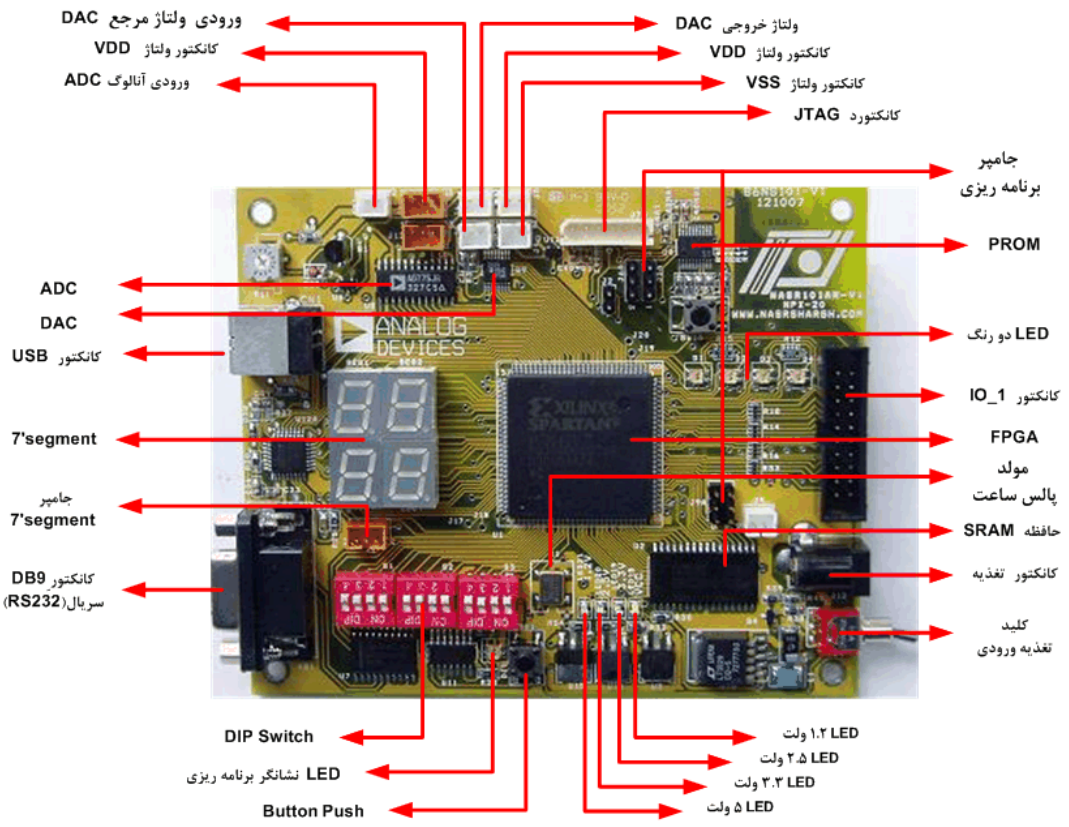
همچنین جامپر J9A به منظور تعیین حالت برنامه‌ریزی FPGA در نظر گرفته شده است که چگونگی آن را در جدول زیر مشاهده می‌نمایید.

Configuration Mode(1)	M0	M1	M2	Synchronizing Clock
Master Serial	0	0	0	CCLK Output
Slave Serial	1	1	1	CCLK Input
Master Parallel	1	1	0	CCLK Output
Slave Parallel	0	1	1	CCLK Input
JTAG	1	0	1	TCK Input

Notes:
1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.
3. M0=1: J9A Pin 1 and 2 is connected
   M1=1: J9A Pin 3 and 4 is connected
   M2=1: J9A Pin 5 and 6 is connected

تغذیه

تغذیه ورودی برد از طریق کانکتور J12 (کانکتور تغذیه) و کلید تغذیه ورودی تأمین و از طریق سه رگولاتور، ولتاژهای ۵ ولت، ۳/۳ ولت و ۲/۵ ولت ساخته می‌شود. LEDهای نشانگر ولتاژهای ۱/۲، ۲/۵، ۳/۳ و ۵ ولت در قسمت بالای رگولاتورها با شماره‌های LED18,19,20,21 برای نشان دادن وضعیت ولتاژهای سیستم به کار می‌روند. محدوده ولتاژ تغذیه ورودی از ۷ تا ۱۲ ولت بوده که بهتر است خروجی یک منبع تغذیه پایدار باشد.



مولد پالس ساعت

یک اسیلاتور با فرکانس 20MHz روی برد قرار گرفته است که به پایه شماره ۲۲ FPGA متصل می‌باشد و می‌تواند به عنوان clock اصلی برد مورد استفاده قرار گیرد.

حافظه

یک حافظه ۱۲۸ کیلو بایت شرکت SAMSUNG به شماره K6R1008V1C روی برد قرار دارد و باس‌های آدرس، داده و سیگنال‌های کنترلی آن به FPGA متصل شده است (در جدولی که در انتهای این مستند آورده شده است پایه‌های استفاده شده مشخص شده است).

مبدل آنالوگ به دیجیتال

برای پردازش سیگنال آنالوگ توسط FPGA یک ADC شرکت Analog Device به شماره AD775 روی برد قرار گرفته است. این ADC هشت بیتی با ولتاژ ۵ ولت تغذیه شده و می‌تواند تا 20MSPS کار نماید. باس داده و سیگنال‌های کنترلی ADC به پایه‌های FPGA متصل شده است (در جدولی که در انتهای این مستند آورده شده است پایه‌های استفاده شده مشخص شده است).

مبدل دیجیتال به آنالوگ

برای ارتباط با دنیای آنالوگ و ارائه نتیجه پردازش سیگنال آنالوگ به صورت خروجی، از یک DAC شرکت Analog Device استفاده شده است. این DAC هشت بیتی با تغذیه ۲/۵ تا ۵ ولت کار می‌کند و باس داده و سیگنال‌های کنترلی آن به پایه‌های FPGA متصل شده است (در جدولی که در انتهای این مستند آورده شده است پایه‌های استفاده شده مشخص شده است).

کانکتورهای I/O (ورودی/خروجی)

برای ارتباط با خارج برد یک کانکتور ورودی- خروجی ۲۰ پایه در نظر گرفته شده است و می‌توان از آن برای ارتباط با اجزای جانبی مانند LCD و یا بردهای دیگر مورد استفاده نمود. این کانکتور J14 است.

کانکتور USB

برای ارتباط با پورت USB کامپیوتر کانکتور CN1 در نظر گرفته شده است که در قسمت سمت چپ برد واقع شده است.

ارتباط سری RS-232

دو پایه از FPGA به عنوان خط ارسال و خط دریافت برای ارتباط با پورت COM کامپیوتر که از پروتکل RS232 استفاده می‌کند در نظر گرفته شده است. این دو پایه از طریق تراشه MAX233 شرکت MAXIM به ولتاژهای RS232 تبدیل شده و به کانکتور DB9 سری وصل می‌گردند.

نمایشگر LED و هفت‌قسمتی

۸ LED در ۴ پکیج بسته‌بندی شده‌اند، برای نمایش سیگنال‌های خروجی و نیز چهار عدد نمایشگر هفت‌قسمتی برای نمایش اعداد و . . . روی برد موجود است که به یک سری از پایه‌های FPGA متصل هستند. همچنین یک jamper برای نمایشگرهای هفت‌قسمتی در نظر گرفته شده است تا در حالت آند مشترک و یا کاتد مشترک (بسته به اینکه نمایشگرها چطور کار می‌کنند) قرار گیرد.

سوئیچ‌های ورودی و RESET

یک Push Button برای سیگنال‌های ورودی لحظه‌ای مانند Reset و . . . و سه عدد DIP Switch چهارتایی برای سیگنال‌های ورودی setting و یا برای ارسال اعداد BCD، باینری و . . . روی برد در نظر گرفته شده که به یک سری از پایه‌های FPGA متصل هستند.

FPGA Pin Number	Application	FPGA Pin Number	Application	FPGA Pin Number	Application
2	7SEG3-d	68	IO16	138	ADC-D0
3	TX0	71	IO7	139	ADC-OE
4	RX0	72	IO15	140	usbD0
5	SW1-ain4	74	IO6	141	usbD3
7	SW1-ain3	76	IO14	143	usbRD
9	SW1-ain2	77	IO5	144	usbD4
10	SW1-ain1	78	IO13	146	usbD5
11	RST*	79	CLKIN	147	7SEG1-g
12	SW2-ain8	80	IO12	148	usbD6
13	SW3-ain7	81	IO3	149	7SEG1-f
15	SW2-ain6	85	IO11	150	usbD7
16	SW2-ain5	86	IO2	152	usbTXE
18	SW3-ain12	87	IO10	154	7SEG1-a
19	SW3-ain11	90	IO1	155	7SEG2-g
20	SW3-ain10	93	IO9	156	7SEG1-b
21	SW3-ain9	94	D4-aled7	161	7SEG2-a
22	20MHZ	95	usbRXF	162	7SEG2-f
24	R1A0	96	D4-aled8	165	7SEG2-b
26	R1A1	97	D3-alad5	166	7SEG1-c
27	R1A2	100	7SEG1-e	167	usbPWREN
28	R1A3	101	D3-aled6	168	7SEG2-e
29	R1CS0	102	D2-aled3	169	7SEG2-c
31	R1D0	106	D3-aled4.	171	7SEG2-d
33	R1D1	107	D1-aled1	172	usbWR
34	R1D2	108	D1-aled2	175	7SEG2-DP
35	R1D3	109	IO4	176	7SEG1-d
36	R1WE	111	usbRSTn	178	7SEG1-DP
37	R1A4	113	usbSlWU	180	7SEG3-a
39	R1A5	114	DAC_D2	181	7SEG4-a
40	R1A6	115	DAC_D1	182	7SEG4-g
42	R1A7	116	DAC_D0	183	7SEG4-b
43	R1A16	117	DAC-CS	184	7SEG4-f
44	R1A15	119	DAC-RW	185	usbD2
45	R1A14	120	DAC-D3	187	7SEG4-e
46	R1A13	122	DAC-D4	189	7SEG4-c
48	R1OE	123	DAC-D5	190	usbD1
50	R1D7	124	DAC-D6	191	7SEG4-d
51	R1D6	125	DAC-D7	194	7SEG4-DP
57	R1D5	126	ADC-CLK	196	7SEG3-DP
58	R1D4	128	ADC-D7	197	7SEG3-c
61	R1A12	130	ADC-D6	198	7SEG3-b
62	R1A11	131	ADC-D5	199	7SEG3-g
63	R1A10	132	ADC-D4	200	7SEG3-f

64	R1A9		133	ADC-D3		203	7SEG3-e	
65	R1A8		135	ADC-D2		204	SW3-ain12	
67	IO8		137	ADC-D1		205	usbXTIN	