بسمه تعالی

طراحی سیستم‌های کم توان

نیمسال اول ۱۴۰۱

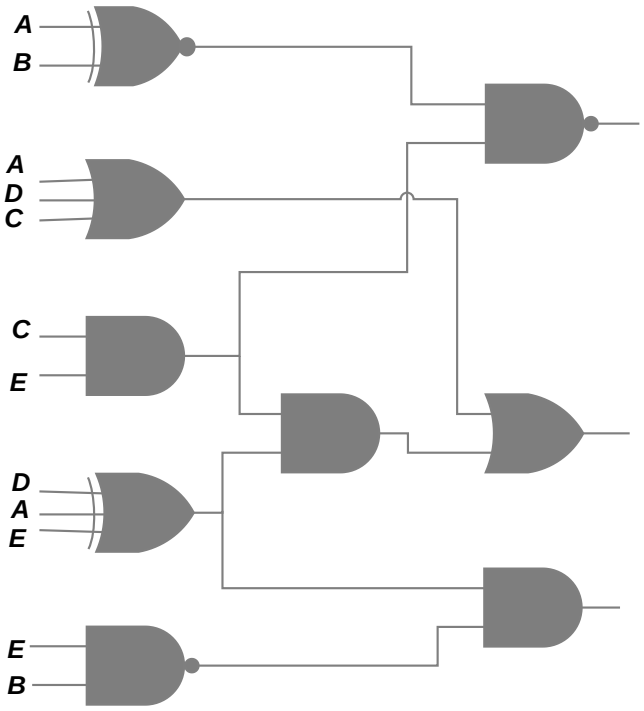
تمرین ۳

دانشگاه صنعتی امیرکبیر

دانشکده مهندسی کامپیوتر

مهلت تحویل : ۱۱ آذر ماه ۱۴۰۱

۱- امکان کاهش توان مصرفی کل در مدار زیر را با استفاده از روش Dual V_{DD} و با کمک نرم‌افزار HSPICE بررسی نمایید. بدین منظور معیار *PDP* را قبل و بعد از اعمال تکنیک کاهش توان، محاسبه و مقایسه نمایید.



(راهنمایی: ۱) تاخیر هر گیت را محاسبه کنید. ($\frac{t_{phl}+t_{plh}}{2}$) ۲) مسیر بحرانی را بیابید.)

توجه:

- مدار را براساس ساختار CMOS Standard طراحی کنید.
- ابعاد ترانزیستورها را به نحوی انتخاب کنید که جریان‌دهی هر گیت با معکوس کننده واحد برابر باشد.
- کتابخانه تکنولوژی ۳۲ نانومتر PTM بر روی سایت درس قابل دسترسی است.
- تصویر مدار طراحی شده که نام گره‌ها و اندازه‌گذاری ترانزیستورها (متناسب با آنچه در شبیه‌سازی انجام شده) بر روی آن مشخص شده‌اند را ضمیمه کنید.

مهلت تحویل : ۱۱ آذر ماه ۱۴۰۱

- چگونگی محاسبه تاخیر گیت‌ها و یافتن مسیر بحرانی مدار با کمک HSPICE را همراه با سایر نتایج ارسال نمایید.

راهنمایی:

- در این تمرین صرفاً امکان‌پذیری کاهش توان مصرفی به روش Dual V_{DD} مدنظر است. در نتیجه این موضوع را بررسی کرده و موفقیت آمیز بودن/نبودن آن را با شبیه‌سازی نشان دهید. هدف این تمرین یافتن ولتاژ بهینه نیست و هدف صرفاً بررسی تاثیر و توانایی روش Dual V_{DD} بر توان مصرفی است.

- در طراحی مدارهای بزرگ در صورت تمایل می‌توان با بهره‌گیری از قابلیت تعریف sub circuit در HSPICE، حجم کد و پیچیدگی اتصال‌ها را کاهش داد.

در مدارات پیچیده وقتی یک واحد به تعداد زیاد در بخش‌های مختلف تعریف می‌شود، برای سادگی می‌توان به کمک دستور SBCKT آن را به عنوان یک ماژول تعریف کرد. فرمت این دستور به صورت زیر است:

.SUBCKT نام ماژول شماره و یا نام گره‌های ورودی و خروجی

<----- بدنه ماژول----->

.ENDS نام ماژول

```
******  SUB_CIRCUIT Buffer *******
.SUBCKT  Buffer IN  GND  OUT
M1   1   IN   2    2     pch   w='4*.18U'   L=Lmin
M2   1   IN  GND   GND   nch   w='2*.18U'   L=Lmin
M3  OUT  1    2    2     pch   w='12*.18U'  L=Lmin
M4  OUT  1   GND   GND   nch   w='6*.18U'   L=Lmin
.ENDS Buffer
```

نحوه معرفی ترانزیستور MOS به اسپایس:

M(name) ND NG NS NB Model name W L

مهلت تحویل : ۱۱ آذر ماه ۱۴۰۱

- به جهت سهولت در انجام تمرین، دستورات مورد نیاز شما در زیر آورده شده است. در صورت لزوم آن‌ها را متناسب با صورت سوال و طراحیتان اصلاح کنید.

محاسبه توان میانگین در یک بازه زمانی مشخص.

```
.meas tran AvgPower Avg Power from = 0ps to = 2ns
```

محاسبه تاخیر تغییرات پایین به بالا خروجی، در صورتی که موج خروجی، وارون شده ورودی باشد.

محاسبه تاخیر تغییرات پایین به بالا خروجی، در صورتی که موج خروجی، با ورودی هم فاز باشد.

```
.MEASURE TRAN tplh TRIG V(11) VAL='VDDx/2' FALL=1 TARG V(3) VAL='VDDx/2' RISE=1
*.MEASURE TRAN tplh TRIG V(11) VAL='VDDx/2' FALL=1 TARG V(3) VAL='VDDx/2' FALL=1
.MEASURE TRAN tphl TRIG V(11) VAL='VDDx/2' RISE=1 TARG V(3) VAL='VDDx/2' FALL=1
.MEASURE TRAN tPD PARAM='(tplh + tphl)/2'
```

محاسبه تاخیر انتشار (tPD) با توجه به تعریف تاخیر انتشار

```
.MEASURE TRAN tr TRIG V(3) VAL='0.1*VDDx' RISE=1 TARG V(3) VAL='0.9*VDDx' RISE=1
.MEASURE TRAN tf TRIG V(3) VAL='0.9*VDDx' FALL=1 TARG V(3) VAL='0.1*VDDx' FALL=1
```

محاسبه حاصلضرب توان میانگین در تاخیر انتشار

```
.MEASURE TRAN powerDelay PARAM='AvgPower*tPD'
```

(اعداد 11 و 3 در تصویر بالا، نامگذاری فرضی از گره‌های مدار است، که می‌بایست آن را متناسب با نامگذاری مدار خود قرار دهید.)

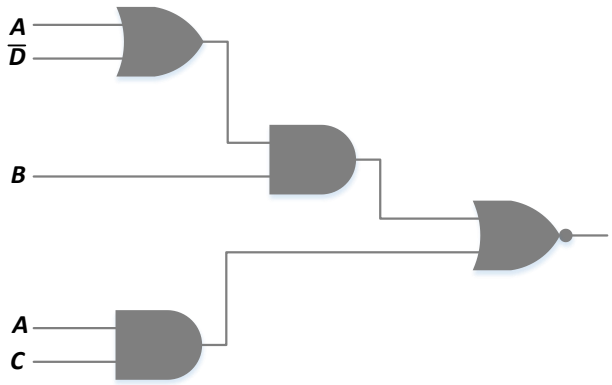
مهلت تحویل : ۱۱ آذر ماه ۱۴۰۱

از میان سوال‌های ۲ و ۳ به انتخاب خود تنها کافی است تا یکی را پاسخ دهید.

(انجام سوال ۱ اجباری است)

۲- مدار زیر را پیاده‌سازی کرده و با کمک روش تبدیل گره‌ها با فعالیت زیاد به گره‌های درونی سلول‌ها امکان کاهش توان مصرفی را بررسی کنید. (راهنمایی: این کار در مرحله technology mapping انجام می‌شود. از compound gate استفاده کنید.)

$P(a) = 0.3,\ p(b)= 0.4,\ p(c)=0.5,\ p(d)=0.7$



۳- می‌خواهیم تابع $F=\overline{(AB + CD)}$ را با استفاده از گیت‌های مبتنی‌بر CMOS پیاده‌سازی کنیم. در صورتی که احتمال یک بودن ورودی‌های A، B، C و D به‌ترتیب 0.5، 0.7، 0.2 و 0.9 باشد. چه آرایشی از ترانزیستورها را برای شبکه‌های بالابر و پایین‌بر توصیه می‌کنید. چرا؟ صحت توصیه خود را با HSPICE بررسی کنید. (راهنمایی: می‌توانید به مقاله http://ieeexplore.ieee.org/document/486193/ مراجعه کنید.)