باسمه تعالی

پردازش موازی

(سال تحصیلی ۱۴۰۲-۱۴۰۱، نیم‌سال اول)

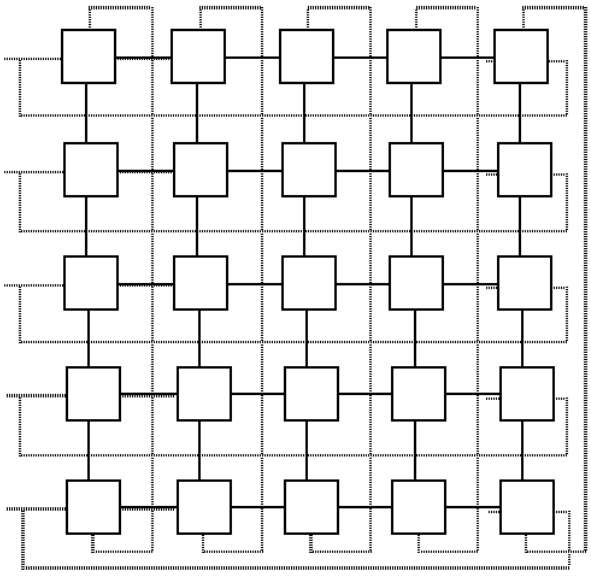
تمرین کامپیوتری دوم: پیاده‌سازی الگوریتم مرتب‌سازی روی معماری مش

۱. مدل سخت افزاری یک پردازنده قابل استفاده برای مرتب سازی اعداد در یک ساختار مش، برای الگوریتم shear sort را به زبان VHDL یا Verilog توسعه دهید.

- مدل پردازنده باید به صورت generic طراحی شود و قابلیت استفاده در وسط و در مرزهای مش را داشته باشد.
- مدل طراحی شده باید قابلیت استفاده در اندازه‌های مختلف مش را داشته باشد.
- مدل توسعه داده شده برای پردازنده باید قابلیت سنتز داشته باشد.

۲. با کنار هم قرار دادن تعداد مناسبی از این پردازنده ها، مدل کامل یک مش M×N برای مرتب سازی اعداد را توسعه دهید و پس از شبیه‌سازی، بر روی یک بستر سخت‌افزاری (FPGA یا ASIC) سنتز نمایید ($M,N \geq 3$).

- کلیه پردازنده های موجود در یک مش باید سیگنال کلاک یکسانی را دریافت کنند.



۳. راهنمایی:

- به صورت کلی ورودی خروجی‌های هر پردازنده می‌تواند شامل، clock، reset، ورودی‌هایی برای دریافت مقادیر اولیه، و همینطور ورودی خروجی‌هایی برای ارتباط با پردازنده‌های کناری باشد.
- هر پردازنده می‌تواند شامل رجیسترهایی به منظور ذخیره مقادیر عددی، موقعیت قرارگیری درون مش، و همینطور مرحله‌ای که الگوریتم در آن قرار دارد باشد.
- به منظور ساده‌تر شدن مراحل پیاده‌سازی بهتر است که ابتدا یک ماشین حالت برای پردازنده طراحی نمایید و سپس براساس حالت‌های طراحی شده شروع به پیاده‌سازی قسمت‌های مختلف نمایید.
- برای مقدار دهی اولیه به پردازنده‌های کافی است که در یک کلاک به صورت موازی تمامی مقادیر مورد نظر را از طریق ورودی‌های در نظر گرفته شده به پردازنده‌ها ارسال نمایید.
- بهتر است که سیگنال‌های در نظر گرفته شده برای پردازنده‌ها را به صورت آرایه‌های دو بعدی در نظر بگیرید تا بعد از پیاده‌سازی یک پردازنده، به کمک دستور for generate و سیگنال‌های تعریف شده، به تعداد مورد نیاز پردازنده تشکیل و اتصالات آن‌ها برقرار شود.

۴. گزارش کاملی از ساختار پردازنده ها، مش تولید شده، و تحلیل نتایج و شکل موج‌های شبیه سازی و سنتز کدها ارایه دهید.

موفق باشید