در ساختار فین فت فرض می کنیم مقاومت اتصال درین RD مقاومت اتصال سورس RS و مقاومت اتصال گیت RG باشد. برای یک فین فت با N فین، می توانیم ساختار را به صورت زیر تفکیک کنیم. در این ساختار فرض شده است بایاسهای VDS و VGS و زمین، در یک طرف و در انتهای اتصالات سورس، درین و گیت باشد. مقاومت اتصالات (RDi، RSi و RGi) نیز به طور یکسان بین ترانزیستورها تقسیم شده است. هر ترانزیستور در حقیقت یک فین است.



 برای ساختار بالا مدل مداری از دید درین به شکل زیر است



و از دید گیت به شکل زیر است



و برای مقاومتهای تفکیک شده اتصالات داریم

RD1 = RD2 = … = RDN RS1 = RS2 = … = RSN RG1 = RG2 = … = RGN

با توجه به آنکه می توان از جریان ورودی به گیت ترانزیستور ها صرف نظر کرد می توان نوشت

VG1 = VG2 = … = VGN

ولی به دلیل جریان IDS که بین ترانزیستورها پخش می شود

VS1 ≠VS2 ≠… ≠VSN VD1 ≠VD2 ≠… ≠VDN

با توجه به آنکه جریان گیت قابل صرف نظر است می توان از Rini’ در مدار از دید گیت صرف نظر کرد.

مقدار Rini از رابطه Rini=VDSi/IDSi در مدار از دید درین به دست می آید که رابطه این مقاومت با ولتاژ بایاس درین همان نمودارهایی است که به دست آورده اید

در مدل مداری بالابایاس های VDS و VGS یک طرف مدار هستند . برای ساختار 5 فین با نوشتن KVL , KCL مقدار VDi , VSi را نسبت به زمین به صورت پارامتری به دست آورید

اکنون برای حالتی که بایاسها از وسط اتصال باشند مدل مداری و VDi , VSi را بدست آورید

سپس برای حالتی که VD از یک سمت و زمین از سمت دیگر اعمال شود مدل مداری و VDi و VSi را بدست آورید