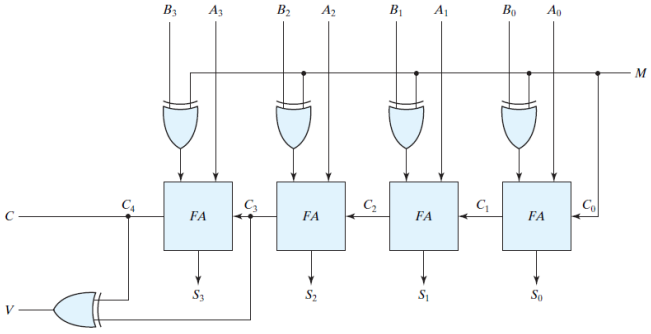
به نام خدا
پروژه درس مدار منطقی

نکات تحویل پروژه:

- فایل گزارش می بایست بصورت یک ویدئو کوتاه حداکثر ۵ دقیقه ای به همراه صدای دانشجو باشد.
- تمام تمرینات با کد Verilog پیاده سازی شود.
- مهلت تحویل پروژه تا روز امتحان می باشد.
- نحوه تحویل تمرین: کد سورس و ویدئو ضبط شده در یک فولدر zip شده و در یکی از سایت های آپلود فایل قرار داده شود. لینک آپلود در یک فایل txt قرار داده شده و برای نماینده کلاس ارسال شود. اسم فایل txt همان اسم دانشجو باشد.

۱- مدار جمع کننده و تفریق گر زیر با کد ویرلاگ پیاده سازی و تست نمایید.



Four-bit adder–subtractor (with overflow detection)

۲- آی سی encoder با الویت ۸ به ۳ را با کد وریلاگ پیاده سازی و تست نمایید.

۳- یک ماژول به اسم if2to4 برای دیکدر ۲ به ۴ به کمک if-else پیاده سازی و تست نمایید. سپس یک ماژول دیکدر ۳ به ۸ به اسم if3to8 به کمک دو بار فرخوانی ماژول h2to4 ساخته و تست نمایید.

۴- یک شمارنده افزایشی ۴ بیتی با بارگذاری موازی را با کد وریلاگ پیاده سازی نمایید. (مدار ترتیبی)

۵- فیلیپ فلاپ D و JK را با کد وریلاگ به همراه ورودی های preset (یک کردن خروجی بدون کلاک) و clear (صفر کردن خروجی بدون کلاک) پیاده سازی نمایید. (مدار ترتیبی)