به نام خدا

پروژه نهایی درس VLSI **مهلت تحویل : ۲۶ بهمن ماه ۱۴۰۱**

- هدف از پروژه طراحی یک مدار جمع کننده ۸ بیتی در نرم افزار کیدنس و رسم لی اوت آن می باشد. ورودی این مدار جمع کننده (A_i و B_i) باید به صورت بافر شده به جمع کننده اعمال شود و ۸ بیت خروجی آن به همراه carry خروجی (۹ بیت) به یک شیفت رجیستر **موازی به سریال** داده شود و خروجی نهایی به صورت ۹ بیت سریال دریافت شود. طراحی باید بر اساس کمترین توان مصرفی ($Power$)، بالاترین سرعت ($fclk$) و کمترین مساحت ($Area$) انجام شود. مدار باید تنها شامل یک ولتاژ تغذیه با مقدار دلخواه، حداکثر دو منبع پالس ساعت و دو ورودی ۸ بیتی باشد که به صورت پالس های ایده آل با زمانهای tr و tf مناسب به مدار اعمال می شوند.
- انتخاب مدار جمع کننده تک بیتی، ساختار کلی جمع کننده و نوع فلیپ فلاپ در رجیسترها و گیت های منطقی دیگر اختیاری می باشد.
- مقدار ولتاژ تغذیه اختیاری می باشد.
- در گزارش نهایی باید موارد زیر به صورت کامل توضیح داده شود و تصویر شبیه سازی های مرتبط با کیفیت مناسب در فایل گزارش قرار گیرد:
  ۱- نکات مهم نحوه انتخاب ساختارها و همچنین نحوه طراحی مدارها باید بیان شود.
  ۲- ارزیابی عملکرد هر مدار یا زیر مدار و نحوه تست آنها باید ارائه شود.
  ۳- در صورت استفاده از مفهوم تلاش منطقی برای اندازه گذاری حتما در یک بخش جدا گزارش شود.
  ۴- مقایسه نتایج شبیه سازی پس از لی اوت با پیش از آن انجام شود.
- ارزیابی مدار بر اساس معیار شایستگی زیر می باشد که سرعت مدار در آن اولویت اول می باشد. f_{clk} سرعت دیتای خروجی به صورت سریال می باشد.

$$FoM = \frac{f_{clk}^{\ 2}}{Power * Area}$$

- استفاده از هر تکنیک مداری یا ساختاری یا ایده های خلاقانه برای بهبود یکی از پارامترهای سرعت، توان یا مساحت، در صورت توضیح مناسب در گزارش دارای نمره اضافی خواهد بود.

موفق باشید