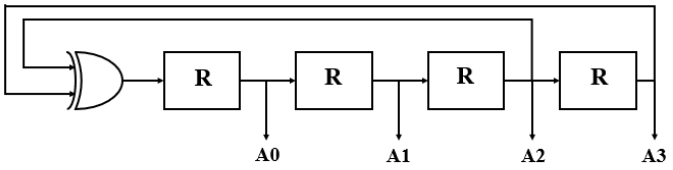
یک مولد اعداد تصادفی فوق سریع

هدف از این پروژه طراحی یک مولد اعداد تصادفی ۴ بیتی است که برای تولید الگوی آزمایشی استفاده می‌شود. مولد اعداد تصادفی از رویکرد ثبت تغییر بازخورد خطی استفاده می‌کند (به پیوست مراجعه کنید). بلوک دیاگرام ژنراتور در شکل زیر نشان داده شده است.



مولد اعداد شبه تصادفی

هدف پروژه در درجه اول سرعت است و مساحت در درجه دوم اولویت است. توان مصرفی مهم نیست. شاخص اندازه گیری موفق طرح کوچک شدن $S = T^3 \times A$ می باشد که T پریود کلاک و A مساحت تراشه است.

۱- پیاده سازی و محدودیت‌ها

پروژه به صورت تیم ۲ نفره انجام می‌شود. باید در زمان مشخص نسبت به تشکیل گروه اقدام کنید.

شما آزاد هستید که هر سبک پیاده سازی CMOS را برای طراحی انتخاب کنید، برای مثال CMOS مکمل، منطق نسبتی، DCVSL، منطق عبور ترانزیستور، CPL، و منطق پویا. با خیال راحت خانواده‌های منطقی را در طراحی خود مخلوط کنید. همه سیگنال‌های مکمل باید به صورت داخلی تولید شوند و هر تعداد از سطوح منطقی ممکن است استفاده شود. رجیسترها می‌توانند پویا یا استاتیک باشند.

شما آزاد هستید که از استراتژی دلخواهی برای کلاک مدار انتخابی خود (تک فاز، دو فاز، چهار فاز، ...) استفاده کنید. با این حال، اطمینان حاصل کنید که **Race** رخ ندهد.

همچنین مدار باید دارای یک ریست آسنکرون باشد که بلافاصله با فعال شدن آن خروجی صفر شود. (ورودی تمام صفر منجر به مولد اعداد تصادفی غیر عملیاتی شود.)

تکنولوژی:

این طرح قرار است در فرآیند CMOS 180 nm اجرا شود.

منبع تغذیه:

منبع مورد استفاده VDD=1.8 V می‌باشد.

استاندارد عملکرد:

VOH، VOL: سیگنال‌های خروجی باید قبل از آمدن کلاک بعدی، در ۱۰٪ مقدار نهایی خود قرار گیرند.

حاشیه نویز:

حاشیه نویز باید حداقل ۱۰ درصد سوئینگ ولتاژ باشد

بار خازنی:

هر بیت خروجی مولد باید ۱۰ پیکوفاراد بار خازنی داشته باشد. دقت کنید که این موضوع مهم است.

کلاک‌ها:

به شما یک سیگنال ساعت اولیه با زمان صعود و سقوط ۵۰ پیکو ثانیه و چرخه کاری ۵۰ درصد داده می شود. تمام سیگنال‌های ساعت دیگر در صورت نیاز باید از این سیگنال اولیه با استفاده از منطق واقعی مشتق شوند (مانند ساعت‌های مکمل، ساعت‌های غیر همپوشانی، ساعت‌هایی با زمان trise و tfall سریع‌تر و غیره). شماتیک‌های منطقی و شکل موج‌های شبیه سازی شده برای این کلاک‌های مشتق شده باید در گزارش آورده شوند.

۲- شبیه سازی

از نرم‌افزار Cadence برای شبیه سازی طراحی استفاده کنید. شبیه سازی باید بر روی توالی کامل سیگنال های خروجی (۱۵ مقدار خروجی) برای نشان دادن عملکرد اجرا شود. مسیر بحرانی را در طراحی خود به وضوح شناسایی کنید. اطمینان حاصل کنید که مدل شبیه سازی شما حاوی تخمین‌های خوبی از تمام اثرات پارازیتی باشد. **نکته بسیار مهم این است که شما باید ثابت کنید که طراحی شما در تمام گوشه‌های طراحی (FF، SS) عملیاتی و کاربردی است. همچنین شبیه سازی‌ها باید در دمای اتاق (۲۵ درجه سانتیگراد) انجام شود.**

۳- جانمایی

لی اوت مدار با نرم افزار Virtuoso رسم شود و ابعاد آن گزارش شود. همچنین خروجی تست های DRC و LVS گزارش شود.

۴- شبیه سازی بعد از لی اوت (اختیاری)

انجام extraction المان های پارازیتی و ارایه نت لیست کامل و تفسیر آن و همجنین انجام شبیه سازی بعد از لی اوت به همراه المان های پارازیتی و گزارش نتایج آن به صورتیکه کماکان نتایج قابل قبول باشد، امتیاز اضافی خواهد داشت و انجام این قسمت اختیاری است.

۵- نحوه گزارش

صفحه روی گزارش: عنوان / نام / شماره دانشجویی و تاریخ گزارش، نام درس و ارم دانشگاه آورده شود.

بخش اول: ساختار مولد، تصمیم‌های طراحی و شماتیک بلوک‌ها و جدول ابعاد ترانزیستورها و بهبودهای انجام شده

بخش دوم: گزارش باید شامل مقایسه بین بلوک‌های پیشنهادی با طرح‌های پیشین باشد.

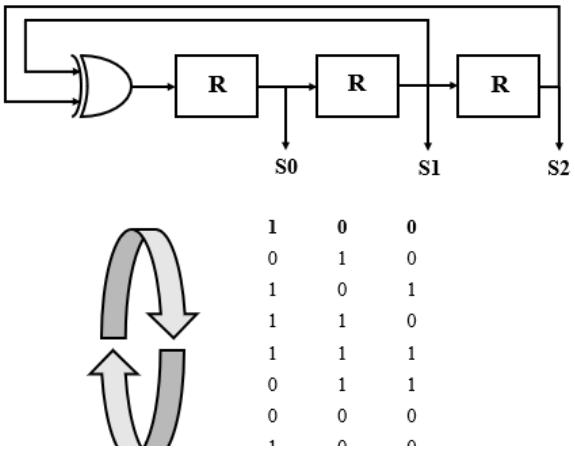
بخش سوم: ساختار کامل و شماتیک اجزای مدار ، لی اوت مدار و المان های آن (با مشخص بودن ابعاد روی شکل)، تست بنچ، نتایج تست و شکل موج‌های حالت گذرا و گزارش جدولی پارامترهای زمانی و مساحت و نیز شاخص S باشد. تاخیر مسیر بحرانی و فرکانس کلاک و مساحت لی اوت و شاخص S در یک جدول کامل آورده شوند.

نظم و ارایه دقیق طبق فرمت بالا نیز نمره دارد.

در انتهای پروژه زمانی برای ارایه نتایج بصورت شفاهی در نظر گرفته می‌شود.

پیوست: ثبت تغییر بازخورد خطی

اغلب، تولید مجموعه‌ای از الگوهای ورودی با ویژگی‌های خاص روی یک تراشه مطلوب است. یکی از کاربردهای بسیار محبوب مولدهای الگو، تست است. برای تأیید عملکرد یک ماژول روی تراشه، مجموعه‌ای از الگوها اعمال می‌شود. بیشترین استفاده از رویکردهای (Exhustive) جامع و (Random) تصادفی است. در رویکرد جامع، طول تست 2^N است که N تعداد ورودی‌های مدار است. شمارشگر N بیتی نمونه خوبی از یک مولد الگوی جامع است. برای مدارهایی با مقادیر زیاد N، زمان چرخش کامل در فضای ورودی ممکن است بسیار زیاد باشد. یک رویکرد جایگزین استفاده از مجموعه تصادفی است که به کاربرد یک زیر مجموعه تصادفی انتخاب شده از 2^N الگوی ورودی ممکن اشاره دارد. این زیرمجموعه باید طوری انتخاب شود که پوشش معقولی حاصل شود. نمونه ای از یک مولد الگوی شبه تصادفی، ثبت تغییر بازخورد خطی (یا LFSR) است که در زیر نشان داده شده است. این طرح شامل یک اتصال سریال از رجیسترهای تک بیتی است. برخی از خروجی ها XOR می‌شوند و به ورودی شیفت رجیستر برگشت داده می‌شوند. یک N-bit LFSR قبل از تکرار دنباله از $2^N - 1$ حالت عبور می‌کند که یک الگوی به ظاهر تصادفی ایجاد شود. مقدار اولیه رجیسترها به یک مقدار معین Seed (مقداری غیر از صفر برای مدار مثال ما) تعیین می‌کند که چه دنباله‌ای تولید می‌شود.



شیفت رجیستر با فیدبک خطی سه بیتی و توالی تولید شده آن.