دانشگاه صنعتی شریف

دانشکده‌ی مهندسی کامپیوتر

پایان‌نامه‌ی کارشناسی ارشد

عنوان

افزایش قابلیت اطمینان شبکه‌های روی تراشه سه‌بعدی در برابر اشکال همشنوایی

نگارش

رضا میراصانلو

استاد

دکتر سید قاسم میرعمادی

مرداد ۱۳۹۴

چکیده

هرچند کوچک‌ترشدن اندازه فن‌آوری، تأخیر گیت‌های منطقی را کاهش داده است؛ لیکن، میزان تأخیر در خطوط ارتباطی سراسری مابین هسته‌های پردازشی افزایش یافته است. شبکه‌های روی تراشه سه‌بعدی به عنوان راه‌حلی کارآمد برای کاهش تأخیر در خطوط ارتباطی ارائه شده‌اند. ساختار این شبکه‌های سه‌بعدی، فاصله بین هسته‌های پردازشی مبدأ و مقصد را کاهش داده و در نتیجه موجب افزایش کارایی شبکه‌های روی تراشه می‌شوند. در ساختار شبکه‌های روی تراشه سه‌بعدی، چندین لایه از اجزاء، روی هم قرار می‌گیرند. ارتباط بین این لایه‌ها از طریق اتصالات عمودی بین‌لایه‌ای برقرار می‌شود. یکی از مهم‌ترین چالش‌هایی که قابلیت اطمینان یک سیستم مبتنی بر شبکه‌های روی تراشه سه‌بعدی را با مخاطره مواجه می‌سازد، اشکال همشنوایی است. این اشکال که در اتصالات عمودی بین‌لایه‌ای رخ می‌دهد، در آینده، بسیار جدی خواهد بود، به طوری‌که صحت داده‌های روی تراشه را تهدید می‌نماید. اشکال همشنوایی می‌تواند باعث ولتاژ گذر ناخواسته، تسریع و یا تأخیر در رخداد لبه‌های بالا و پایین‌رونده در "سیم‌های قربانی" گردد. اشکال همشنوایی در شبکه‌های سه‌بعدی بسته به رده‌بندی اُلگوهای گذار آن به شدت قابلیت اطمینان، کارایی و توان مصرفی سامانه‌های مبتنی بر شبکه‌های روی تراشه را با چالش مواجه می‌سازد. با توجه به میزان اهمیت همشنوایی بین گذرگاه‌های عمودی، در این پژوهش ابتدا یک مدل همشنوایی بر اساس مدل واقعی تخمین زده شده برای این گذرگاه‌ها ارائه خواهد شد سپس دو روش پیشنهادی مقابله با اغتشاش همشنوایی مورد بحث و بررسی قرار خواهند گرفت. روش پیشنهادی اول با نام 3DCAM بر اساس تغییر ندادن سیگنال‌های موجود در گذرگاه‌های عمودی به کاهش فرکانس رخداد اشکال همشنوایی بر پایه مدل ارائه‌شده می‌پردازد و در نهایت تأخیر ناشی از اغتشاش را کاهش می‌دهد. روش پیشنهادی دوم با نام CRDR به کاهش اشکال همشنوایی بر اساس پیدا کردن بهترین جانمایی بین حالت‌های همشنوایی موجود می‌پردازد، طوری که دامنه‌ی دیگری از کاربردها را نسبت به 3DCAM پوشش خواهد داد. هر دو روش پیشنهادی از سربار مساحت بسیار کم در برابر کارهای پیشین بهره می‌برند. برای ارزیابی روش‌های پیشنهادی، از شبیه‌ساز کامل gem5 به منظور استخراج داده‌های واقعی از بسته‌های محک SPEC استفاده شده است. همچنین برای سنتز واحدهای سخت‌افزاری مختلف از ابزار Design Compiler استفاده شد. تحلیل و بررسی میزان کاهش اشکال همشنوایی نیز به وسیله‌ی شبیه‌ساز نوشته شده مورد بررسی قرار گرفته است. در نهایت بهبود تأخیر روش 3DCAM در بهترین حالت ۲۵.۷ درصد بوده است که این بهبود، فقط با سربار گذرگاه ۳۰ درصدی به دست آمده است. همچنین روش CRDR نیز در بهترین حالت تأخیر را به اندازه‌ی ۲۷ درصد بهبود بخشیده است.

کلیدواژه‌ها: شبکه‌های روی تراشه سه‌بعدی، اشکال همشنوایی، تمامیت سیگنال، سربار کم، فناوری زیرمیکرون عمیق و فناوری نانو.

فـهـرست

۱- مقدمه ۱

۲- مدارهای مجتمع و شبکه‌های روی تراشه ۹

۲-۱- اجزای شبکه‌های روی تراشه ۱۰

۲-۲- دلایل رویکرد به سمت سه‌بعدی‌سازی ۱۴

۲-۳- شبکه‌های روی تراشه سه‌بعدی ۱۵

۲-۴- ساختار شبکه‌های روی تراشه سه‌بعدی. ۱۷

۲-۵- فن‌آوری‌های ساخت ۱۸

۲-۶- خصوصیات سه‌بعدی شبکه‌های روی تراشه ۲۰

۲-۷- گذرگاه عمودی بین‌لایه‌ای ۲۱

۲-۷-۱- تأخیر در گذرگاه‌های عمودی بین‌لایه‌ای ۲۱

۲-۷-۲- چگالی گذرگاه‌های عمودی بین‌لایه‌ای ۲۲

۲-۷-۳- سربار مساحت ناشی از گذرگاه عمودی بین‌لایه‌ای ۲۳

۲-۷-۴- معماری مسیریاب سه‌بعدی ۲۴

۲-۸- چالش‌های فن‌آوری سه‌بعدی ۲۵

۳- چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه ۲۹

۳-۱- چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه دوبعدی ۳۱

۳-۲- چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه سه‌بعدی ۳۱

۴- کارهای پیشین : در کاهش اشکال همشنوایی شبکه‌های روی تراشه ۳۵

۴-۱- مقابله با اشکال همشنوایی در شبکه روی تراشه دوبعدی ۳۶

۴-۱-۱- روش‌های حفاظ‌گذاری ۳۶

۴-۱- ۲- تغییر ابعاد هندسی گذرگاه ارتباطی ۳۷

۴-۱- ۳- رمزگذاری‌های اجتناب از همشنوایی ۳۷

۴-۱- ۲- تصحیح خطا و پیشگیری از اشکال همشنوایی در گذرگاه داده ۳۹

۴-۲- مقابله با اشکال همشنوایی در شبک روی تراشه سه‌بعدی ۴۳
۴-۲-۱- افزایش فاصله بین گذرگاه‌های عمودی ۴۵
۴-۲-۲- درج میانگیر ۴۶
۴-۲- ۳- روش‌های مبتنی بر حفاظ‌گذاری ۴۷
۴-۲- ۴- روش‌های مبتنی بر رمزگذاری ۵۱
۵- روش پیشنهادی : کاهش اشکال همشنوایی ۵۷
۵-۱- مدل ارائه‌شده برای اشکال همشنوایی بین گذرگاه‌های عمودی ۵۸
۵-۲- کاهش اشکال همشنوایی با دیدگاه کم بودن سربار مساحت *3DCAM* ۶۱
۵-۲-۱- تعریف پارامتر آستانه‌ی تغییر ۶۴
۵-۲-۲- طراحی رمزگذار و رمزگشا در *3DCAM* ۶۶
۵-۲-۳- سربار استفاده از گذرگاه عمودی *3DCAM* ۶۷
۵-۳- کاهش اشکال همشنوایی بر اساس نوآرایی داده‌ها *CRDR* ۶۸
۶- ارزیابی و تحلیل نتایج ۷۳
۶-۱- معرفی شبیه‌سازهای مورداستفاده ۷۴
۶-۲- سربار مساحت روش *3DCAM* ۷۶
۶-۳- ارزیابی فرکانس کلاس‌های همشنوایی *3DCAM* ۷۸
۶-۴- تحلیل بهبود تأخیر روش *3DCAM* ۸۰
۶-۵- سربار مساحت روش *CRDR* ۸۱
۶-۶- ارزیابی فرکانس کلاس‌های همشنوایی *CRDR* ۸۳
۶-۷- تحلیل بهبود تأخیر روش *CRDR* ۸۴
۷- جمع‌بندی، نتیجه‌گیری و کارهای آتی ۹۲
۸- مراجع ۹۲

فـهـرست شکـل‌هـا

شکل ۲- ۱- نمونه‌هایی از همبندی‌های شبکه روی تراشه..... ۱۱

شکل ۲- ۲- نمای کلی یک گره در شبکه روی تراشه..... ۱۳

شکل ۲- ۳- روند تغییر فن‌آوری از دوبعدی به سه‌بعدی و مزایا ۱۴

شکل ۲- ۴- نسبت مساحت کاهش‌یافته از طریق سه‌بعدی‌سازی ۱۵

شکل ۲- ۵- نمای کلی شبکه روی تراشه سه‌بعدی..... ۱۶

شکل ۲- ۶- ساختمان مدار مجتمع سه‌بعدی..... ۱۷

شکل ۲- ۷- دسته‌بندی سه‌بعدی‌سازی شبکه و عناصر پردازشی ۱۸

شکل ۲- ۸- مدل گذرگاه‌های عمودی در شبکه روی تراشه سه‌بعدی ۲۰

شکل ۲- ۹- نمای کلی راه‌گزین در شبکه روی تراشه سه‌بعدی با گذرگاه مشترک..... ۲۳

شکل ۲- ۱۰- مدل گرمایی برای شبکه روی تراشه سه‌بعدی..... ۲۶

شکل ۳-۱- مدل خازنی و مقاومتی شبکه روی تراشه..... ۲۹

شکل ۳- ۲- ولتاژ گذرای ایجاد شده در سیم قربانی در اثر تزویجهای سلفی و خازنی ۳۱

شکل ۴- ۱ معماری رمزگذار و رمزگشای BSC ۴۱

شکل ۴- ۲- نحوه چیدمان گذرگاه‌های عمودی در شبکه روی تراشه سه‌بعدی..... ۴۲

شکل ۴- ۳- اثر افزایش فاصله بین گذرگاه‌های عمودی روی اغتشاش ۴۶

شکل ۴- ۴- نمونه‌ای از حفاظ‌گذاری در گذرگاه‌های عمودی ۴۸

شکل ۴- ۵- مدل همشنوایی ارائه شده در SHIELDUS و سازمان کلی روش ۴۹

شکل ۴-۶- کلاس‌های همشنوایی SHIELDUS..... ۴۹

شکل ۴-۷- زمان ارسال استاندارد شده برای روش SHIELDUS و حالت پایه..... ۵۱

شکل ۴-۸- تسریع صورت گرفته توسط 3DLAT و SHIELDUS..... ۵۳

شکل ۴-۹- سربار گذرگاه عمودی در روش 3DLAT..... ۵۴

شکل ۴-۱۰-بررسی عوامل مؤثر در میزان تزویج سلفی..... ۵۵

شکل ۵- ۱ مدل گذرگاه‌های عمودی استفاده‌شده در روش‌های پیشنهادی..... ۵۹

شکل ۵- ۲ مثال‌هایی از اعمال روش 3DCAM..... ۶۲

شکل ۵- ۳- نمای کلی معماری گذرگاه‌های کنترلی برای گذرگاه 3×N ۶۴
شکل ۵- ۴- نمونه‌ای از اثر تخریبی روش 3DCAM روی کلاس همشنوایی ۶۵
شکل ۵- ۵- تعیین پارامتر آستانه تغییر ۶۶
شکل ۵- ۶- معماری واحدهای رمزگذار و رمزگشای 3DCAM ۶۷
شکل ۵- ۷- نمای کلی روش پیشنهادی CRDR ۶۹
شکل ۶- ۱- مقایسه سربار گذرگاه‌های عمودی در سه روش 3DCAM، SHIELDUS و 3DLAT ۷۷
شکل ۶- ۲- فرکانس رخداد کلاس‌های همشنوایی قبل از اعمال 3DCAM ۷۸
شکل ۶- ۳- فرکانس رخداد کلاس‌های همشنوایی بعد از اعمال 3DCAM ۸۰
شکل ۶- ۴- تأخیر استاندارد شده روش‌های 3DCAM، SHIELDUS و 3DLAT ۸۱
شکل ۶- ۵- سربار گذرگاه عمودی روش CRDR ۸۲
شکل ۶- ۶- تأخیر روش‌های 3DCAM، SHIELDUS، 3DLAT و CRDR ۸۴

فـهـرست جـدول هـا

جدول ۴- ۱- کلاس‌های همشنوایی شبکه روی تراشه دوبعدی.....۳۸

جدول ۴-۲- الگوهای همشنوایی بین گذرگاه‌های عمودی در شبکه روی تراشه سه‌بعدی.....۴۴

جدول ۴-۳- میزان تأثیر تزریق میانگیر در کاهش اغتشاش.....۴۶

جدول ۴- ۴- مقایسه‌ی روش‌های کاهش اشکال همشنوایی شبکه‌های روی تراشه دوبعدی و سه‌بعدی.....۵۶

جدول ۵- ۱- کلاس‌های همشنوایی مدل ارائه‌شده.....۶۰

جدول ۶- ۱- تنظیمات کلی مربوط به GEM5.....۷۴

جدول ۶- ۲- سربار مساحت سه روش 3DCAM، SHIELDUS و 3DLAT.....۷۸

جدول ۶- ۳- سربار مساحت روش‌های 3DCAM، SHIELDUS، 3DLAT و CRDR.....۸۳

فصل اول

۱- مقدمه

پیشرفت‌های اخیر در ساخت مدارات مجتمع[۱] و خیلی مجتمع[۲] منجر به پیدایش سامانه‌هایی[۳] با قدرت پردازشی بالا شده است. این سامانه‌های پیشرفته از تعداد زیادی هسته پردازشی، عناصر حافظه[۴] و واحدهای ورودی و خروجی[۵] تشکیل‌شده‌اند که روی یک تراشه[۶] پیاده‌سازی می‌شوند. وجود چندین واحد پردازشی[۷] و غیر پردازشی روی یک تراشه تشکیل یک سامانه روی تراشه را می‌دهد. این سامانه‌ها به‌منظور یکپارچه ساختن اجزاء و واحدهای پردازشی استفاده می‌شوند. افزایش توان مصرفی سامانه‌های تکپردازنده‌ای دلیل

---

[۱] Integrated Circuits
[۲] Very Large Scale Integrated Circuits
[۳] Systems
[۴] Memory
[۵] Input/Output
[۶] Chip
[۷] Processing Element

دیگری برای حرکت به سمت سامانه‌های چندهسته‌ای به شمار می‌رود.

سامانه‌های روی تراشه روز به روز پیچیده‌تر می‌شوند و امروزه طراحان این سامانه‌ها با چالش‌های مختلفی روبرو هستند از جمله نحوه‌ی ارتباط‌دهی بین هسته‌های مختلف که طبق گزارش‌ها، تا آینده‌ای نه‌چندان دور، تعداد این هسته-ها تا سال ۲۰۲۰ به هزار عدد خواهد رسید [1][2][3].

همچنین در معماری‌های گذشته مانند گذرگاه مشترک، با افزایش تعداد منابع، کارایی به‌شدت کاهش پیدا می‌کند به‌طوری‌که معمولاً اتصال بیش از ۱۰ منبع کاربردی نخواهد بود[۳]، علاوه بر آن استفاده از گذرگاه‌های طولانی ازلحاظ مصرف توان و مقاومت در برابر اغتشاش[۱] مفید نخواهد بود.

خصوصیات شبکه‌های مبتنی بر راه‌گزین[۲] از جمله مقیاس-پذیری و انعطاف‌پذیری، طراحان را به ساخت تراشه‌هایی با خصوصیات ذکرشده ترغیب کرد. همچنین مشکل ارتباط‌دهی بین تعداد زیاد هسته‌های روی یک تراشه با این راهکار کاهش یافت [4][5].

شبکه‌های روی تراشه به‌عنوان راه‌حلی کارآمد به‌منظور ارتباط‌دهی مفیدتر و بازدهی بیشتر معرفی‌شده‌اند. این شبکه‌ها روی هر گره[۳] خود، مسیریاب‌هایی دارند که به‌وسیله‌ی گذرگاه‌های ارتباط محلی، با همسایه‌های خود مرتبط هستند. بنابراین می‌توان دو مشخصه‌ی پهنای گذرگاه بالا و مقیاس‌پذیری بیشتر را با موردسنجش قرار دادن مسیرهای ممکن تضمین نمود. در شبکه روی تراشه، اطلاعات

[۱] Noise
[۲] Switching
[۳] Node

ورودی به بخش‌هایی با نام بسته[۱] تقسیم می‌شوند و به‌وسیله‌ی واسطهای شبکه[۲] به مسیرهای خود رهنمون می‌شوند. واحدهای مختلف نیز از طریق واسطهای شبکه به یکدیگر متصل می‌شوند. مسیریابی بین واسطهای شبکه به‌وسیله‌ی الگوریتم مسیریابی[۳] مشخص خواهد شد و نحوه‌ی حرکت بسته‌ها در واسط شبکه به‌وسیله‌ی فرآیند راه‌گزینی[۴] تعیین خواهد شد. یکی دیگر از فن‌آوری‌های نوینی که امروزه برای پاسخ‌گویی به کارایی بیشتر، سرعت بالاتر و همچنین استفاده بهتر از سطح تراشه مطرح‌شده است، استفاده از مدارات مجتمع سه‌بعدی است [6][7][8]. بر اساس پیش‌بینی‌های ITRS[۵]، روند روبه‌جلو برای فن‌آوری‌های زیر میکرون[۶] در حال اشباع شدن است و قانون مور[۷] روند روبه‌جلوی سابق را دنبال نخواهد کرد. حرکت به سمت فن‌آوری‌های نوین از جمله سه‌بعدی‌سازی به بقای قانون مور و ادامه‌ی روند آن کمک شایانی کرده است.

با ترکیب مجتمع‌سازی سه‌بعدی و مفهوم شبکه‌های روی تراشه می‌توان از قابلیت‌ها و مزایای هر کدام به‌صورت مفیدی استفاده نمود. با توجه به کاهش طول اتصالات سراسری[۸] بین واحدهای مختلف شبکه به دلیل سه‌بعدی‌سازی، زمان ارسال بسته‌های داده بسیار کاهش یافته است [9]. در این نوع شبکه روی تراشه، لایه‌های مختلف سیلیکون با قرار گرفتن روی هم امکان مجتمع‌سازی بالاتر با چگالی بیشتر را فراهم می‌کند [10][11]. از جمله مزایای استفاده از شبکه‌های

---

[۱] Packet
[۲] Network Interface
[۳] Routing Algorithm
[۴] Switching Mechanism
[۵] International Technology Roadmap for Semiconductor
[۶] Submicron
[۷] Moor’s Law
[۸] Global Interconnection

روی تراشه سه‌بعدی می‌توان به توان مصرفی کمتر، قابلیت انعطاف‌پذیری بیشتر، مجتمع‌سازی بیشتر و کارایی بالاتر اشاره نمود [8][12]. همچنین استفاده‌ی مقرون به صرفه‌تر از سطح تراشه از دیگر خصوصیات استفاده از سه‌بعدی‌سازی به شمار می‌رود [8].

علاوه بر خصوصیات ذکرشده، معماری سه‌بعدی و همچنین شبکه‌های روی تراشه سه‌بعدی انعطاف‌پذیری در طراحی را به مراتب افزایش داده‌اند به طوری که می‌توان مدارهای متفاوت با فن‌آوری‌ها، مشخصات و خصوصیات مختلف را در لایه‌های مختلف آن قرار داد و از طریق گذرگاه‌های بین-لایه‌ای به هم متصل کرد [13]. از جمله کاربردهای این افزونه می‌توان به استفاده‌ی همگام فن‌آوری‌های دیجیتال و آنالوگ در کنار هم اشاره نمود [13].

در طراحی سه‌بعدی مدارات مجتمع، یک طرح کلی از تراشه به قسمت‌های[۱] مختلفی تقسیم می‌شود و هر قسمت به صورت یک‌لایه‌ی[۲] سیلیکون جدا از هم به صورت عمودی روی هم قرار خواهد گرفت. همچنان که خصوصیات شبکه‌های روی تراشه ایجاب می‌کند، لایه‌های مختلف سیلیکون باید با یکدیگر ارتباط برقرار کنند و بسته‌ها باید بتوانند از لایه‌ای به لایه دیگر از طریق راه‌گزین‌ها انتقال پیدا کنند. ارتباط بین این لایه‌ها از طریق گذرگاه‌های عمودی بین‌لایه‌ای[۳] برقرار خواهد شد. با استفاده از این نوع گذرگاه‌های ارتباطی می‌توان مسیرهای بحرانی را به صورت کاربردی مدیریت و کنترل نمود [14][15]. همچنین با کاهش طول اتصالات سطح تراشه می‌توان انتظار کاهش خازن‌های تزویج و در نتیجه کاهش تأخیر را داشت.

---

[۱] Blocks

[۲] Die

[۳] Through-Silicon-Vias

ارتباط بین لایه‌های سیلیکون از طریق گذرگاه‌های ارتباط بین‌لایه‌ای برقرار می‌شود که دارای هزینه ساخت بسیار بالایی است و علاوه بر آن این اتصالات باید از درون سیلیکون عبور کنند و ابعاد آن‌ها در مقایسه با اتصالات دیگری که در سطح شبکه روی تراشه استفاده می‌شوند بسیار بزرگتر بوده و در صورت عدم استفاده درست از آن می‌تواند منجر به کاهش بهره‌وری از سطح تراشه شود [12][16].

از آنجا که به‌کارگیری فن‌آوری‌های در مقیاس نانو[۱] در ساخت سامانه‌های روی تراشه منجر به آسیب‌پذیری آن‌ها نسبت به منابع اختلال[۲] و اشکال[۳] می‌شود، طراحان باید اصول قابلیت اطمینان و مقاومت سامانه‌های روی تراشه را بیش از گذشته به‌کارگیرند. همچنین واضح است که مراحل طراحی و پیاده‌سازی تحت تأثیر این عوامل قرار خواهد گرفت. ازجمله اشکالات محیطی و منابع اختلال می‌توان به اشکال همشنوایی[۴]، اختلالات الکترومغناطیسی[۵]، اغتشاشات منبع تغذیه و اشکال تک رخداد واژگونی[۶] اشاره نمود.

از بین موارد ذکرشده، اشکال همشنوایی تأثیرات نامطلوبی در کارکرد شبکه‌های روی تراشه دارد [17][18][19][20][14]. با توجه به نزدیکی سیم‌های طولانی گذرگاه‌های ارتباطی روی سطح تراشه و تشکیل خازن‌های تزویج بین آن‌ها احتمال رخ دادن اشکال همشنوایی وجود خواهد داشت. اشکال همشنوایی منجر به تغییرات غیرقابل صرفنظر کردن در ولتاژ سیگنال‌های گذرا می‌شوند. با افزایش طول سیم و کاهش فاصله‌ی بین سیم‌های سطح تراشه مقدار این اشکال

---

[۱] Nano-Scaling Technology
[۲] Noise
[۳] Fault
[۴] Crosstalk
[۵] Electromagnetic Interference
[۶] Single event upset

بیشتر خواهد شد [7]. گرمای حبس شده بین لایه‌ها و هدایت دمایی کم [21][22]، تداخلات الکترومغناطیسی و اشکالات ناشی از فرآیند ساخت مانند هم‌تراز نبودن اتصالات [23]، از دیگر منابع اشکال در شبکه‌های روی تراشه سه‌بعدی است.

با در نظر گرفتن تعداد بسیار زیاد گذرگاه‌های ارتباطی بین‌لایه‌ای و قرار گرفتن آن‌ها در فاصله‌ای بسیار کم نسبت به هم و همچنین اندازه‌ی بسیار بزرگ این خطوط ارتباطی، چه از نظر ضخامت و چه از نظر طول، اشکال همشنوایی می‌تواند به عاملی برای تهدید تمامیت سیگنال[۱]، تخریب زمان‌بندی سامانه و افزایش تأخیر مسیر بحرانی در شبکه‌های روی تراشه سه‌بعدی به شمار رود [12][24][25][26].

روش‌های مختلف و متنوعی به منظور مقابله با اشکال همشنوایی در شبکه‌های روی تراشه دوبعدی مطرح و ارائه‌شده است. مجموعه‌ی این راهکارها، در سطوح مختلف تجرید[۲] ارزیابی شده‌اند همانند سطح لایه‌بندی[۳]، انتقال ثبات[۴] و سطح سامانه[۵]. البته سربار[۶] زیاد آن‌ها از جمله سربار مساحت و توان مصرفی و همچنین کارایی پایین آن‌ها در برابر حذف و یا کاهش اشکال همشنوایی از محبوبیت برخی از آن‌ها کاسته است. در سطح لایه‌بندی و فیزیکی[۷]، با تغییر دادن مشخصات و ابعاد سیم‌ها می‌توان تا حدودی میزان خازن تزویج را کاهش داد. حفاظگذاری ایستا[۸] و حفاظگذاری پویا[۹] از دیگر روش‌های ارائه‌شده به منظور

---

۱ Signal Integrity
۲ Level of Design Abstraction
۳ Layout
۴ Register Transfer Language
۵ System Level
۶ Overhead
۷ Physical Layer
۸ Passive Shielding
۹ Active Shielding

کاهش اشکال همشنوایی است که دارای سربار مساحت قابل‌توجهی است.

با توجه به شرایط متفاوت شبکه‌های روی تراشه سه‌بعدی نسبت به شبکه‌های روی تراشه دوبعدی از جمله نحوه‌ی جاگذاری[۱] و سیم‌بندی[۲] بین‌لایه‌ای، استفاده از روش‌های اجتناب از اشکال همشنوایی شبکه‌های روی تراشه دوبعدی در ساختار سه‌بعدی تقریباً ناکارآمد خواهد بود به عبارت دیگر نمی‌توان از روش‌های منسوخ در این ساختار استفاده کرد. به طور کلی روش‌های نه‌چندان متعددی به منظور مقابله با اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی و همچنین مدارات مجتمع سه‌بعدی ارائه شده است. استفاده از الگوریتم‌های رمزگذاری[۳] از جمله رمزگذاری‌های کنترل خطا[۴] با افزایش فاصله‌ی همینگ[۵] بین دو کلمه داده متوالی، قابلیت اطمینان گذرگاه را افزایش می‌دهند. همانند شبکه-های روی تراشه دوبعدی، استفاده از رمزهای اجتناب از اشکال همشنوایی[۶] در شبکه‌های روی تراشه سه‌بعدی مطرح شده است که علی‌رغم کارکرد نسبتاً خوب دارای سربار مساحت بسیار زیاد است. اضافه بر آن، با افزایش عرض گذرگاه، پیچیدگی رمزگذار[۷] و رمزگشای[۸] این روش‌ها به صورت نمایی[۹] افزایش خواهد یافت.

در این پایان‌نامه، دو روش به منظور کاهش اشکال همشنوایی شبکه‌های روی تراشه سه‌بعدی برای استفاده در

---

[۱] Placement
[۲] Wiring
[۳] Coding
[۴] Error Control Coding
[۵] Hamming Distance
[۶] Crosstalk Avoidance Code
[۷] Coder
[۸] Decoder
[۹] Exponential

گذرگاه‌های بین‌لایه‌ای پیشنهاد شده است. در روش‌های ارائه‌شده با استفاده از میزان اثرگذاری خازنی گذرگاه-های بین‌لایه‌ای نسبت به یکدیگر، یک مدل ارتباط خازنی بین این گذرگاه‌ها ارائه شده است. با توجه به مدل مطرح‌شده، در هر دو روش سعی در کاهش اشکال همشنوایی با استفاده از تغییر هدفمند الگوهای تشکیل‌دهنده‌ی اشکال همشنوایی شده است. تغییر الگوهای همشنوایی با توجه به راهکاری که میزان خازن تزویج را اندازه‌گیری می‌کند، انجام خواهد شد و به محض تشخیص مقرون به صرفه بودن این فرآیند در رمزگذار تصمیم به تغییر الگو گرفته خواهد شد. در روش 3DCAM، سربار مساحت و کم بودن پیچیدگی رمزگذار و رمزگشا به طور خاص موردتوجه بوده است. اضافه بر آن روش پیشنهادی اول توانایی پیاده‌سازی در گذرگاه‌های عمودی بین‌لایه‌ای با هر عرض بیتی را خواهد داشت. همچنین روش ارائه‌شده تأخیر مسیر بحرانی را تا حد فراوانی کاهش داده است.

روش پیشنهادی دوم CRDR، با استفاده از ماتریس‌های انتقال داده‌های ورودی به گذرگاه‌های عمودی، جاگذاری هر داده روی گذرگاه را تغییر داده و منجر به کاهش اشکال همشنوایی خواهد شد. در روش CRDR، رمزگذار و رمزگشا به سادگی پیاده‌سازی شده‌اند و ارزیابی میزان کاهش اشکال همشنوایی و کاهش تأخیر در آن موردبررسی قرارگرفته است.

ساختار پایان‌نامه به این شرح است؛ در فصل ۲، به معرفی مدارهای مجتمع و شبکه‌های روی تراشه، مزایا و معایب این فن‌آوری می‌پردازیم و انواع معماری‌های ارتباطی مورداستفاده در آن‌ها را بررسی خواهیم کرد. مفاهیم شبکه‌های روی تراشه دوبعدی و سه‌بعدی به عنوان پیش-نیازهای این پایان‌نامه در این فصل موردبررسی قرار

خواهد گرفت. در فصل ۳ با مروری بر منابع اشکال تهدیدکننده قابلیت اطمینان شبکه‌های روی تراشه دوبعدی و سه‌بعدی و معرفی اشکال همشنوایی به عنوان مهم‌ترینِ این اشکالات می‌پردازیم. در فصل ۴ پژوهش‌های پیشین در این حوزه را موردنقد و بازبینی قرار خواهیم داد. فصل ۵ شامل روش‌های پیشنهادی 3DCAM و CRDR به منظور کاهش اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی و بررسی جنبه‌های مختلف و جزئیات پیاده‌سازی آن‌ها است. ارزیابی و شبیه‌سازی روش‌های پیشنهادی در فصل ۶ آورده شده است و در انتها در فصل ۷ نتیجه‌گیری و کارهای آینده آورده شده است.

فصل ۲

۲- مدارهای مجتمع و شبکه‌های روی تراشه

با افزایش روزافزون توان مصرفی معماری‌های تکپردازنده‌ای، پیشرفت در ساخت قطعات نیمه‌هادی[۱] و توانایی قرار دادن میلیاردها ترانزیستور در کنار هم، زمینه را برای ظهور تراشه‌های چندهسته‌ای فراهم نمود [27]، همچنین بازار سامانه‌های نهفته[۲] از پیشرفت در ساخت قطعات نیمه‌هادی سود بسیار زیادی خواهد برد زیرا امکان ساخت تراشه‌هایی با فشردگی بیشتر روی یک سطح فراهم می‌شود. اگرچه افزایش تعداد هسته‌های پردازشی خود منجر به افزایش کارایی خواهد شد ولی همین بهبود و تغییر در طراحی منجر به رخ دادن مشکلات جدیدی در سطح سامانه خواهد شد. از مهم‌ترین نیازهای یک سامانه با تعداد زیادی از هسته‌های پردازشی، ارتباط دهی بین آن‌ها است،

---

[۱] Semiconductor

[۲] Embedded Systems

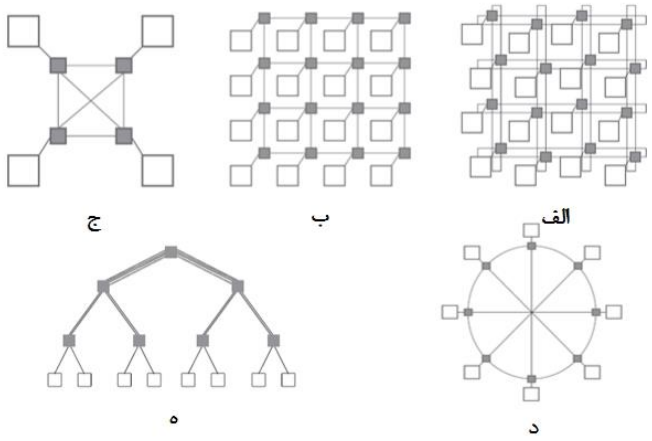
بنابراین با افزایش پیچیدگی، لزوم استفاده از یک زیرساخت ارتباطی مناسب آشکارتر می‌شود. معماری‌های سنتی همچون گذرگاه مشترک با معایب فراوانی از جمله ایجاد خازن‌های الکتریکی بزرگ که منجر به توان مصرفی زیاد می‌شد و همچنین عدم کارایی با افزایش تعداد هسته‌ها مواجه هستند. علاوه بر این، مقیاس‌پذیری کم این گذرگاه‌های ارتباطی، دشواری کنترل سیگنال‌های سراسری و نیاز به مکانیسم داوری از جمله مشکلاتی بودند که طراحان را به سمت تحقیق برای معرفی یک سامانه ارتباطی جدید سوق داد [3][4].

از طرف دیگر مقیاس‌پذیری بسیار بالای شبکه‌ی اینترنت و شبکه‌های مبتنی بر راه گزینی بسته‌ای نظر طراحان را به خود جلب کرد که از آن در طراحی سامانه‌های روی تراشه استفاده کنند و هسته‌های پردازشی موجود بر روی یک تراشه را به کمک یک چنین شبکه‌ای به همدیگر متصل کنند [27][28]. به این ترتیب شبکه روی تراشه معرفی شد. در این نوع شبکه، اطلاعات ارسالی بین هسته‌ها به قطعاتی با نام بسته تقسیم می‌شوند و به کمک راه‌گزین‌ها مسیر موردنظر خود را به هسته‌های دیگر پیدا خواهند کرد. بسته‌ها با توجه به مکانیسم راه گزینی موردنظر و بر اساس یک الگوریتم مسیریابی مشخص که طراح آن را مشخص می‌کند از گذرگاه ورودی به خروجی ارسال می‌شوند. اجزای مختلف شبکه‌های روی تراشه به اختصار در ادامه بررسی خواهند شد.

۲-۱- اجزای شبکه‌های روی تراشه دوبعدی

شبکه‌های روی تراشه به عنوان راه‌حلی کارآمد برای حل مشکلات زیرساخت‌های ارتباطی گذشته معرفی شده است که از قسمت‌های مختلفی تشکیل شده‌اند از جمله منابع پردازشی،

اتصالات، راه‌گزین‌ها و مسیریاب‌ها. در ادامه بررسی کوتاهی از اجزاء اصلی تشکیل‌دهنده شبکه‌های روی تراشه و مفاهیم کاربردی خواهیم داشت.



شکل ۲-۱: نمونه‌هایی از همبندی‌های شبکه روی تراشه [29]

همبندی[۱]

همبندی شبکه روی تراشه دوبعدی تعیین‌کننده‌ی نحوه چیدمان گره‌ها و همچنین مشخص‌کننده‌ی نحوه‌ی اتصال آن‌ها خواهد بود. به عبارت دیگر همبندی معادل گرافی است که هر یال آن یک گذرگاه ارتباطی و هر رأس آن یک گره پردازشی است. برای شبکه‌های روی تراشه دوبعدی همبندی‌های مختلفی ارائه شده است از جمله آن‌ها می‌توان به همبندی-های توری[۲]، ستاره[۳]، ابر مکعب[۴] و توری مدور[۵] [27][28][30][31] اشاره نمود. همبندی توری به دلیل سادگی در پیاده‌سازی، خواص الکتریکی ساده، باعث شده است تا در بین طراحان بسیار محبوب باشد. نمونه‌هایی از همبندی‌های منظم و

[۱] Topology
[۲] Mesh
[۳] Star
[۴] Hypercube
[۵] Tours

غیرمنظم که شامل مش، توری، توری مدور، ستاره و ترکیبی است در شکل ۲-۱ نمایش داده‌شده‌اند.

مسیریابی

مسیریابی، فرآیند انتقال اطلاعات از منبع به مقصد موردنظر است [32]. در مسیریابی شبکه‌های روی تراشه مفاهیمی ز قبیل تطبیق‌پذیری[۱]، بن‌بست[۲] و سرگردانی[۳] مطرح است [33] پیچیدگی‌های سخت‌افزاری و برآورده شدن نیازهای کارایی، از جمله عوامل مهم در انتخاب الگوریتم مسیریابی به شمار می‌رود.

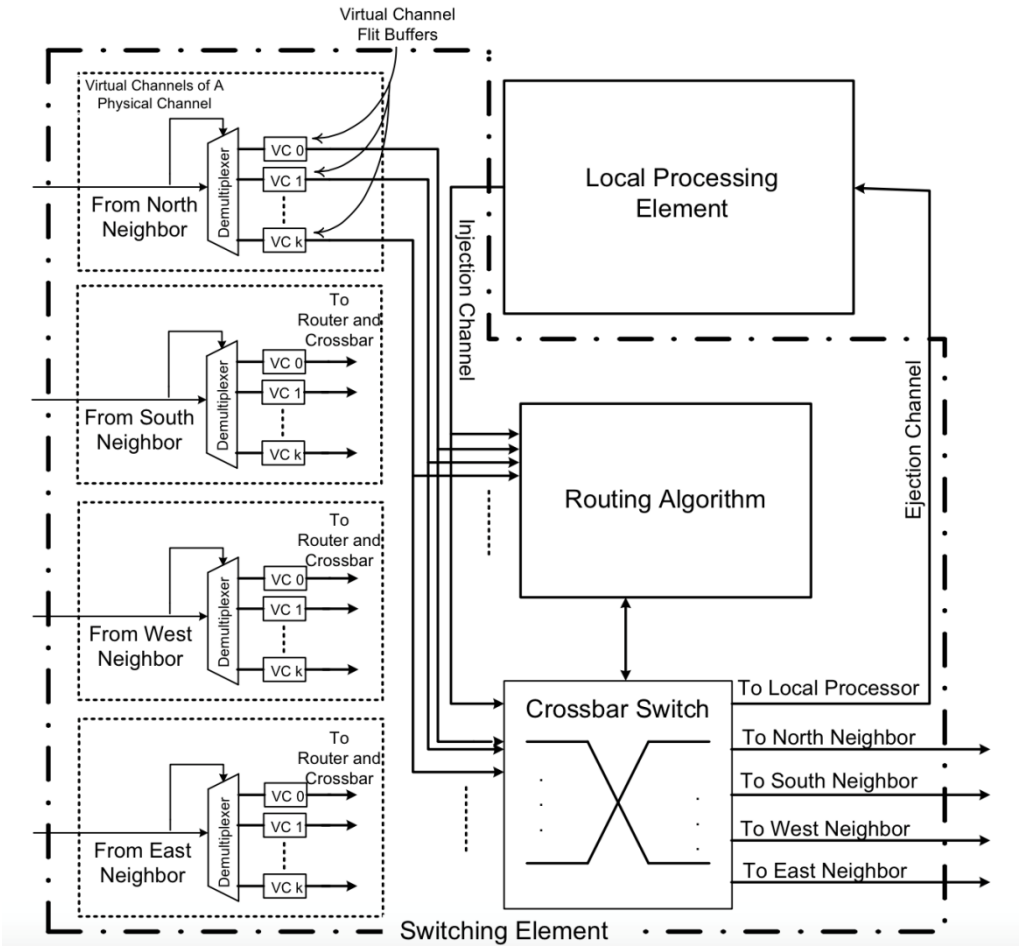
راه‌گزینی

بسته‌های اطلاعاتی گره‌های میانی با استفاده از روشی مشخص، مسیر خود را در مسیریاب به سمت مقصد طی می‌کنند که به این روش، راه‌گزینی می‌گوییم. به عبارت دیگر، روشی که به وسیله‌ی آن بسته‌ها در گره‌های میانی ذخیره شده و سپس به درگاه خروجی ارسال می‌شوند توسط سیاست راه‌گزینی مشخص می‌شود [34]. از جمله راه‌گزینی‌های معروف می‌توان به راه‌گزینی بسته‌ای[۴]، راه‌گزینی خزشی[۵]، راه‌گزینی مداری[۶] و راه‌گزینی برش مجازی[۷] اشاره نمود [30]، به طور کلی روش‌های راه‌گزینی در اندازه‌ی فیزیکی واحدهای اطلاعاتی و نحوه

---

[۱] Adaptivity
[۲] Deadlock
[۳] Livelock
[۴] Store-and-Forward
[۵] Wormhole
[۶] Circuit Switching
[۷] Virtual Cut Through

کنترلِ جریان با یکدیگر تفاوت دارند. شکل ۲-۲ معماری یک گره در شبکه روی تراشه را نشان می‌دهد. پیام‌های ارسالی در شبکه به طور کلی به بسته‌هایی با طول ثابت تقسیم می‌شوند و هر بسته به واحدهای کوچکتری با عنوان فلیت[۱] بخش می‌شود [35].

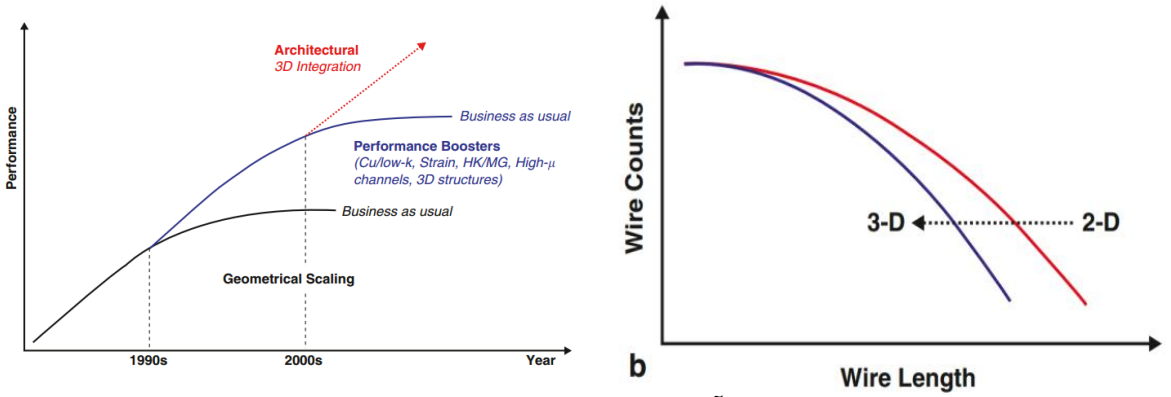


شکل ۲-۲: نمای کلی یک گره در شبکه روی تراشه [35]

به دلیل محدودیت‌های پهنای کانال، چندین چرخه[۲] طول می‌کشد تا یک فلیت بتواند از روی یک کانال عبور کند. هر فلیت نیز به قسمت‌هایی با نام فیت[۳] تقسیم می‌شود که این بخش‌های کوچکتر توانایی ارسال در یک چرخه را دارند.

[۱] Flit
[۲] Cycle
[۳] Fit

عموماً روش‌های راه‌گزینی به دو دسته‌ی کلی بسته‌ای و مداری تقسیم می‌شوند [30].



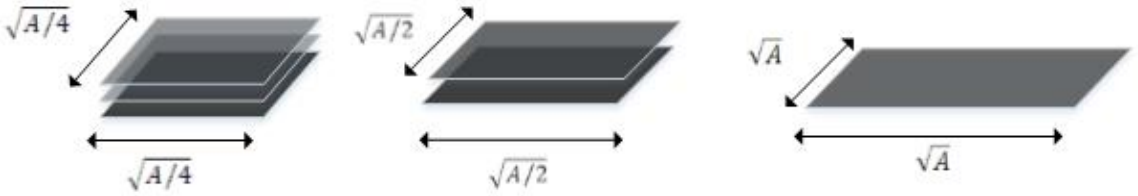
شکل ۲-۳: روند تغییر فن‌آوری از دوبعدی به سه‌بعدی و مزایا [36]

۲-۲- دلایل رویکرد به سمت سه‌بعدی‌سازی

کوچک شدن و تغییر مقیاس در مدارات مجتمع امروزه به دلیل میل دستیابی به توان پردازشی بالاتر، سرعت بیشتر و همچنین توان مصرفی کمتر صورت می‌گیرد. اما مشکلات و مسائل مختلفی برای ادامه‌ی این روند برای طراحان وجود دارد. کوچک شدن ابعاد در مدارات مجتمع منجر به کاهش تأخیر در دروازه‌های[۱] منطقی می‌شود ولی درعین‌حال باعث افزایش تأخیر در گذرگاه‌های ارتباطی خواهد شد [36]. همان‌طور که می‌دانیم به تدریج عامل اصلی کاهش سرعت و به بیانی دیگر، گلوگاه[۲] سامانه‌های روی تراشه، گذرگاه‌های ارتباطی خواهند بود [13]. همچنین با معرفی فن‌آوری‌های نوین، مقاومت موادی که برای گذرگاه‌های مسی به کار می‌رود افزایش می‌یابد. علاوه بر این، ابزارهای طراحی در

[۱] Gate
[۲] Bottleneck

آینده توان حل مشکلات و مسائل مربوط به سیم‌بندی در سامانه‌های روی تراشه را نخواهند داشت. بنابراین می‌باید به دنبال راهکاری بود تا بتوانیم تعداد و چگالی ترانزیستورهای روی تراشه را افزایش دهیم و درعین‌حال از مساحت موجود تا حد امکان بهره ببریم. به طور کلی طراحی سامانه‌های روی تراشه به



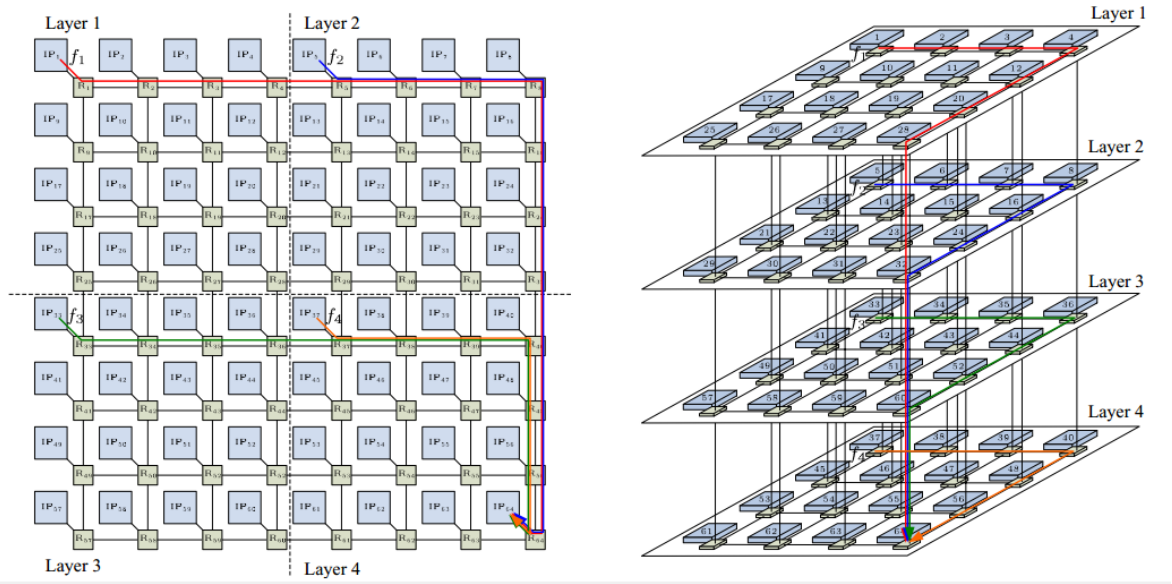
شکل ۲-٤: نسبت مساحت کاهش‌یافته از طریق سه‌بعدی‌سازی

منظور دستیابی به کارایی زیاد، توان پردازشی بیشتر و همچنین فشرده‌سازی قابل‌قبول در عین صرف هزینه‌ی کم و توان مصرفی پایین انجام می‌شود. در واقع، این نوع از طراحی و پیاده‌سازی، نویدبخش کاربردهای جدید و نوین در عرصه‌ی الکترونیک و ریز الکترونیک است. ولی مسائل و چالش‌های متعددی وجود دارد، تجمیع فن‌آوری‌های مختلف با مشخصات متفاوت و کاربردهای مختلف باعث افزایش چشمگیر اندازه‌ی مدار و همچنین افزایش توان مصرفی خواهد شد [36]، به طور عمده، استفاده از فن‌آوری‌های مختلف در سطح تراشه منجر به افزایش پیچیدگی، محدودیت در ساخت و تحمل‌پذیری کم در برابر اغتشاش خواهد شد.

۲-۳- شبکه‌های روی تراشه سه‌بعدی

با افزایش نیاز به قدرت پردازشی بالا و پیچیده‌تر شدن کاربردهای پردازشی نیاز به یک معماری قدرتمند به منظور تأمین نیاز پردازشی و همچنین تضمین پهنای گذرگاه است. این نیاز منجر شده تا شبکه‌های روی تراشه دوبعدی

به منظور ارتباط‌دهی بین هسته‌های پردازشی که در آینده‌ای نه‌چندان دور تعدادشان به صدها هسته خواهد رسید، به اندازه کافی قابل‌اتکا و اطمینان نباشند [1]، در شبکه‌های روی تراشه دوبعدی به دلیل قطر زیاد شبکه، شاهد مشکلات ارتباطی و نرسیدن به حد مطلوبی از کارایی بوده‌ایم زیرا قطر زیاد شبکه منجر به افزایش تأخیر در سطح سامانه خواهد شد. برای حل مسائل مربوط



شکل ۲-۵: نمای کلی شبکه روی تراشه سه‌بعدی [۳۷]

به شبکه‌های روی تراشه دوبعدی روش‌های متعددی از جمله توسعه مسیریاب‌های سریع [۳۸][۳۹][۴۰][۴۱] و یا ارائه همبندی‌های مختلف صورت گرفته است [42][43][44][45].

ترکیب ساختار شبکه‌های روی تراشه همراه با مجتمع‌سازی سه‌بعدی، معماری نوینی را به وجود آورده است که به آن شبکه روی تراشه سه‌بعدی می‌گویند [36] [۳۷]. در سال‌های اخیر، مدارهای مجتمع سه‌بعدی [46] به علت توانایی بالا در حل مشکلات مربوط به اتصالات طولانی نظر طراحان مدارهای

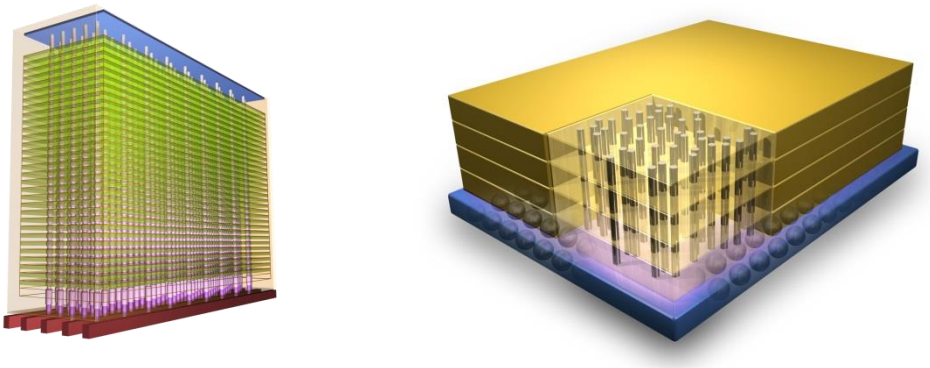
مجتمع را به خود جلب کرده است. همان‌طور که در شکل ۲-۴ نشان داده شده است، اگر اندازه‌ی بلندترین سیم ارتباطی را دو برابر عرض دای[۱] در نظر بگیریم در یک مدار مجتمع با مساحت A، اندازه‌ی بلندترین سیم میان‌ارتباطی $2\sqrt{A}$ خواهد بود. همین‌طور در یک مدار مجتمع با دو لایه‌ی عمودی بر روی هم، اندازه بلندترین سیم میان‌ارتباطی $2\sqrt{\frac{A}{2}}$ خواهد بود. تفاوت در اندازه‌ی لایه‌ها را در ازای ثابت بودن مساحت کلی می‌توان در شکل ۲-۴ مشاهده کرد. بنابراین طول سیم در فن‌آوری سه‌بعدی متناسب با $\sqrt{n}$خواهد بود، جایی که n تعداد لایه‌ها خواهد بود [۴۷]. یک تراشه‌ی سه‌بعدی، همان-طور که در شکل ۲-۵ نشان داده شده است از چندین لایه‌ی سیلیکونی تشکیل شده است که به صورت عمودی[۲] روی هم قرار گرفته‌اند [37][48][49]. با اضافه شدن بعد سوم و قرار گرفتن لایه‌های مختلفی از سیلیکون روی هم، میانگین طول اتصالات و خازن‌های ارتباطی نسبت به تراشه‌های دوبعدی کاهش یافته است در نتیجه به توان مصرفی تراشه کاهش می‌یابد [50]. تراشه‌های سه‌بعدی به علت کاهش اتصالات در برابر اغتشاش مقاوم‌تر خواهند بود [46]. همه‌ی این ویژگی‌های مثبت باعث شده است تا فن‌آوری CMOS با اندازه‌ی کوچکتر، توان مصرفی پایین‌تر، چگالی بیشتر و قابلیت به‌کارگیری فن‌آوری ترکیبی آنالوگ و دیجیتال به صورت بهتری به حیات خود ادامه دهد[۵۱].

۲-۴- ساختار شبکه‌های روی تراشه سه‌بعدی

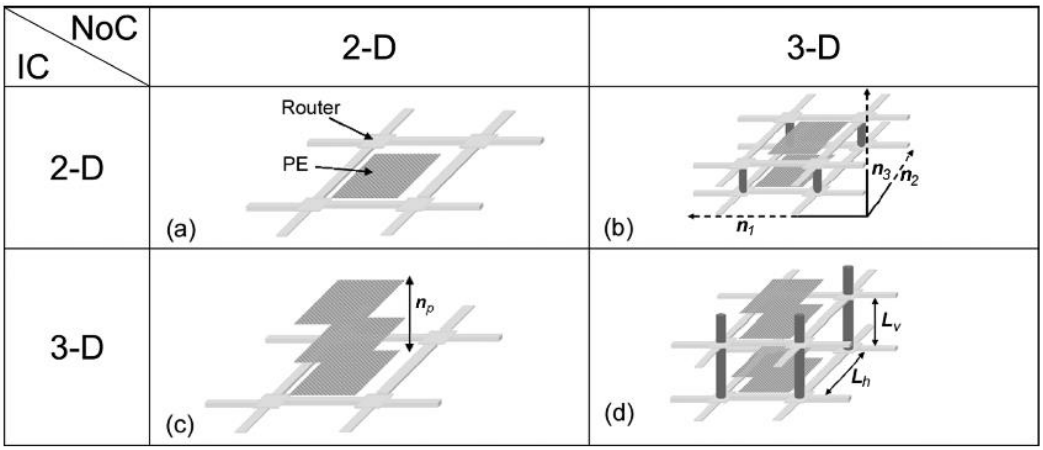
[۱] Die

[۲] Vertical

همان‌طور که می‌دانیم در شاخص‌ترین معماری شبکه روی تراشه دوبعدی یا همان توری، هر مسیریاب به چهار مسیریاب همسایه متصل است. اما در شبکه روی تراشه سه‌بعدی، دو نوع مسیریاب وجود دارد. مسیریاب‌های دوبعدی و سه‌بعدی. مسیریاب‌های دوبعدی به همان شکلی وجود دارند که در شبکه های دوبعدی شاهد آن بوده ایم ولی مسیریاب‌های سه‌بعدی آن دسته از مسیریاب‌هایی هستند که



شکل۲-۶: ساختمان مدار مجتمع سه‌بعدی [36]



شکل ۲-۷: دسته‌بندی سه‌بعدی‌سازی شبکه و عناصر پردازشی [36]

علاوه بر همسایه های افقی به مسیریاب‌های لایه های بالا و پایین نیز متصل هستند در نتیجه این دست از مسیریاب‌ها به 6 مسیریاب متصل خواهند بود. برای پیاده‌سازی شبکه‌های روی تراشه، ساختارهایی ارائه شده است [8]. همان‌طور که در شکل ۲-۷ مشاهده می‌شود، با توجه به سه‌بعدی‌سازی مسیریاب و یا سه-

بعدی‌سازی عناصر پردازشی می‌توان ساختارهای سه‌بعدی را دسته‌بندی کرد. در شکل ۲-۷ (ب) مسیریاب‌ها به صورت سه-بعدی و عناصر پردازشی به همان شکل منسوخ پیاده‌سازی شده‌اند که تعداد گره‌های شبکه روی تراشه‌ی سه‌بعدی برابر با $n_1 \times n_2 \times n_3$ خواهد بود. اما در شکل ۲-۷ (ج) حالت عکس مورد فوق را شاهد خواهیم بود. در شکل ۲-۷ (د) هم مسیریاب‌ها و هم عناصر پردازشی به صورت سه‌بعدی پیاده-سازی شده‌اند [36].

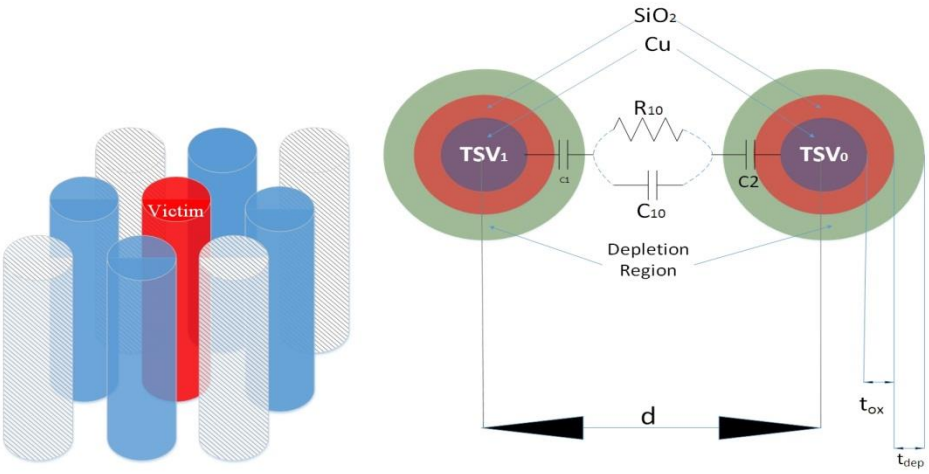
۲-۵- فن‌آوری‌های ساخت[۱]

امروزه فن‌آوری‌های متعددی در زمینه‌ی سه‌بعدی‌سازی معرفی شده است که توسط گروه‌های مختلف پژوهشی موردبررسی قرارگرفته است [13]. انتخاب نوع فن‌آوری به طور کامل به نیاز کاربر وابسته بوده زیرا هر کدام از این روش‌ها دارای مشخصات و خصوصیات متفاوتی می‌باشند. علاوه بر آن، کارایی مدار تا حد بسیار زیادی به خصوصیات الکتریکی فرآیند ساخت بستگی دارد. دو فن‌آوری موردتوجه در سه-بعدی‌سازی عبارت‌اند از پیوند ویفر[۲] و ساختار چندلایه مدفون[۳] [13].

در پیوند ویفر، بر روی هر لایه به صورت جدا از هم فرآیند تشکیل و ساخت انجام می‌شود و پس از آن لایه‌های ساخته‌شده در مرحله‌ای دیگر بر روی هم قرار می‌گیرند. در روش ساختار چندلایه مدفون، لایه‌های مختلف روی تراشه طی یک فرآیند به وجود آمده و سپس اتصالات بین‌لایه‌ای آن‌ها برقرار می‌شود. مساحت اشغال‌شده توسط ارتباطات بین‌لایه‌ای یکی از مهم‌ترین معیارها در فرآیند ساخت به شمار می‌رود.

[۱] Fabrication
[۲] Wafer Bonding
[۳] Multi Layer Buried Structure

در روش پیوند ویفر، مساحت اشغالی این اتصالات عمودی با تغییر مقیاس، تغییر نخواهد کرد ولی در روش دوم این تغییر را به شکل محسوسی مشاهده خواهیم کرد. عدم سازگاری روش دوم با فن‌آوری‌های مختلف یکی از مشکلات آن به شمار می‌رود [52] به همین دلیل روش پیوند ویفر به مراتب بیشتر مورداستفاده قرار می‌گیرد. روش پیوند ویفر به دو صورت پیاده‌سازی می‌شود: رو در رو[۱] و رو در پشت[۲]. روش رو در رو در عین به وجود آوردن گذرگاه‌های عمودی با چگالی بالا، دارای محدودیت‌های ساخت و توسعه‌پذیری است. بنابراین روش رو در پشت بسیار محبوبتر از روش اول است [52].



شکل ۲-۸: مدل گذرگاه‌های عمودی در شبکه روی تراشه سه‌بعدی

۲-۶- خصوصیات سه‌بعدی شبکه‌های روی تراشه

به طور کلی هدف از سه‌بعدی کردن در فن‌آوری‌های مجتمع-سازی با مقیاس بسیار بزرگ و سامانه‌های روی تراشه، بالا بردن چگالی اجزا و کاهش تأخیر در گذرگاه‌های ارتباطی بین پیمانه‌ها است. همان‌طور که در بخش فن‌آوری‌های ساخت به‌تفصیل در رابطه با فرآیندهای مختلف ساخت صحبت شد،

[۱] Face to Face
[۲] Face to Back

روش پیوند ویفر از لحاظ توسعه‌پذیری و ساخت آسان بسیار موردتوجه بوده است. در این روش لایه‌های مختلف ابتدا به طور مجزا ساخته می‌شوند و سپس بر روی یکدیگر قرار می‌گیرند. ارتباط بین این لایه‌ها از طریق گذرگاه‌های عمودی بین‌لایه‌ای امکان‌پذیر می‌شود [53][54] با این توصیف، یک شبکه روی تراشه سه‌بعدی از دو قسمت تشکیل‌شده است. قسمت دوبعدی مدار شامل تمامی خصوصیات شبکه همانند آنچه در شبکه‌های روی تراشه دوبعدی در نظر گرفته می‌شده است. علاوه بر آن، با ورود به بعد سوم، محدودیت‌هایی در ساخت و طراحی ساختارها در شبکه روی تراشه باید موردبررسی قرار گیرد.

۲-۷- گذرگاه عمودی بین‌لایه‌ای

در مدارات مجتمع سه‌بعدی نیاز به برقراری اِرتباط بین لایه‌های مختلف سیلیکون خواهیم داشت و این مفهوم در شبکه‌های روی تراشه سه‌بعدی هم صدق می‌کند منتها بین راه-گزین‌های شبکه. برای این منظور از گذرگاه عمودی بین‌لایه-ای اِستفاده می‌شود که دارای مشخصات ساختاری مختص خود هستند. این گذرگاه‌ها، به لایه‌های مختلف این امکان را می‌دهند تا بتوانند بسته‌های اطّلاعاتی را همان‌طور که در لایه‌های افقی منتقل می‌شدند، اِنتقال دهند. در سامانه‌های روی تراشه سه‌بعدی با اضافه کردن گذرگاه‌های عمودی می-توانیم انتظار کاهش طول اِرتباطات و در نتیجه‌ی آن، کاهِش توان مصرفی و افزایش کارایی را داشته باشیم. طبق گزارش‌های موسسه بین‌المللی تعیین نقشه راه برای صنعت نیمه‌هادی[1] این گذرگاه‌های عمودی ارتفاع کمتر از ۲۰-۵۰

[1] ITRS

میکرومتر را تا قبل از سال ۲۰۱۸ نمی‌توانند داشته باشند، همچنین حداقل فاصله‌ی بین این گذرگاه‌های عمودی ۴-۱۶ میکرومتر است و قطر این اتصالات ۲-۸ میکرومتر خواهد بود [12][16][۵۵]. باید در نظر داشت قطر گذرگاه‌های عمودی، دو تا سه برابر قطر سیم‌های معمولی در شبکه‌های روی تراشه دوبعدی است. بیشینه‌ی تأخیر برای یک گذرگاه عمودی بین‌لایه‌ای با طول ۵۰ میکرومتر، به طور تقریبی ۱۰پیکو ثانیه است [۵۶].

۲-۷-۱- تأخیر در گذرگاه‌های عمودی بین‌لایه‌ای

به طور عمده، تأخیر در گذرگاه‌های عمودی روی تراشه ارتباط مستقیمی با مقدار خازن و مقاومتی دارد که در گذرگاه وجود دارد [56]. با توجه به کاهش طول اتصالات در شبکه‌های روی تراشه سه‌بعدی، انتظار کم شدن تأخیر ارسال بسته‌ها نسبت به شبکه‌های روی تراشه دوبعدی را خواهیم داشت. به عنوان مثال در فن‌آوری ۷۰ نانومتر، فاصله‌ی بین لایه‌های مختلف سیلیکون بین ۵ تا ۳۰ میکرون است [۵۷]. در این شرایط اگر با یک معکوس کننده $4X$ آن را هدایت [۱] کند، ۸ پیکوثانیه طول خواهد کشید که این زمان در مقایسه با تأخیر شبکه‌های روی تراشه دوبعدی مقدار کمی محسوب می‌شود. علاوه بر این، مقدار خازن و مقاومتی که در واحد طول برای گذرگاه‌های عمودی در نظر گرفته می‌شود با آنچه برای مدارهای دوبعدی است تفاوت دارد. به منظور تسهیل در محاسبه‌ی میزان مقاومت و خازن گذرگاه‌های ارتباطی، استفاده از ضریب، که نسبت این دو را مشخص می‌کند امری متداول است [54].

[۱] Drive

۲-۷-۲- چگالی گذرگاه‌های عمودی بین‌لایه‌ای

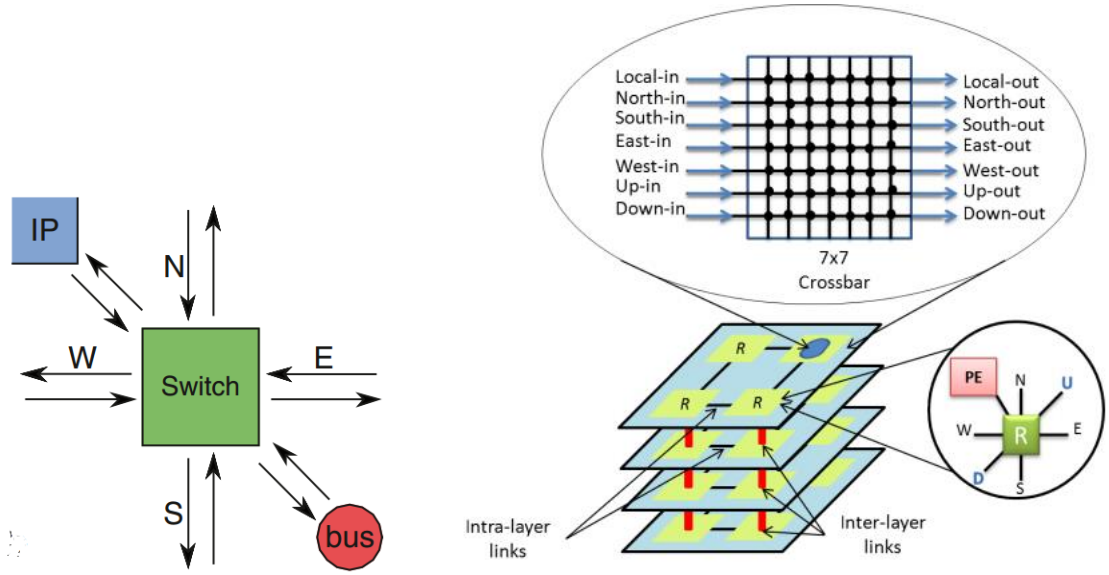
با توجه به این‌که در فرآیند طراحی و ساخت، لایه‌های مختلف بر روی یکدیگر قرار می‌گیرند، گذرگاه‌های عمودی نیز به منظور برقراری ارتباط بین آن‌ها وجود دارند، بنابراین این مجراهای[۱] عمودی نمی‌توانند از جهت فاصله به یکدیگر بیش‌ازحد نزدیک باشند [36]. به بیان دیگر چگالی گذرگاه‌های عمودی به فرآیند ساخت وابسته است و نمی‌تواند از یک میزان مشخص بیشتر باشد. در فرآیندهای مختلف این مقدار می‌تواند از ۴ میکرون تا ۱۶ میکرون متغیر باشد [48][33][55]. این مشخصه‌ی گذرگاه‌های عمودی در شبکه‌های روی تراشه سه‌بعدی بسیار حائز اهمیت است چراکه تمامی ارتباطات در شبکه از طریق گذرگاه انجام خواهد شد و محدودیت‌های موجود در افزایش چگالی گذرگاه‌های عمودی منجر به محدودیت‌هایی در پهنای گذرگاه ارتباطی در سطح تراشه خواهد شد.

۲-۷-۳- سربار مساحت ناشی از گذرگاه عمودی بین‌لایه‌ای

همان‌طور که در بخش قبل بیان شد، مجراهای ارتباطی با توجه به محدودیت‌هایی از قبیل فاصله بینابینی[۲] که وجود دارد، از چگالی محدودی برخوردار هستند. این خصوصیت در آن‌ها باعث شده است تا گذرگاه‌های عمودی بین‌لایه‌ای سطوح مختلف تراشه را اشغال کنند که این مقدار می‌تواند به اندازه‌ی ۱۰ درصد از مساحت گرفته‌شده به وسیله‌ی راه‌گزین‌ها و مسیریاب‌ها باشد که مقدار قابل‌توجهی برای این دست از گذرگاه‌ها است [36]. در نتیجه‌ی این مساحت زیاد، که به

[۱] Channels
[۲] Via Pitch

نوعی هدر رفتن سطحی از تراشه خواهد بود، بارآوری[۱] تراشه کاهش پیدا می‌کند.



شکل ۲-۹: نمای کلی راه‌گزین در شبکه روی تراشه سه‌بعدی با گذرگاه مشترک [36]

۲-۷-۴- معماری مسیریاب سه‌بعدی

مسیریاب‌ها، وظیفه‌ی مشخص کردن مسیر برای ارسال بسته‌ها را بر عهده دارند. در شبکه‌های روی تراشه دوبعدی، هر مسیریاب از طریق ۴ درگاه[۲] به المان‌های همسایه متصل می‌شد. یکی از روش‌های ساخت مسیریاب برای شبکه‌های روی تراشه سه‌بعدی، اضافه کردن دو گذرگاه فیزیکی به هر مسیریاب دوبعدی است، یک گذرگاه به منظور ارتباط‌دهی لایه فعلی به لایه‌ی بالایی و دیگری برای اتصال به لایه‌ی زیرین.

[۱] Yield
[۲] Port

در این حالت تفاوتی بین گذرگاه‌های عمودی و افقی برای بسته‌ها در شبکه وجود نخواهد داشت. سادگی این معماری از خصوصیات با اهمیت آن به شمار می‌رود. از طرف دیگر این معماری دارای برخی محدودیت است که در زیر به برخی از آن‌ها اشاره خواهیم کرد.

- گاهی از سرعت بسیار بالای بین لایه‌ها به طور مناسب استفاده نمی‌شود به عنوان مثال زمانی که یک بسته بین دو لایه غیر مجاور حرکت می‌کند، می‌بایست از یک یا چند لایه‌ی میانی عبور کند که موجب کاهش استفاده بهتر از خصوصیات شبکه‌های روی تراشه سه‌بعدی می‌شود.
- اضافه شدن دو درگاه به مسیریاب باعث افزایش پیچیدگی کراسبار[۱] می‌شود. این پیچیدگی منجر به افزایش توان مصرفی تراشه و همچنین افزایش مساحت اشغالی در مدار مجتمع می‌شود.

یکی دیگر از ساختارهای ارائه‌شده استفاده از مفهوم گذرگاه‌های مشترک است به طوری که فاصله‌ی بین لایه‌ها به اندازه‌ی یک گام[۲] باشد [۵۸]. این معماری باعث کاهش توان مصرفی و مساحت اشغال‌شده در سطح تراشه می‌شود. ایده‌ی اصلی، استفاده از یک گذرگاه مشترک سراسری همانند شکل ۲-۹ است برای ارتباطات عمودی است. با این تدبیر، ابعاد کراسبار از ۷×۷ به ۶×۶ تبدیل خواهد شد و تنها یک گذرگاه برای ارتباط با گذرگاه سراسری اضافه خواهد شد. برای اولویت‌بندی بین ارسال و یا عدم ارسال بسته‌ها به یک صف انتظار احتیاج است و همچنین وجود یک داور مرکزی[۳]

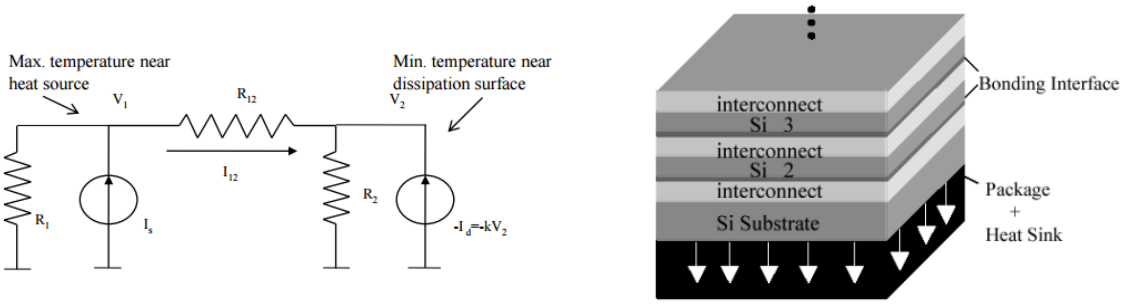
[۱] Crossbar
[۲] Hop
[۳] Central Arbiter

اجتنابناپذیر است. در شکل ۲-۹ معماری کلی این روش و همچنین اتصال‌دهنده‌ی مربوط به آن را مشاهده می‌کنیم. محدودیت اصلی این طراحی، کاهش کارایی و همچنین افزایش تأخیر سامانه است. به دلیل به اشتراک گذاشتن گذرگاه در هر زمان، تنها یک فلیت در هر زمان قادر به ارسال از طریق گذرگاه خواهد بود که این مسئله موجب مسدود شدن پیام‌ها و تداخل در شبکه خواهد شد، همچنین تأخیر کلی انتشار بسته‌ها را افزایش خواهد داد.

۲-۸- چالش‌های فن‌آوری سه‌بعدی

ظهور هر یک از فن‌آوری‌های جدید در صنعت ریز الکترونیک، طراحان را ملزم به بررسی تمامی جوانب می‌کند. یکی از مسائل مربوط به مدارات مجتمع سه‌بعدی، مسئله‌ی انتقال حرارت است. اثرات گرمایی و دمایی در نحوه‌ی عملکرد تراشه‌ها تأثیرگذار است مخصوصاً با افزایش چگالی تراشه‌ها، همانند مدارات مجتمع سه‌بعدی، این موضوع از اهمیت بیشتری برخوردار می‌شود. دلیل این موضوع افزایش میزان گرمای تولیدی در سطح کمتری از تراشه است. برای مثال، گرمایی که در مدارات دوبعدی در سطح تراشه‌ای به اندازه‌ی A تولید می‌شد، هم‌اکنون در مساحتی به اندازه‌ی $\frac{A}{4}$ تولید می‌شود. این موضوع موجب افزایش بسیار زیاد چگالی توان مصرفی[۱] در تراشه می‌شود. از جهت دیگر به دلیل دور بودن

[۱] Power Density



شکل ۲-۱۰: مدل گرمایی برای شبکه روی تراشه سه‌بعدی [۵۹]

حرارت‌گیر[۱] از لایه‌های غیرمجاور، گرمای تولیدی در این لایه‌ها باید تمام لایه‌های میانی را طی کند تا به حرارت-گیر برسد. به همین دلیل، مسئله‌ی انتقال گرما در مدارات مجتمع سه‌بعدی بسیار حائز اهمیت است [13]. به منظور حل این مشکل، مدل‌های گرمایی مختلفی ارائه شده است که در شکل ۲-۱۰ یکی از آن‌ها را مشاهده می‌کنیم.

مشکل تداخل همشنوایی در لایه‌های افقی و عمودی مختلف در مجتمع‌سازی سه‌بعدی یکی دیگر از مشکلات مطرح در این زمینه است که در فصل آینده به تفصیل آن را توضیح خواهیم داد. با استفاده از فن‌آوری‌های مختلف می‌توان تا حدی این تداخلات را کاهش داد.

[۱] Heatsink

فصل

۳- چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه

شبکه‌های روی تراشه به عنوان راهکاری به منظور حل مشکلات ارتباط‌دهی مابین هسته‌های پردازشی ارائه شده‌اند. استقامت در برابر اشکال و یا همان تحمل‌پذیری اشکال در این سامانه‌های روی تراشه به یکی از چالش‌های پژوهشی پراهمیت در این زمینه تبدیل شده است که نیازمند توجه گروه‌های مختلف تحقیقاتی است. در این فصل به بررسی چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه دوبعدی و سه‌بعدی خواهیم پرداخت. به طور کلی منابع اشکال در شبکه‌های روی تراشه دوبعدی و سه‌بعدی به دو دسته اشکال-های گذرا و اشکال‌های دائم تقسیم می‌شوند.

۳-۱- چالش‌های قابلیت اطمینان شبکه‌های روی تراشه دوبعدی

اشکال‌های گذرایی که در شبکه‌های روی تراشه دوبعدی رخ می‌دهند عبارت‌اند از: اشکال همشنوایی [4][۶۰][5]، خطای نرم [۶۱][۶۲]، اشکال نوسانات منبع تغذیه [۶۳][۶۴][۶۵]، تفاوت‌های دمایی [۶۶]، تداخلات الکترومغناطیسی [۶۷] و مدل اشکال عدم قطعیت در فرایند ساخت است[۶۰][۶۸]. در این بین تحقیقات نشان می‌دهد که از مهم‌ترین چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه، اشکال همشنوایی و خطای نرم هستند [4][۶۰][5][۶۱][۶۲]. خرابی‌های ساخت منجر به رخ دادن اتصالات باز[۱] و یا اتصالات کوتاه[۲] می‌شود که در پی آن یک خطای منطقی امکان به وقوع پیوستن را خواهد داشت. منابع اشکال ذکرشده می‌توانند قابلیت اطمینان خطوط ارتباطی روی تراشه را از دو جنبه تحت تأثیر قرار دهند: صحت داده‌ها [69] و عدم اطمینان از تأخیر وارده به شبکه [۷۰]. منابع اشکال می‌توانند صحت و درستی داده‌های روی گذرگاه‌های ارتباطی را به وسیله‌ی ایجاد یک گلیچ[۳] تحت تأثیر قرار دهند. اگر دامنه‌ی گلیچ ایجادشده از محدوده‌ی اغتشاش قابل‌تحمل مدار بیشتر باشد و مدت‌زمان آن کفایت کند، می‌تواند منجر به یک خطای منطقی در مدار شود. از طرف دیگر، عدم اطمینان به تأخیر مدار می‌تواند طراحان را مجبور به کاهش فرکانس عملیاتی مدار کند. ساخت تراشه‌ها در مقیاس نانو[۴]، منجر به افزایش اهمیت اشکال همشنوایی در سطح تراشه‌ها و افزایش خطاهای زمانی و منطقی می‌شود.

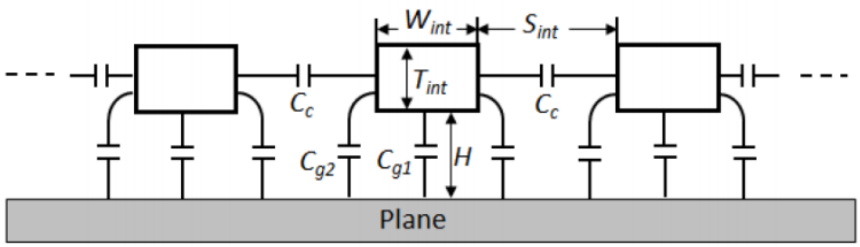
---

[۱] Open Loop

[۲] Short Circuit

[۳] Glitch

[۴] Nano-Scale



شکل ۳-۱: مدل خازنی و مقاومتی شبکه روی تراشه [۷۱]

خطاهای دائمی در سطح شبکه‌های روی تراشه دوبعدی به طور خاص به خرابی، از کار افتادگی و یا منقطع شدن گذرگاه‌ها اطلاق می‌شود معمولاً در این منابع اشکال از راهکارهایی نظیر پیدا کردن مسیرهای جایگزین [۷۲]، ارسال مجدد بسته‌ها [۷۲] یا ارسال همزمان چند نسخه از بسته‌های اطلاعاتی استفاده می‌شود. در ادامه به بررسی دو منبع اشکال پراهمیت در شبکه‌های روی تراشه دوبعدی خواهیم داد.

خطای نرم

پیش‌تر برخورد ذرات آلفا[۱] و نوترون[۲] به سطح تراشه‌ها یکی از عوامل از دست رفتن محتویات ذخیره‌شده در عناصر حافظه‌ی ایستا، در خارج از جو زمین بود. برخورد ذرات شتاب‌دار به سطح تراشه یکی از معضلات و مشکلات فنّاوری‌های جاری است و روندی رو به وخامت دارد اما با پیشرفت فنّاوری VLSI و کوچکتر شدن ابعاد ترانزیستورها، حساسیت عناصر حافظه افزایش یافته است. از سوی دیگر قدرت و نرخ

[۱] Alpha Particle
[۲] Neutron

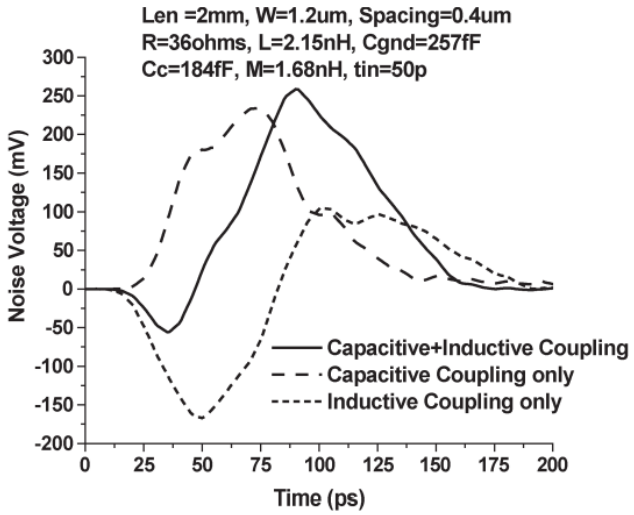
ذرات پرانرژی نظیر آلفا و نوترون که (از مواد به‌کار رفته در بسته‌بندی مدار مجتمع و همچنین فضا) روی تراشه می‌بارند، ثابت مانده است [۷۳]. برخورد ذرات پرانرژی در صورت داشتن انرژی کافی می‌تواند منجر به خطای نرم شود. خطای نرم بیان‌کننده‌ی تغییر ناخواسته در محتویات ذخیره‌شده در یک بیت از حافظه‌ی سیستم است که این تغییر می‌تواند ناشی از برخورد ذرات پرانرژی باشد [۷۴] که با پیشرفت فنّاوری روندی رو به وخامت دارد، به طوری که، خطاهای تکبیتی که در فنّاوری‌های رایج وجود دارد، جای خود را به خطاهای چندبیتی می‌دهند [۷۵]، از آنجا که محل رخداد این خطا در مدار ترتیبی، فلیپ‌فلاپ‌ها[۱] است، و در مدارات پایپلاین[۲] به شدت از این اجزا استفاده می‌شود و همچنین در مداراتی که از فرکانس کلاک بالاتری استفاده می‌شود، احتمال رخداد خطای نرم حاصل از ذرات پرانرژی بیشتر می‌شود. باید در نظر داشت که اثر این خطا در حضور اشکال همشنوایی بیشتر خواهد شد [۷۶].

اشکال همشنوایی

اشکال همشنوایی یکی از مهم‌ترین عواملی است که می‌تواند قابلیت اطمینان شبکه‌های روی تراشه دوبعدی را تهدید کند. اشکال همشنوایی به دلیل تزویج‌های خازنی[۳] و سلفی[۴] بین گذرگاه‌های ارتباطی به وجود می‌آید [۷۷]. خازن‌های تشکیل‌شده بین گذرگاه ارتباطی روی تراشه و صفحه[۵] در شکل ۳-۱ نشان داده شده است. میزان تأثیر خازن تزویج در مقایسه با تزویج سلفی متفاوت است و بر اساس برخی

[۱] Flip Flop
[۲] Pipeline
[۳] Coupling Capacitance
[۴] Coupling Inductance
[۵] Plate

گزارش‌های [۷۱][۷۸] مقدار اثر سلفی بسیار ناچیز است و اثر آن فقط در گذرگاه‌های بسیار عریض محسوس است. شکل۳-۲ میزان تزویج‌های خازنی و سلفی را بر روی دو سیم مجاور در گذرگاه روی تراشه را نشان می‌دهد. البته در حال حاضر اثر سلفی از اهمیت بیشتری برخوردار شده است چراکه با بالا رفتن فرکانس کاری مدار میزان تزویج سلفی پراهمیت‌تر می‌شود.



شکل ۳-۲: ولتاژ گذراي ایجاد شده در سیم قربانی در اثر تزویجهاي سلفی و خازنی [۷۱]

تأخیر حاصل از اشکال همشنوایی تا حد زیادی وابسته به مقدار خازن‌های تزویج در زمان گذار است. برای یک گذرگاه که سه سیم از کنار هم عبور می‌کنند، با توجه به الگوی گذار عبوری، خازن مؤثر تغییر می‌کند. مدل‌سازی یک اشکال همشنوایی با بررسی الگوی گذار سیم‌های مجاور مشخص می‌شود. تأخیر در صعود و یا نزول، تسریع در صعود و یا نزول، گلیچ مثبت و یا منفی از جمله الگوهای اشکال همشنوایی بین سه سیم مجاور می‌باشند. مدل بیان‌شده دایره وسیعی از اشکالات ناشی از تغییرات در فرآیند ساخت و خرابی‌های فیزیکی را نیز نشان می‌دهد.

۳-۲- چالش‌های قابلیت اطمینان در شبکه‌های روی تراشه سه‌بعدی

با توجه به تغییر مقیاس ادوات الکترونیکی، نزدیک شدن عناصر پردازشی به هم، بالا رفتن چگالی سیم‌ها و کاهش دامنه‌ی ولتاژ منبع تغذیه، اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی به یکی از مهم‌ترین چالش‌های طرّاحی تبدیل شده است[26]. تمرکز اصلی ما در این پایان‌نامه بر مدل اِشکال خطای همشنوایی است. با ورود به بعد سوم محدودیت‌هایی در ساخت و طرّا حی شبکه روی تراشه باید موردبررسی قرار بگیرد از جمله تأخیر در گذرگاه‌های عمودی [۷۹] سربار مساحتی اعمال‌شده توسط گذرگاه‌های عمودی [۵۸] پدیده‌ی مهاجرت الکترونی[1]، توان مصرفی، تبادل دمایی بین لایه‌های مختلف و اِشکال همشنوایی در گذرگاه‌های عمودی. در ادامه به بررسی هرکدام از این چالش‌ها خواهیم پرداخت و بر روی اشکال همشنوایی شبکه‌های روی تراشه سه-بعدی تمرکز بیشتری خواهیم کرد.

پدیده مهاجرت الکترونی

در فن‌آوری‌های مقیاس نانو، احتمال رخداد خطاهای حاصل از مهاجرت الکترونی افزایش می‌یابد. مهاجرت الکترونی را می‌توان تغییر در ساختار اتمی دانست که به وسیله‌ی جریان‌های متراکم الکترونی داخل گذرگاه‌های ارتباطی به وجود می‌آیند. این نیروهای مغناطیسی در ادامه می‌توانند منجر به اتصال کوتاه و یا مدار باز شدن در مدار شوند. با کوچکتر شدن مقیاس فن‌آوری و ابعاد گذرگاه‌های ارتباطی روی سطح تراشه، تراکم جریان بسیار بیشتر خواهد شد [۶۴][۸۰] که در نهایت منجر به افزایش احتمال پدیده‌ی

[1] Electromigration

مهاجرت الکترونی در ادوات با ابعاد نانو خواهد شد. در مدارات مجتمع سه‌بعدی، به دلیل ناهماهنگی‌های بین لایه‌های مختلف فلز و گذرگاه‌های عمودی بین‌لایه‌ای، این اثر به افزایش می‌یابد. همچنین شرایط الکترومکانیکی ناشی از به‌کارگیری این گذرگاه‌های عمودی می‌تواند این شرایط را تشدید کند و طول عمر تراشه را پایین بیاورد. تحقیقات نشان داده است که میزان نزدیکی گذرگاه‌های عمودی و همچنین مقدار تزویج تحمیلی بین آن‌ها می‌تواند بر طول عمر سامانه اثر منفی داشته باشد [80].

اغتشاشات منبع تغذیه

نوسانات منبع تغذیه را می‌توان یکی از عوامل تهدیدکننده قابلیت اطمینان شبکه‌های روی تراشه و داده-های ارسالی روی گذرگاه‌ها دانست. نوسانات منبع تغذیه حاشیه اغتشاش پیمانه‌های ارسال‌کننده، تکرارکننده، راه‌گزین، مسیریاب و بسته‌های روی گذرگاه را کاهش می‌دهد و به تبع آن کارایی مدار کاهش می‌یابد. این عامل مخرب می‌تواند منجر به خطاهای زمانی، منطقی و همچنین عدم اطمینان‌پذیری در سطح سامانه شود. به دلیل ارسال حجم داده بزرگتر در گذرگاه‌های عمودی در مقایسه با گذرگاه-های افقی، اغتشاش در شبکه‌های روی تراشه سه‌بعدی و در گذرگاه‌های عمودی بین‌لایه‌ای از اهمیت بیشتری برخوردار است [۵۵][۶۴][۸۱].

چالش‌های دمایی

یکی دیگر از چالش‌های قابلیت اطمینان شبکه‌های روی تراشه، تفاوت دمایی[۱] است. مقاومت داخلی گذرگاه‌های ارتباطی روی سطح سامانه، رابطه‌ی خطی با دما دارد. تفاوت‌های دمایی روی تراشه، مقاومت‌های متفاوتی را روی خطوط ارتباطی به وجود می‌آورد که موجب عدم اطمینان نسبت به تأخیر می‌شود. طبق گزارش‌ها در پردازنده‌های با کارایی بالا شاهد افت دمایی تا حد ۵۰ درجه سانتی‌گراد خواهیم بود بنابراین تفاوت دمایی در سطح تراشه قابلیت اطمینان را تهدید می‌کند [۸۲].

اهمیت اشکال همشنوایی در شبکه‌های روی تراشه سه-بعدی

اِشکال همشنوایی از دو عامل خازنی و سلفی به وجود می-آید، البته طبق بسیاری از تحقیقات انجام شده، اثر سلفی در برابر اثر خازنی قابل‌چشم‌پوشی است [26] [25] [24]، امّا با افزایش فرکانس کاری مدار و شدّت گرفتن میزان جریان گذرگاه‌های عمودی باید انتظار افزایش اثرات سلفی را در آینده‌ای نزدیک داشته باشیم [12]. تحقیقات نشان داده است [۵۵] که در گذر فن‌آوری‌های ساخت عمیق‌تر، ارتفاع سیم که در شکل ۳-۱ با T_{int} مشخص شده است با نرخ کمتری نسبت به عرض سیم، W_{int} و فاصله بین سیم‌های مجاور کوچک می‌شود. اتفاقی که می‌افتد این است که خازن‌های تزویج با نرخ کمتری نسبت به خازن‌های C_g کاهِش می‌یابند و همان‌طور که در این شکل نشان داده شده است، این به معنی افزایش نسبت خازنی تزویج به خازن زیر لایه در گذر به فن‌آوری‌های کوچکتر است، لذا با پیشرفت فن‌آوری به فرآیندهای عمیق-تر، نرخ رخداد اِشکال همشنوایی در سامانه‌های روی تراشه

[۱] Non Unifor Substrate Tempreture Effect

بیشتر می‌شود. با در نظر گرفتن موارد بالا و میزان مجتمع‌سازی به خصوص در سه‌بعدی‌سازی و با توجه به محصور شدن گذرگاه‌های عمودی بین‌لایه‌ای توسّط گذرگاه‌های افقی و بالعکس می‌توان دریافت، بررسی اِشکال همشنوایی در شبکه-های روی تراشه سه‌بعدی از اهمیت بالایی برخوردار است [26]. با توجه به پیش‌بینی‌های موسسه بین‌المللی تعیین نقشه راه برای نیمه‌هادی‌ها [۵۵]، بیشترین میزان تأخیر در یک گذرگاه عمودی تا سال ۲۰۱۸ به ۱۰ پیکوثانیه خواهد رسید و این وضعیت در حضور اغتشاش همشنوایی و همچنین افزایش فرکانس کاری مدار پیچیده‌تر خواهد شد [۶۵].

۴- کارهای پیشین

تا کنون روش‌هایی برای مقابله با اشکال همشنوایی در شبکه‌های روی تراشه دوبعدی و سه‌بعدی به‌کاررفته است که در این فصل آن‌ها را به تفصیل موردبحث و بررسی قرار خواهیم داد. ابتدا به آشنایی با روش‌های جلوگیری‌کننده در شبکه‌های روی تراشه دوبعدی خواهیم پرداخت و در ادامه روش‌های مطرح‌شده در شبکه‌های روی تراشه سه‌بعدی را بررسی خواهیم نمود. در انتهای این فصل به مقایسه و جمع‌بندی پژوهش‌های انجام‌شده تا کنون خواهیم پرداخت.

روش‌های بسیاری در پژوهش‌های گذشته به جهت مقابله با اشکال همشنوایی و اثرات آن ارائه شده است. بعضی از روش‌های مطرح‌شده در راستای کاهش اشکال و اغتشاش همشنوایی پرداخته‌اند و دسته‌ای دیگر روی تصحیح خطاهای حاصل از آن تمرکز نموده‌اند که در ادامه به بررسی آن‌ها خواهیم پرداخت.

۴-۱- مقابله با اشکال همشنوایی در شبکه روی تراشه دوبعدی

۴-۱-۱- روش‌های حفاظگذاری[۱]

یکی از روش‌هایی که به طور متداول استفاده می‌شود و جزو اولین روش‌های مطرح‌شده در این زمینه بوده است، حفاظگذاری است. ایده‌ی اصلی این دست از روش‌ها را می‌توان در استفاده از خطوط محافظ بین گذرگاه‌های اصلی انتقال داده به جهت جلوگیری از رخداد اشکال همشنوایی دانست. حفاظگذاری ایستا[۲] [۸۳][19] و حفاظگذاری پویا[۳] [۸۴] دو نوع از روش‌های به‌کارگیری این روش می‌باشند. در حفاظ-گذاری ایستا، خطوط محافظ به منبع تغذیه و یا زمین متصل می‌شوند و به این ترتیب تزویج خازنی و سلفی به علت جدا شدن خطوط انتقال از خطوط همسایه کاهش می‌یابد. در روش حفاظگذاری پویا، اتصال‌دهنده‌هایی به کار می‌روند تا با توجه به مقادیر موجود بر روی گذرگاه‌ها، خطوط محافظ را به زمین و یا منبع تغذیه متصل کنند. به دلیل راهکار مدیریتی در این روش، تأخیر به مراتب نسبت به روش ایستا بیشتر کاهش می‌یابد، درعین‌حال باید به این نکته توجه داشت که تعداد گذرگاه‌های فعال بیشتر خواهد بود. روش‌های حفاظگذاری عملکرد نسبتاً خوبی را از خود نشان می‌دهند ولی به دلیل سربار مساحت بسیار زیاد، موردتوجه طراحان نیست. البته روش‌هایی به منظور بهتر کردن شرایط مساحتی آنان معرفی شده‌اند مانند استفاده از خطوط محافظ به شکل سلسله‌مراتبی و دسته‌ای که البته کارایی روش اصلی را نخواهد داشت.

---

[۱] Sheilding

[۲] Static Shielding

[۳] Dynamic Shielding

۴-۱-۲- تغییر ابعاد هندسی گذرگاه ارتباطی

همان‌طور که می‌دانیم، ابعاد گذرگاه تأثیر مستقیمی بر میزان تزویج خازنی و همچنین تزویج سلفی دارد. یکی از روش‌های کاهش اشکال همشنوایی تغییر این ابعاد است. برای این کار، از دو روش افزایش عرض و افزایش فاصله استفاده می‌شود. افزایش عرض سیم‌های روی تراشه می‌تواند دارای دو اثر متفاوت بر میزان تزویج داشته باشد. به دلیل آن‌که خازن زیرلایه در خطوط عریض‌تر مقدار بیشتری دارد، میزان تزویج خازنی بین خطوط مجاور کاهش می‌یابد، درعین‌حال میزان تزویج سلفی افزایش می‌یابد. بنابراین برآیند این دو اثر، اگرچه در فن‌آوری‌های کنونی به سود کاهش اشکال همشنوایی خواهد بود ولی در آینده منجر به عدم کارایی این روش خواهد شد [۷۱][۸۵].

مسئله مهم‌تر تغییر فاصله‌ی بین خطوط گذرگاه به منظور کاهش اشکال همشنوایی است. افزایش فاصله می‌تواند به طور مطلوبی منجر به کاهش تزویج خازنی در تراشه شود ولی تزویج سلفی در این روش به طور لگاریتمی کاهش می‌یابد. همچنین سرعت تغییر اثر تزویج سلفی بسیار کمتر از اثر خازنی خواهد بود که این خود منجر به چیره شدن اثر سلفی پس از نقطه‌ای خاص خواهد شد و افزایش بیشتر فاصله کارایی اولیه را نخواهد داشت. همان‌طور که از ماهیت این‌گونه روش‌ها پیداست، سربار مساحت این دست از روش‌ها بسیار زیاد است که مقرون به صرفه بودن آن را مشروط به موارد استفاده خواهد کرد.

۴-۱-۳- رمزگذاری‌های اجتناب از همشنوایی[۱]

در [86] مدلی برای محاسبه‌ی تأخیر یک گذرگاه روی تراشه ارائه‌شده است که برای یک تراشه دوبعدی رابطه‌ی تأخیر (۱) را داریم:

$$\tau = (1 + \rho\lambda)\pi_0 \qquad (1)$$

در این رابطه π_0 تأخیر یک گذرگاه در حالت آرمانی است که در آن هیچ اثری از اشکال همشنوایی وجود ندارد. λ، نسبت خازن تزویج کل به خازن گذرگاه با زمین است. ρ، میزان خازن مؤثر تشکیل‌شده بین دو خط گذرگاه است که در شبکه روی تراشه دوبعدی مقدار آن از ۰ تا ۴، بسته به گذارهای رخ داده‌شده متغیر است. اثر اِشکال همشنوایی در یک گذرگاه اِرتباطی وابسته به مقدار خازن تزویجی است که بین اتصالات ذخیره می‌شود. با صرفنظر کردن از اثر سلفی، میزان خازن موثّر در یک سیم از گذرگاه اِرتباطی شبکه از رابطه (۲) قابل‌محاسبه است.

$$C_{eff} = C_G + C_C \left|\Delta V - \Delta V(+1)\right| / V_{DD} + C_C \left|\Delta V - \Delta V(-1)\right| / V_{DD} \qquad (2)$$

که ΔV تغییرات ولتاژ بر روی سیم، ΔV (+) و ΔV (−) تغییرات ولتاژ در سیم‌های مجاور و V_{DD} ولتاژ منبع تغذیه است. از آنجا که خازن موثّر کانال به گذاری که بر روی آن اتّفاق می‌افتد وابسته است، گذارهایی که در یک کانال اِرتباطی می‌توانند رخ بدهند، به پنج کلاس 0C, 1C, 2C, 3C 4C تقسیم می‌شوند که در جدول ۴-۱ بیان شده‌اند [8]. هر کدام از این کلاس‌ها از اُلگوی مربوط به خود پیروی می‌کنند که در جدول ۴-۱ نشان داده شده است. مدل دیگری که برای اِشکال همشنوایی شبکه‌های روی تراشه دوبعدی ارائه شده است [87] کلاس‌های اِشکال همشنوایی را به هفت کلاس گسترش

[۱] Crosstalk Avoidance Codes

داده است. در این مدل سیم‌ها به صورت دسته‌های پنج‌تایی در نظر گرفته شده‌اند، برخلاف مدل قبلی که سیم

جدول ۴-۱: کلاس‌های همشنوایی شبکه روی تراشه دوبعدی [۸۶]

کلاس همشنوایی	کلاس صفر	کلاس ۱	کلاس ۲	کلاس ۳	کلاس ۴
الگوی گذار	---	-↑↑	↓↓↑	-↑↓	↑↓↑

وسط قربانی[۱] و دو سیم در طرفین به عنوان مهاجم[۲] در نظر گرفته می‌شدند. مدل هفت کلاسه نسبت به مدل پنج کلاسه از دقت بیشتری برخوردار است و کلاس‌ها، کمترین همپوشانی را با یکدیگر دارند.

۴-۱-۴- تصحیح خطا و پیشگیری از اشکال همشنوایی در گذرگاه داده

همچنان که چگالی قطعات و سرعت کاهش ابعاد در مدارات مجتمع خیلی بزرگ افزایش می‌یابد، اشکال همشنوایی بین گذرگاه‌ها، اهمیت بیشتری در بهینه‌سازی کارایی و کاهش تأخیر پیدا می‌کند که به اُلگوی ویژه راه‌گزینی گذرگاه نیز مرتبط می‌گردد. به عنوان مثال، لبه بالارونده در گذرگاه‌های همسایه که به دلیل اغتشاش سریع‌تر شده‌اند، ممکن است منجر به تخلف از زمان نگهداری گردد. یک لبه بالارونده بر روی سیم، می‌تواند باعث گذرهای ناصحیح بر روی سیم‌های مجاور شود و درنهایت منجر به خطای منطقی گردد. با این وجود بیشترین خسارت، مربوط به اُلگویی است که در آن دو سیم همسایه گذارهای خلاف جهت یکدیگر داشته باشند مانند آنچه آن را کلاس ۴ می‌شناسیم. از جمله روش-

[۱] Victim

[۲] Agressor

هایی که در این گروه قرار دارند و برای رفع اشکالات ناشی از این منبع با هدف تصحیح خطا به وجود آمده‌اند را می‌توان به رمزگذاری‌های دگرگونی مرزی[۱] [17]، مسیر دوتایی تغییریافته[۲] [17]، رمزگذاری‌های پیشگیری از اِشکال همشنوایی با اُلگوی ممنوعه[۳] اشاره کرد [17] که در ادامه توضیح داده خواهند شد.

رمزگذاری شیفت مرزی

مرز وابسته در یک کلمه، مکانی است که دو بیت مجاور، متفاوت‌اند و با موقعیت بیت سمت چپی مشخص می‌گردند. دو کلمه‌ای که هیچ مرز وابسته مشترکی ندارند، می‌توانند یک گذر معتبر را تشکیل دهند. اگر کتاب رمز، تنها شامل کلمه رمز با مرز وابسته زوج باشد، آنگاه شیفت چرخشی به راست یک بیتی نیز یک کتاب رمز تولید می‌کند که در آن هیچ مرز وابسته زوجی وجود ندارد. به دلیل آن‌که هیچ اشتراکی میان مرزهای وابسته دو کتاب رمز و جود ندارد، با انتخاب متناوب بین این دو، یک رمز خودپوشش به دست می‌آید. به این رمزها، رمزهای شیفت مرزی می‌گوییم. اگر C یک رمزگذاری [n,k,d] باشد، با رونوشت[۴] گرفتن از هر بیت داده و نوشتن هر دو بیت به دنبال یکدیگر، به رمزگذاری C':[2n,k,2d] خواهیم رسید که هیچ مرز وابسته فردی ندارد، چراکه هر بیت در مکان فرد با یک رونوشت همراه شده است. حال با انتخاب متناوب بین C' و رمز شیفت داده شده آن، یک رمزگذاری خودپوشش به دست می‌آید. استفاده از یک بیت

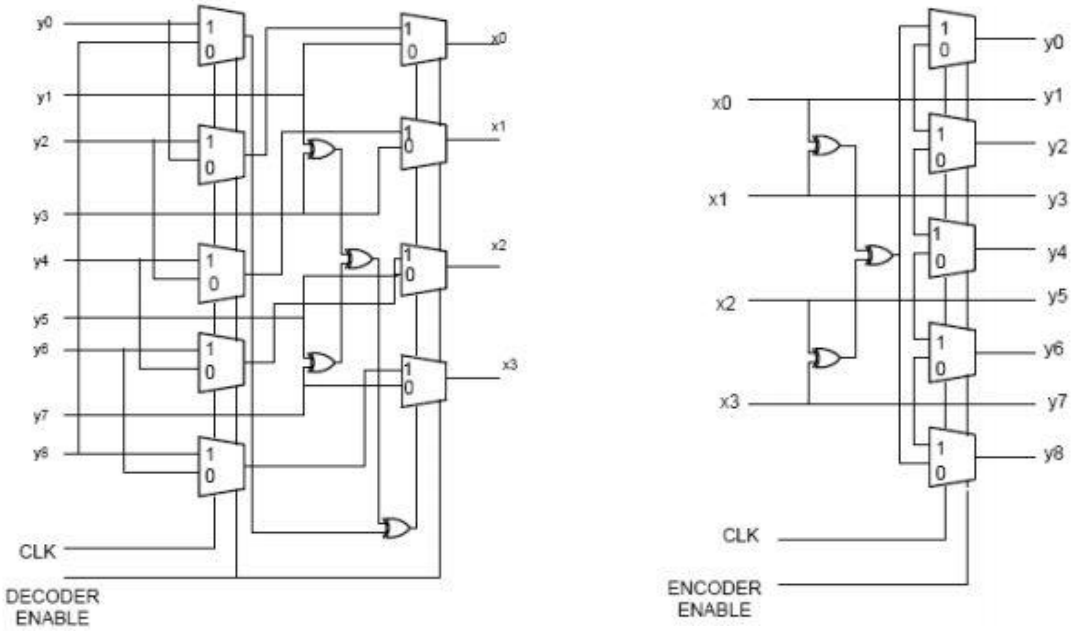
[۱] Boundary Shift Code (BSC)

[۲] Modified Dual Rail (MDR)

[۳] Forbidden pattern free crosstalk avoidance code (FPF-CAC)

[۴] Copy

توازن[۱] برای رمزهای به‌دست‌آمده، یک کلاس از رمزگذاری‌ها را با قابلیت تصحیح یک خطا تولید می‌کند. برای این منظور، ابتدا رمزگذاری [k+1,k,2] حاصل از افزودن بیت توازن به داده اصلی به دست می‌آید، سپس با استفاده از روش گفته‌شده به [k+1,k,32] می‌رسیم که یک رمزگذاری خودپوشش با قابلیت تصحیح یک بیت خطا خواهد بود. بنابراین با استفاده از ماتریس مولّد در فرستنده، کلمات رمز تولید می‌شود و برای چرخه‌های فرد، کلمه رمز تولیدشده یک بیت به راست حرکت داده می‌شود، به عبارت دیگر، ماتریس مولّد، از هر بیت یک رونوشت تولید کرده و در کنار آن و در موقعیت زوج می‌نویسد. در پایان نیز بیت توازن به رمز اضافه می‌گردد. مدار کامل رمزگذار و رمزگشا در شکل ۴-۱ نشان داده شده است. رمزگذاری شیفت مرزی



شکل ٤-١: معماری رمزگذار و رمزگشای BSC [17]

[۱] Parity

تا حد قابل قبولی می‌تواند از اشکال همشنوایی در شبکه-های روی تراشه دوبعدی جلوگیری کند و قابلیت تصحیح را هم به همراه دارد، البتّه باید به سربار مساحت و انرژی تحمیل‌شده به دلیل استفاده از شیفت رجیسترها[۱] توجّه کرد.

مسیر دوتایی تغییریافته

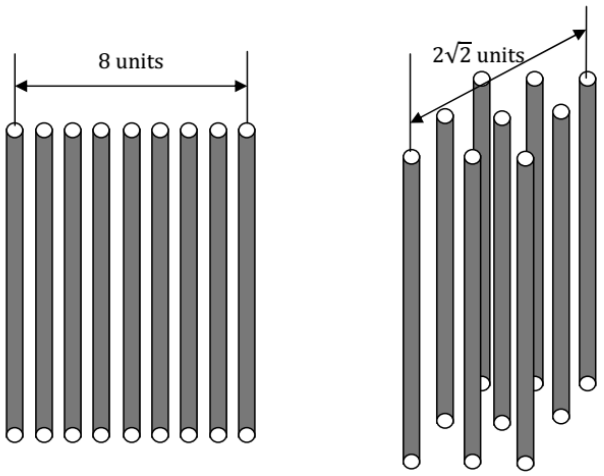
ایده اصلی این روش نظیر دوگان‌سازی و توازن است [17]. در رمزگذاری‌های مسیر دوتایی تغییریافته به هر داده K بیتی، $M = K + 1$ بیت اضافه می‌شود. بنابراین نظیر حالت قبل، رمزگذاری حاصل $2K + 2$ بیتی خواهد بود. K بیت اضافه‌شده به داده به این صورت به دست می‌آید که در مسیر دوتایی تغییریافته، دو رونوشت از بیت توازن در کنار بیت‌های کلمه رمز شده دیگر قرار می‌گیرند. به این ترتیب به دلیل وجود شباهت میان رمزهای عبوری از دو کانال مجاور، همشنوایی کاهش پیدا خواهد کرد. مشخص است مسیر دوتایی تغییریافته سربار بیش از صددرصدی مساحت و همچنین سربار توان مصرفی زیادی را به مدار اعمال می‌کند که مقرون‌به‌صرفه بودن استفاده از آن را تحت تأثیر قرار می‌دهد و در برابر رمزگذاری دگرگونی مرزی از سربار بیشتری برخوردار است.

رمزگذاری‌های پیشگیری از اشکال همشنوایی بدون اُلگوهای ممنوعه

از آنجا که رخداد گذارهای کلاس‌های 3C و 4C در کانال-های شبکه به دلیل رخداد اُلگوهای بیتی ’۰۱۰’و’۱۰۱’ در فلیت‌های داده است، با کاهش تعدادِ رخدادِ این اُلگوهای بیتی می‌توان به مقابله با اِشکال همشنوایی پرداخت. در

[۱] Shift-Register

رمزگذاری‌های اُلگوی ممنوعه از رخدادِ این اُلگوهای بیتی درفلیت‌ها ممانعت می‌شود. یک کلمه رمز، عاری از اُلگوی ممنوعه نامیده می‌شود هرگاه هیچ اُلگوی بیتی ممنوعه‌ای در هیچ‌یک از سه بیت متوالی و هم‌جوار آن مشاهده نشود. به عنوان مثال '۱۱۰۱۱۰' یک کلمه رمز عاری از اُلگوی ممنوعه نیست، در حالی که '۱۱۰۰۱۱۰' یک کلمه رمز عاری از اُلگوهای ممنوعه به شمار می‌رود. اگر در یک سیستم رمزگذاری کلمه‌های رمز همگی عاری از اُلگوهای ممنوعه باشند، تأخیر بدترین حالت مشاهده‌شده بر روی کانال بیشتر از 2C نخواهد بود. در رمزگذاری‌های عاری از اُلگوی



شکل ۴-۲: نحوه چیدمان گذرگاه‌های عمودی در شبکه‌های روی تراشه سه‌بعدی [37]

ممنوعه نیاز است که یک اُلگوریتم نگاشت، کلمه داده‌ی ورودی را به یک کلمه رمز عاری از اُلگوی ممنوعه نگاشت کند. بنابراین با رمزگذاری کلمه‌های داده به کلمه‌های رمز عاری از اُلگوی ممنوعه می‌توان به تسریعی حدود صددرصدی دست‌یافت [17].

۴-۲- مقابله با اشکال همشنوایی در شبکه روی تراشه سه‌بعدی

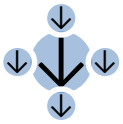
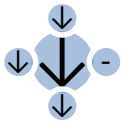
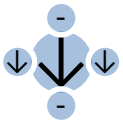
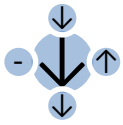
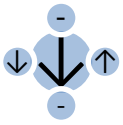
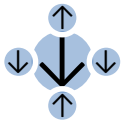
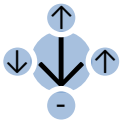
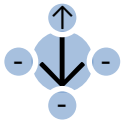
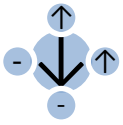
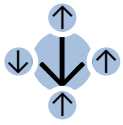
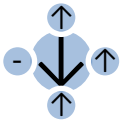
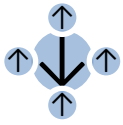
با توجه به میزان اهمیت مقابله با اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی، باید رویکردهایی برای افزایش قابلیت اطمینان در کانال‌ها و کاهش اشکال همشنوایی در نظر گرفته شود. برای بررسی بیشتر این موضوع، در این پژوهش سعی در مرور کارهای انجام‌شده برای کاهش اشکال همشنوایی مدارات مجتمع و شبکه‌های روی تراشه سه‌بعدی در برابر اشکال همشنوایی خواهیم داشت که به طور متمرکز، کاهش این اثرات روی گذرگاه‌های عمودی بین‌لایه‌ای که پیش‌تر از مشخصات آن‌ها سخن گفته‌ایم را بررسی خواهیم کرد.

برای بررسی کلاس‌های اشکال همشنوایی، دو مدل قرارگیری گذرگاه‌ها موردبررسی قرار می‌گیرد که در شکل ۴-۲ نشان داده شده است. اکثر پژوهش‌های پیشین از یک شبکه مش دوبعدی۳×۳ از گذرگاه‌های عمودی بین‌لایه‌ای همانند شکل ۴-۲ استفاده می‌کنند به نحوی که در [26] از اثرات تزویج سلفی صرف‌نظر شده است و همچنین از اثر تزویج خازنی بین یک اتّصال عمودی با همسایه‌های قطری[۱] به دلیل فاصله بیشتر آن نسبت به همسایه‌های مستقیم[۲] ($d\sqrt{2}$) چشم‌پوشی شده است. همسایه‌های افقی و عمودی به دلیل فاصله کمتر از سیم قربانی دارای اثر خازنی حدود بیش از پنج برابری نسبت به همسایه‌های قطری می‌باشند. با توجه به میزان خازن‌های تزویجی که از همسایه‌های گذرگاه عمودی

کلاس همشنوایی	الگوی گذار	کلاس همشنوایی	الگوی گذار

[۱] Diagonal

[۲] Direct

کلاس صفر		کلاس ۱	
کلاس ۲		کلاس ۳	
کلاس ۴		کلاس ۴	
کلاس ۵		کلاس ۵	
کلاس ۶		کلاس ۶	
کلاس ۷		کلاس ۸	

جدول ۴-۲: الگوهای همشنوایی بین گذرگاه‌های عمودی در شبکه روی تراشه سه-بعدی

قربانی بر آن وارد می‌شود (بر اثر صفر، یک و بدون تغییر بودن آن‌ها). می‌توان نه کلاس مختلف را مطابق اُلگوهای جدول ۴-۲ برای شبکه‌های روی تراشه سه‌بعدی در نظر گرفت. برای مثال در کلاس 8C، تمامی سیم‌های اطراف سیم قربانی در جهت عکس آن تغییر می‌کنند که این موجب ایجاد خازن تزویج متعلّق به کلاس8C خواهد شد. البته در شکل تمامی حالات ممکن برای شبکه روی تراشه سه‌بعدی آورده نشده است و جایگشت‌های مختلف از این کلاس‌ها نیز باید در نظر گرفته شوند.

روش‌هایی که برای مقابله با اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی و مدارات مجتمع سه‌بعدی تا کنون به کار رفته‌اند را می‌توان به روش‌های سطح فیزیکی- لایه‌بندی، روش‌های مبتنی بر حفاظگذاری و روش‌های مبتنی بر رمزگذاری تقسیم کرد.

۴-۲-۱- افزایش فاصله بین گذرگاه‌های عمودی

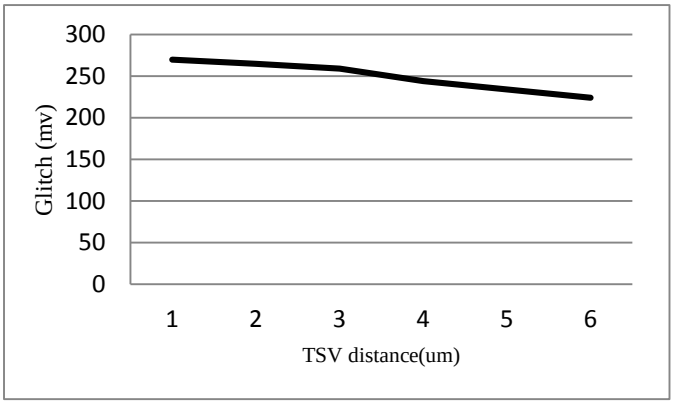
همان‌طور که در بخش گذشته برای شبکه روی تراشه دوبعدی از اثرات تغییر اندازه اتصالات و گذرگاه‌ها در کاهش اشکال همشنوایی صحبت کرده بودیم، در شبکه‌های روی تراشه سه‌بعدی به نظر می‌رسد تغییر ابعاد اتصالات و فاصله‌ی آن‌ها بتواند تأثیرگذار باشد. با توجه به قطر زیاد، اندازه‌ی بزرگ و همچنین فاصله‌ی کم گذرگاه‌های بین‌لایه‌ای نسبت به گذرگاه‌های افقی، اشکال همشنوایی می‌تواند با تغییر هر یک از این عوامل، کمتر یا بیشتر شود اما افزایش فاصله[۱] بین گذرگاه‌های عمودی به کاهش اشکال همشنوایی کمک نخواهد کرد [7] و همچنین باید در نظر داشت که در مدارات مجتمع سه‌بعدی بهره‌مندی حداکثری از مساحت موجود حائز اهمیت است و افزایش فاصله طراحان را از این هدف دور خواهد ساخت. در فرکانس‌های بسیار پایین (درحد زیر گیگاهرتز) امپدانس کانال با C_{TSV} مشخص می‌شود.

$$C_{TSV} = \frac{1}{4}\,\frac{2\pi\epsilon_0\epsilon_r}{\ln\frac{r_{TSV}+t_{ox}}{r_{TSV}}}\,l_{TSV} \qquad (3)$$

افزایش فاصله گذرگاه‌های عمودی بین‌لایه‌ای تأثیر زیادی روی R_{si} و C_{si} خواهد داشت ولی تأثیر چندانیC_{TSV} نخواهد داشت [7].

[۱] Pitch

$$C_{si} = \frac{\pi\epsilon_0\epsilon_r}{\ln\{\frac{d}{2r_{TSV}}+\sqrt{(\frac{d}{2r_{TSV}})^2-1}\}} \quad (4) \qquad R_{si} = \frac{\epsilon}{C_{si}\sigma} \quad (5)$$



شکل ٤-۳: اثر افزایش فاصله بین گذرگاه‌های عمودی روی اغتشاش [7]

بنابراین تزویج کلی کانال وابسته به آن نخواهد بود. در [7] آزمایشی به منظور اثبات این ادعا ارائه شده است که در آن از ولتاژ منبع تغذیه 1.2 ولت و فرکانس 300 مگاهرتز استفاده شده است. همان‌طور که در شکل ۴-۳ مشاهده می‌شود مقدار گلیچ ایجاد شده با افزایش فاصله بین گذرگاه‌های عمودی بین‌لایه‌ای تغییر چندانی پیدا نخواهد کرد.

۴-۲-۲- درج میانگیر

یکی دیگر از روش‌های مقابله با تزویج بین گذرگاه‌های

جدول ۴-۳: میزان تأثیر تزریق میانگیر در کاهش اغتشاش [7]

	شبکه اصلی	تزریق نزدیک گذرگاه عمودی	تزریق نزدیک هدایت‌کننده
اغتشاش(ولت)	0.4059	0.1207	0.1624
تأخیر(نانوثانیه)	0.278	0.09701	0.09899

ارتباطی عمودی، درج میانگیر است. همان‌طور که می‌دانیم شدت گلیچ‌های ناشی از تزویج، به طور مستقیم با امپدانس[۱] درگاه[۲] متناسب است. قرار دادن میانگیر قبل از گذرگاه‌های عمودی می‌تواند به کاهش تزویج کمک شایانی نماید. در [7] برای اثبات میزان اثرگذاری روش مذکور، به آزمایشی در جهت بررسی آن در یک شبکه روی تراشه سه‌بعدی پرداخته‌شده است. در این شبیه‌سازی، میانگیر $2X$ که به صورت عادی وجود داشته است را با یک میانگیر $4X$ جایگزین شده است و همچنین این میانگیر به سمت گذرگاه عمودی انتقال پیدا کرده است. جدول ۴-۳ میزان اثرگذاری این روش را نشان می‌دهد. همان‌طور که از جدول مذکور استنباط می‌شود، با انتقال میانگیر به سمت گذرگاه عمودی بین‌لایه‌ای، شدت گلیچ تا ۲۶ درصد کاهش یافته است درعین‌حال تأخیر، ۱.۹درصد کاهش یافته است که نتیجه‌ی مطلوبی به شمار می‌آید. باید توجه داشت که روش درج میانگیر به طور ذاتی منجر به تحمیل سربار مساحت به تراشه خواهد شد.

۴-۲-۳- روش‌های مبتنی بر حفاظگذاری

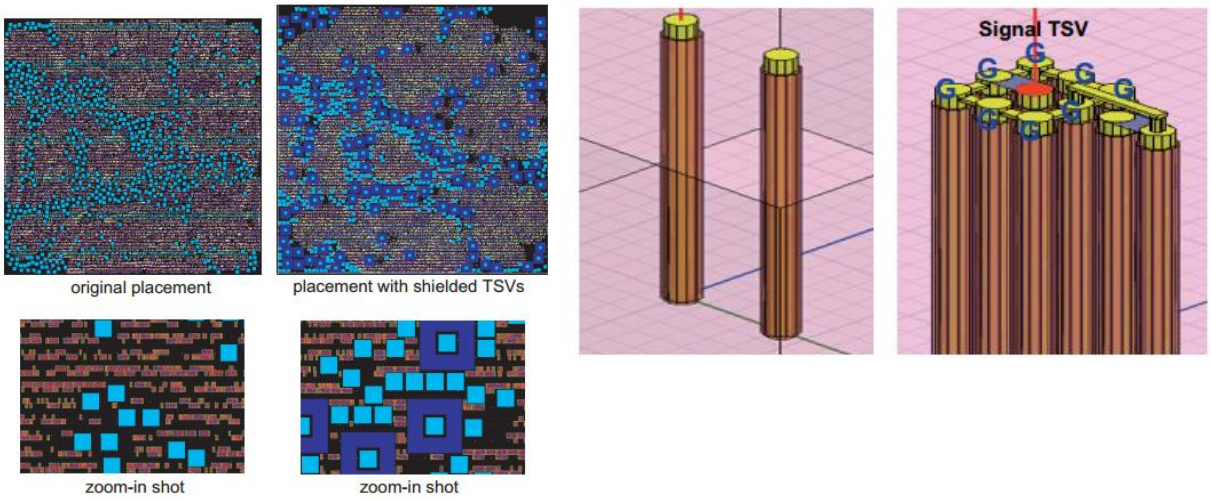
به منظور افزایش قابلیت اطمینان سامانه‌های روی تراشه در برابر اشکال همشنوایی می‌توان از نوعی حفاظگذاری استفاده نمود که تا حدودی نیز در شبکه‌های روی تراشه دوبعدی نیز استفاده می‌شوند و در بخش قبل به اختصار در مورد آن توضیح داده شده است. برای حفاظگذاری در شبکه-های روی تراشه سه‌بعدی دو پژوهش موردبررسی قرار گرفته است که در ادامه به آن ورود خواهیم نمود.

---

[۱] Impedence

[۲] Port

همان‌طور که می‌دانیم، در کابل‌های هم‌محور[۱]، از زمین[۲] به عنوان محافظ استفاده می‌شود. به طور مشابه در [7] از زمین به عنوان محافظ گذرگاه‌های عمودی حساس[۳] استفاده شده است. در شکل۴-۳

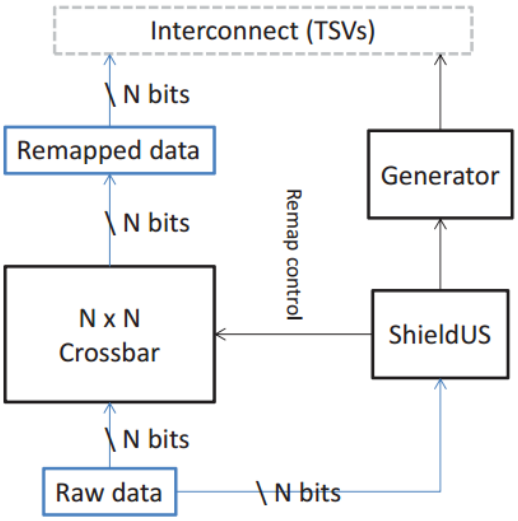


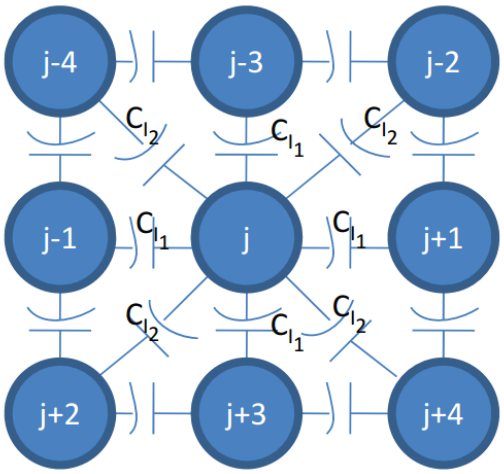
شکل ٤-٤: نمونه‌ای از حفاظگذاری در گذرگاه‌های عمودی [7]

نمونه‌ای از این حفاظگذاری را مشاهده می‌کنیم. با این کار مسیر تزویج بستر[۴] قطع شده و در نتیجه تزویج گذرگاه-های عمودی دیگر کاهش می‌یابد. برای تصدیق ادعای بالا در این پژوهش [7]، از یک طرح همانند شکل۴-۴ استفاده شده است. شبیه‌سازی‌های پارامتر پراکندگی[۵] که حالت مدار خطی در شرایط پایدار را نشان می‌دهد و تحلیل گذرا[۶] انجام شده است تا میزان اثرگذاری روش فوق مشخص شود. در نتیجه آزمایش‌ها، میزان تزویج بین گذرگاه‌های عمودی کمتر از ۶۰

[۱] Coaxial
[۲] Ground
[۳] Sensitive
[۴] Substrate
[۵] S-Parameter
[۶] Transient Simulation

دسی‌بل[۱] بوده است و همچنین اغتشاش همشنوایی کمتر از ۱۰ میلی‌ولت گزارش شده است که دلیلی بر تصدیق این ادعا است. بر اساس این تحلیل، روشی که در این مقاله ارائه شده است منجر به معرفی یک سلول گذرگاه عمودی محافظت‌شده جدید در کتابخانه‌ی سلول‌ها شد که اندازه و ابعاد این گذرگاه محافظت‌شده از انواع عادی آن به مراتب بزرگتر است. همان‌طور که گفته شد، با کمتر شدن امپدانس کلی، تزویج بیشتر خواهد شد. روند روش ارائه‌شده به این شکل است که ابتدا با توجه به اندازه‌ی تزویج هر سلول از





گذرگاه‌های عمودی، مرتب‌سازی صورت می‌گیرد و این فرآیند تا رسیدن به مقدار آستانه تزویج ادامه پیدا خواهد کرد. در ادامه یکی از سلول‌ها با توجه به سطح تزویج برای جایگزینی با سلول محافظت‌شده انتخاب می‌شود. پس از آن همسایه‌های سلول محافظت‌شده از لیست تصمیم‌گیری برای جایگزینی خارج می‌شوند و این فرآیند تا رسیدن به یک مدل کارا تکرار خواهد شد. در یک آزمایش انجام شده با جایگزینی ۱۱۸ سلول، مساحت تراشه از ۴۰۲×۴۰۲ به ۴۲۱×۴۲۱ تبدیل شده است. سربار مساحت و همچنین اعمال در سطح پایین را باید به عنوان کاستی‌های این روش عنوان نمود.

[۱] dB

شکل ٤-٥: (الف)- مدل همشنوایی ارائه شده در [24]، (ب)- سازمان کلی روش ShieldUS [24]

شکل ٤-٦: کلاس‌های همشنوایی ShieldUS [24]

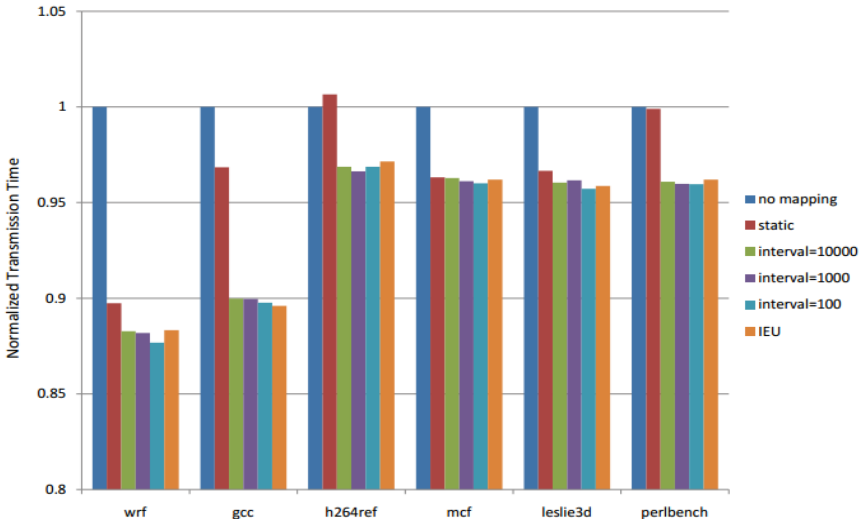
در روش حفاظگذاری دیگری [24] که برای کاهش اغتشاش همشنوایی ارائه شد به صورت برخط[1] و پویا، با توجه به شرایط داده‌های قرارگرفته روی گذرگاه عمودی و میزان اشکال همشنوایی تحمیل‌شده به تصمیم‌گیری می‌پردازد. در این پژوهش، ابتدا یک مدل همشنوایی برای مدارهای مجتمع

Class	C_{eff}	Transition patterns
1	C_L	$000000000 \rightarrow 111111111$
2	$C_L(1+\lambda_2)$	$011111111 \rightarrow 000000000$
3	$C_L(1+\lambda_1)$	$101111111 \rightarrow 000000000$
4	$C_L(1+2\lambda_2)$	$010111111 \rightarrow 000000000$
5	$C_L(1+\lambda_1+\lambda_2)$	$001111111 \rightarrow 000000000$
6	$C_L(1+2\lambda_1)$	$101011111 \rightarrow 000000000$
⋮		
81	$C_L(1+8\lambda_1+8\lambda_2)$	$000010000 \rightarrow 111101111$

سه‌بعدی ارائه شده است. همان‌طور که در شکل ۴-۵ (الف) مشاهده می‌شود، از یک مدل ۳×۳ گذرگاه عمودی بین‌لایه‌ای استفاده شده است که فاصله‌ی همسایه‌های سیم وسط (قربانی) نسبت به قربانی متفاوت است که این تفاوت در نهایت منجر به تفاوت در میزان تزویج به ازای تغییرات هر یک از این گذرگاه‌ها روی سیم قربانی می‌شود. اگر نسبت تزویج سیم‌های مستقیم را با λ_1 و همسایه‌های قطری را با λ_2 نشان دهیم، با توجه به تغییرات هر کدام از این سیم‌ها، تزویجی به قربانی تحمیل می‌شود که به وسیله‌ی آن مجموعه‌ای از کلاس‌های همشنوایی استخراج می‌شود که در شکل ۴-۶ آورده شده‌اند. شالوده‌ی اصلی این روش، کم کردن کلاس همشنوایی با

[1] Runtime

توجه به مدل ارائه شده است. نمای کلی این روش در شکل نشان داده شده است. در این روش از یک کراسبار[۱] استفاده شده است که توانایی جابه‌جایی داده‌ها بین ۹ گذرگاه را خواهد داشت. گذرگاه‌ها به دو قسمت محافظ و داده تقسیم می‌شوند و طوری قرار داده می‌شوند که دو گذرگاه با فعالیت[۲] بالا کنار هم قرار نگیرند. داده‌ها با توجه میزان فعالیت به عنوان گذرگاه داده و یا محافظ انتخاب می‌شوند. در حقیقت از گذرگاه‌های با فعالیت کم به عنوان محافظ گذرگاه‌های با فعالیت زیاد استفاده می‌شود. برای ارزیابی، از یک کراس بار ۹×۹ استفاده شده است و از آدرس‌های درخواست شده توسط پردازنده از حافظه در بسته محک SPEC2006 استفاده شده است. نتایج مربوط به میزان کاهش تأخیر در شکل ۴-۷ نشان داده شده است که تا حداکثر ۱۲ درصد بهبود را نسبت به حالت بدون رمزگذاری نشان می‌دهد. در این روش، صحبتی از میزان سربار مساحت نشده



شکل ٤-۷: زمان ارسال استانداردشده برای روش ShieldUS و حالت پایه [24]

[۱] Crossbar
[۲] Activity

است اما همان‌طور که می‌دانیم کراس‌بار با ابعاد ۹×۹ بسیار بزرگ است در نتیجه حتی با در نظر نگرفتن مساحت واحدهای کنترلی و مدیریتی، همین کراس‌بار، مقرون‌به‌صرفه نبودن روش را از جهت سربار مساحت مشخص می‌کند. نکته‌ی دیگر، وابستگی شدید کارایی این روش به داده‌های مشابه[۱] است زیرا نیاز به پیش‌بینی ضروری است و این امر در دسترسی‌های داده و شکست[۲] شدن در کش[۳] بی‌استفاده خواهد بود.

۴-۲-۴- روش‌های مبتنی بر رمزگذاری

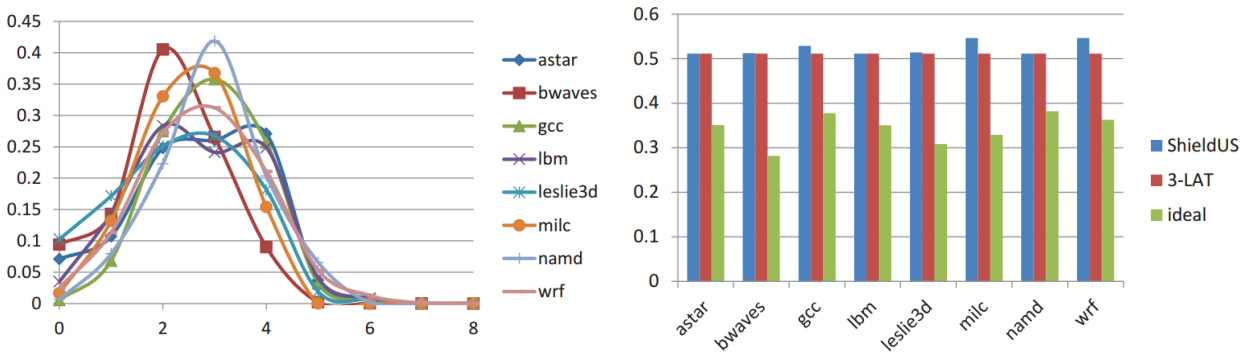
همان‌طور که در بخش مربوط به شبکه‌های روی تراشه دوبعدی صحبت شد، در مدارهای مجتمع سه‌بعدی نیز استفاده از رمزگذاری مورد پژوهش قرار گرفته است. رمزگذاری اجتناب از همشنوایی [26] و همچنین رمزگذاری کمترین تغییر همسایه [25] به عنوان دو روش پیشنهادی مطرح گشته‌اند.

در [26] از مدل همشنوایی برای ۹ گذرگاه عمودی بین‌لایه‌ای استفاده شده است که از تزویج مربوط به همسایه‌های قطری صرفنظر شده است و فقط همسایه‌های مستقیم در طبقه‌بندی میزان تزویج دخیل هستند. با این فرض، برای یک شبکه ۳×۳ از گذرگاه‌های عمودی، ۹ کلاس همشنوایی از 0C تا 8C در نظر گرفته شده است همانند آنچه در ابتدای بخش معرفی شد. در این پژوهش، سعی در حذف برخی از کلاس‌های همشنوایی شده است که با استفاده از دنباله‌های بازگشتی برای حالت‌های خاصی که منجر به رخداد کلاس‌های مختلف می‌شوند معرفی شدند. الگوریتم پیشنهادی این روش، برای حذف

[۱] Regular
[۲] Miss
[۳] Cache

کلاس‌های بالاتر از 2C، 4C، 6C به ترتیب ۳، ۳۳ و ۳۳۵ درصد سربار مساحت خواهد داشت که علاوه بر آن نمی‌توان از پیچیدگی غیرقابل صرفنظر کردن رمزکننده و رمزگذار گذشت. پیچیدگی این دست از رمزگذارها به صورت نمایی افزایش می‌یابد که نقطه‌ضعف اصلی این کار در همین مورد خلاصه می‌شود.

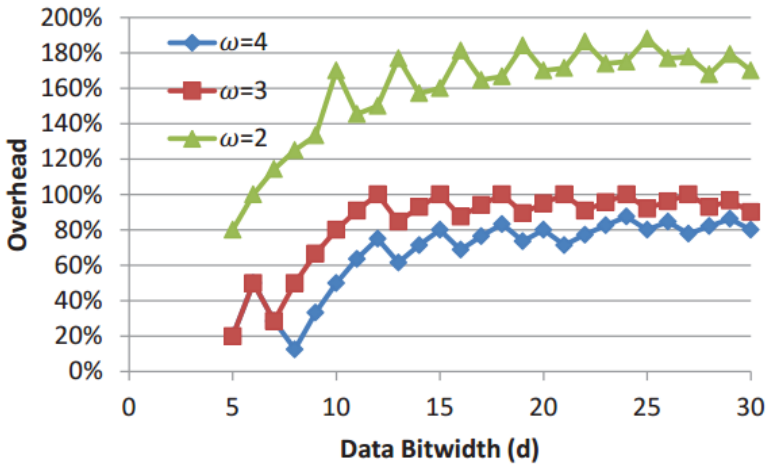
در عنوانی دیگر از کارهای مربوط به کاهش اشکال همشنوایی بین گذرگاه‌های عمودی بین‌لایه‌ای، می‌توان به [25] اشاره نمود که با ادغام رمزگذاری‌های مطرح در زمینه‌ی سامانه‌های کم‌توان ارائه شد. در این روش از Less Adjacent Transiton به همراه Transition Signaling استفاده شده است. LAT موجب محدود شدن تعداد یک‌های یک کلمه رمز خواهد شد و این هدف با روش ارسال Transition Signaling ادغام شده است. در این روش از یک مدل ساده‌شده که همسایگان قطری را نیز شامل می‌شود نیز استفاده شده است. دو کلاس جدید نسبت به مدل در نظر گرفته شده در پژوهش پیشین اضافه شده است به این صورت که تغییر دو همسایه قطری در خلاف جهت قربانی کلاس 9C و تغییر چهار همسایه قطری در خلاف جهت قربانی کلاس 10C را به وجود خواهد آورد که البته دقیق بودن آن



شکل ٤-٨: (الف)- مقایسه تسریع صورت گرفته حاصل از اعمال روش‌های [25] و [24] و حالت پایه. (ب)- تعداد کلاس‌های همشنوایی در بسته‌های محک SPEC2006 بدون اعمال روش کاهش اشکال همشنوایی [25].

نیازمند بررسی‌های بیشتر خواهد بود. به طور کلی این روش از دو قسمت تشکیل می‌شود، قسمت اول رمزگذاری محدودکننده تعداد یک‌ها و قسمت دوم ارسال کلمه رمز با روشTransition Signaling.

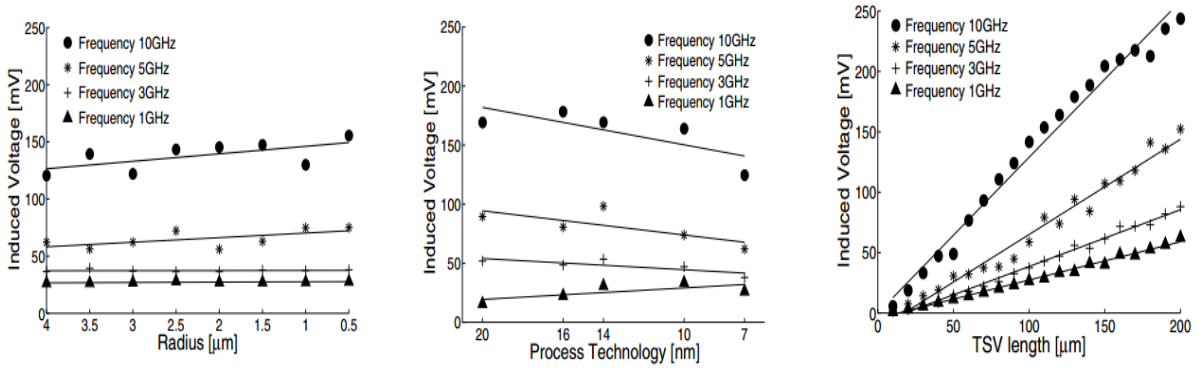
روش ωLAT، می‌تواند با انتخاب ω های مختلف بهبودهای متفاوتی را در کاهش تأخیر ناشی از اشکال همشنوایی به دست آورد که در حقیقت ω مشخص‌کننده‌ی میزان اعمال محدودیت و یا به بیان دیگر بیشینه تعداد یک‌ها در یک شبکه‌ی ۹تایی از گذرگاه‌های عمودی بین‌لایه‌ای است. با انتخاب مقدار ۴ برای ω، بیشینه کلاس همشنوایی قابل رخداد، 6C خواهد بود که در این حالت بهبود ۳۸ درصدی به دست می‌آید. در شکل ۴-۸ (ب) تعداد هرکدام از کلاس‌های همشنوایی بین گذرگاه‌ها بدون اعمال هیچ روشی برای بسته-های محک SPEC2006 نمایش داده شده است و همچنین در شکل مقایسه‌ای بین میزان تأخیر روش‌های ωLAT، ShieldUS و حالت ایده آل نشان داده شده است.



شکل۴-۹: سربار گذرگاه عمودی در روش [25]

سربار تعداد گذرگاه‌های عمودی برای ارسال داده‌های کنترلی در شکل برای ω های ۴، ۳ و ۲ در شکل ۴-۹ نشان داده شده است که مقدار آن بسیار زیاد است. همچنین طراحی رمزگذار و رمزگشا در روش ωLAT از پیچیدگی خاص خود برخوردار است که نه‌تنها نمی‌توان مدل روش را بر اساس آن گسترش داد، دارای سربار مساحت و انرژی غیرقابل قبولی است.

تا کنون تمامی روش‌های معرفی‌شده در این فصل عامل غالب در ایجاد اشکال همشنوایی را تزویج خازنی بین گذرگاه‌های عمودی بیان نموده‌اند در صورتی که طبق مطالب گذشته، تزویج سلفی نیز موجب ایجاد اشکال همشنوایی می‌شود و در آینده اهمیت این بخش بیشتر خواهد شد. در [12][16] روشی به منظور کاهش اشکال همشنوایی ناشی از تزویج سلفی معرفی شده است و همچنین برای آن مدلی معرفی شده است.



شکل ٤-١٠: بررسی عوامل مؤثر در میزان تزویج سلفی [12]

در این پژوهش تزویج سلفی با استفاده از یک فرآیند رمزگذاری برای یک شبکه ۸×۳ از گذرگاه‌های عمودی ارائه شده است. در این تحقیق ابتدا یک تحلیل در سطح سامانه[۱] از میزان تزویج سلفی بین گذرگاه‌های عمودی ارائه شده است و در ادامه سعی در بررسی میزان اثرگذاری و کارایی روش ارائه شده برای کاهش اشکال و شکست[۲] در شبکه روی تراشه سه‌بعدی شده است. با داشتن مشخصات فیزیکی گذرگاه عمودی بین‌لایه‌ای، میزان اثرگذاری تغییر هرکدام از عامل-های طول گذرگاه، کاهش اندازه فن‌آوری و شعاع گذرگاه روی میزان تزویج سلفی با شبیه‌ساز HSPICE به دست آمده است که در شکل ۴-۱۰ نشان داده شده است. همان‌طور که مشاهده می-شود تغییر فن‌آوری و شعاع گذرگاه تأثیر زیادی بر تزویج سلفی ندارند در حالی که طول گذرگاه باعث افزایش این مقدار می‌شود.

مدل‌های جریانی مختلفی وجود دارند که مشابه آنچه در کلاس‌های همشنوایی خازنی داشتیم، تأثیر تزویجی متفاوتی را اعمال می‌کنند. برای مثال اگر دو داده به طور یکسان ارسال شوند، تزویج سلفی به وجود نخواهد آمد. در این روش نیز از اثر همسایگان قطری صرفنظر شده است. بر اساس

[۱] System-Level
[۲] Failure

نحوه قرارگیری مهاجم‌ها و قربانی، چهار کلاس مختلف برای تزویج سلفی معرفی شده. اساس این روش بر جابجایی مجدد گذرگاه‌های عمودی به منظور کاهش اثر تزویج سلفی است و برای این کار از فرآیند معکوس‌کنندگی استفاده می‌شود. فرآیند تصمیم‌گیری به این صورت خواهد بود که اگر تعداد یک‌های هر سطر در این ماتریس‌های وزن انتقال بیشتر از نصف تعداد ستون‌ها باشد، سطر موردنظر در ماتریس داده بعدی به شکل معکوس ارسال می‌گردد. بهبود این روش ۲۳ درصد نسبت به حالت بدون اعمال روش گزارش شده است البته از سربار داده آن و همچنین سربار ناشی از پیاده‌سازی الگوریتم نمی‌توان گذشت. در ضمن کارایی این روش با افزایش تعداد سطرها و همچنین گذرگاه‌های عمودی به شدت کاهش می‌یابد.

در پایان مقایسه‌ای از پژوهش‌های پیشین در زمینه کاهش اشکال همشنوایی شبکه‌های روی تراشه در جدول ۴-۴ نشان داده شده است.

جدول ۴-۴- مقایسه‌ی روش‌های کاهش اشکال همشنوایی شبکه‌های روی تراشه دوبعدی و سه‌بعدی.

بستر پیاده‌سازی	روش	اثر تزویج غالب	میزان کاهش اشکال همشنوایی	میزان بهبود تأخیر	سربار مساحت
شبکه روی تراشه دوبعدی	سطح فیزیکی- ابعاد هندسی- تغییر فاصله	خازنی	متوسط	متوسط	زیاد
	حفاظ‌گذاری	خازنی	خوب	خوب	زیاد
	رمزگذاری	خازنی	خوب	متوسط	بسیار زیاد
شبکه روی تراشه سه‌بعدی	سطح فیزیکی- ابعاد هندسی- تغییر فاصله	خازنی	کم	کم	زیاد
	حفاظ‌گذاری	خازنی	متوسط	متوسط	زیاد

	رمزگذاری	خازنی	خوب	متوسط	بسیار زیاد
		سلفی	متوسط	متوسط	متوسط

۵- روش پیشنهادی

با توجه به میزان اهمیت بررسی اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی، رویکردهایی برای بررسی آن در پژوهش‌های مختلف به انجام رسیده است که در بخش گذشته به آن پرداختیم. به منظور ارائه رویکردهایی برای کاهش اغتشاش همشنوایی بین گذرگاه‌های عمودی بین‌لایه‌ای، در این پژوهش راهکارهایی موردتحقیق قرارگرفته‌اند که این بخش به بررسی دقیق کارایی آن خواهد پرداخت. همان‌طور که در بخش‌های گذشته اشاره شد، به منظور بررسی میزان تزویج

خازنی بین گذرگاه‌های عمودی بین‌لایه‌ای نیاز به یک مدل همشنوایی است. علاوه بر آن، مدل استفاده‌شده هرچه دقیق‌تر باشد منجر به واقعی‌تر شدن نتیجه خواهد شد. در بخش اول، به ارائه یک مدل دقیق و کلاس‌بندی مشخص از همشنوایی بین گذرگاه‌های بین‌لایه‌ای بر پایه‌ی تزویج خازنی خواهیم پرداخت.

بخش دوم این فصل یک روش پیشنهادی با نام 3DCAM به منظور کاهش اشکال همشنوایی شبکه‌های روی تراشه سه‌بعدی را ارائه خواهیم نمود و میزان کارایی آن را با مدل ارائه‌شده تطبیق خواهیم داد و به بیان نقاط ضعف و قوت آن خواهیم پرداخت.

در قسمت سوم این پژوهش، روش پیشنهادی دوم به منظور کاهش اشکال همشنوایی ناشی از تزویج خازنی بین گذرگاه-های عمودی بین‌لایه‌ای و همچنین کاهش تأخیر به وجود آمده توسط آن و کاهش زمان انتقال بسته‌ها در شبکه ارائه شده است. همان‌طور که توضیح داد خواهد شد، این روش نیز از مدل کلاس همشنوایی ارائه‌شده در قسمت اول استفاده خواهد نمود و تفاوت آن با روش پیشنهادی اول در کاربرد آن است.

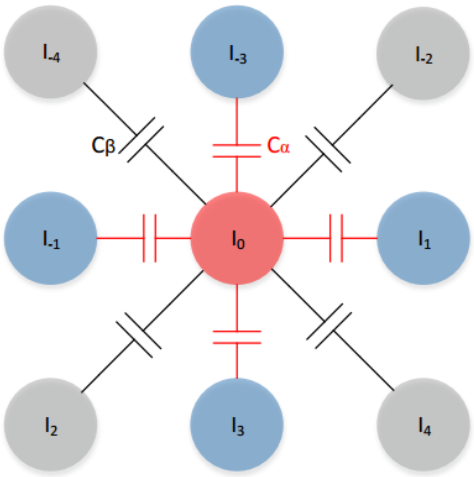
۵-۱- مدل ارائه‌شده برای اشکال همشنوایی بین گذرگاه‌های عمودی

در شبکه‌های روی تراشه دوبعدی و مدارات مجتمع، سه مهاجم بر روی یکدیگر اثر خازنی می‌گذارند. همان‌طور که می‌دانیم خازن مؤثر که بر روی سیم قربانی اعمال می‌شود از طریق معادله (۱) به دست می‌آید.

$$C_{eff} = C_G + C_C \left|\frac{\Delta V - \Delta V_{-1}}{V_{dd}}\right| + C_C \left|\frac{\Delta V - \Delta V_{+1}}{V_{dd}}\right| \qquad (1)$$

$$\tau = (1 + \rho\lambda)\pi_0 \quad (2)$$

به طوری که ΔV تغییرات ولتاژ در سیم قربانی است، ΔV_{-1} و ΔV_{+1} تغییرات ولتاژ در سیم‌های مهاجم است. C_c و C_G به ترتیب بیانگر خازن تزویج بین قربانی و سیم‌های قربانی و خازن تشکیل‌شده بین



شکل ۵-۱: مدل استفاده‌شده در روش‌های پیشنهادی، گذرگاه‌های آبی مستقیم و گذرگاه‌های خاکستری همسایه قطری محسوب می‌شوند، قربانی با رنگ قرمز نشان داده شده است.

سیم و زیرلایه هستند. بر اساس معادله (۱) می‌توان تأخیر ارسال را به وسیله‌ی رابطه (۲) به دست آورد که در آن ρ ضریب تزویج بین سیم‌ها است، λ نسبت $(\frac{C_C}{C_G})$ است و π_0 تأخیر یک گذرگاه بدون هرگونه تزویج است که در بدترین حالت تأخیر (تغییر دو همسایه در جهت عکس قربانی) مقدار این معادله $(1 + 4\lambda)\pi_0$ خواهد بود. همانند آنچه در مدارهای مجتمع دوبعدی بیان شد، می‌توان مدل تأخیری را برای شبکه‌های روی تراشه سه‌بعدی ارائه نمود. همان‌طور که در شکل ۵-۱ نشان داده شده است، بر اساس مطالعه‌های گذشته

[26] [25] [24] [36] و همچنین ماهیت گذرگاه‌های عمودی، یک مدل ۳×۳ از آن‌ها را در نظر می‌گیریم. بررسی میزان تزویج بر روی سیم قربانی متمرکز خواهد شد (سیم قرمز در شکل ۵-۱). همسایه‌های مستقیم از جهت‌های شمال، جنوب، شرق و غرب سیم قربانی را به علت فاصله‌ی نزدیکتر آن‌ها به قربانی با ضریب قدرت بیشتری نسبت به همسایه‌های قطری مورد تهاجم قرار می‌دهند. بر اساس اثرات بیان‌شده، می‌توان معادله (۳) را به صورت زیر برای گذرگاه‌های سه‌بعدی گسترش داد:

$$C_{eff} = C_G + \sum_{i=-2}^{2} C_\alpha \left|\frac{\Delta V_{I_0} - \Delta V_{I_{2i}}}{V_{dd}}\right| + \sum_{i=-1}^{2} C_\beta \left|\frac{\Delta V_{I_0} - \Delta V_{I_{2i-1}}}{V_{dd}}\right| \qquad (3)$$

جدول ۵-۱: کلاس‌های همشنوایی مدل ارائه‌شده

کلاس	C_{eff}	$T_{i-4,\dots,i+4}(t) \rightarrow T_{i-4,\dots,i+4}(t+1)$
۰	C_G	000000000→111111111
۱	$C_G + C_\beta$	000000000→011111111
۲	$C_G + 1.5C_\beta$	100000000→011111111
۳	$C_G + 2C_\beta$	010000000→101111111
• • •	• • •	• • •
۳۹	$C_G + 20C_\beta$	000010000→111101111

که در آن C_α معرف خازن تزویج بین همسایه‌ی مستقیم با قربانی و C_β بیانگر خازن تزویج بین همسایه‌ی قطری و قربانی است. بر اساس مدل تأخیر در شبکه‌های روی تراشه دوبعدی و معادله‌ی (۳)، می‌توان معادله‌ی (۴) را به صورت زیر برای گذرگاه‌های عمودی بین‌لایه‌ای گسترش داد:

$$\tau = (1 + \rho_1\lambda_1 + \rho_2\lambda_2)\pi_0 \qquad (4)$$

که در آن ρ_1 ضریب تزویج همسایه‌های مستقیم، λ_1 نسبت خازن تزویج همسایه مستقیم به خازن زیرلایه $(\frac{C_\alpha}{C_G})$ است. همین‌طور ρ_2 ضریب تزویج همسایه‌های قطری، λ_2 نسبت خازن تزویج همسایه قطری به خازن زیرلایه $(\frac{C_\beta}{C_G})$ است. ρ_1 و ρ_2 میزان اثرگذاری تغییر در ولتاژهای مهاجمین بر قربانی را مشخص می‌کنند.

برای مثال، اگر یک همسایه مستقیم در خلاف جهت قربانی تغییر کند، ρ_1 مقدار ۲ را به خود اختصاص خواهد داد، در بدترین حالت تمامی همسایه‌ها در جهت عکس حرکت قربانی تغییر می‌کنند که در آن صورت خازن تزویج به صورت زیر خواهد شد:

$$C_{eff} = \left[(C_\alpha + C_\beta) \times 8\right] + C_G = \left[1.5C_\beta + C_\beta \times 8\right] + C_G = 20C_\beta + C_G$$

طبق گزارشی که در پژوهش‌های [24] و [25] آمده است، $\lambda_1 =$ 5.54 و $\lambda_2 = 3.92$ می‌باشند، به عبارتی می‌توان با تقریبی مناسبی $C_\alpha = 1.5C_\beta$ در نظر گرفت. بر اساس این نتیجه‌گیری و مطابق جدول ۵-۱ ، در این پژوهش ۴۰ کلاس مختلف همشنوایی برای گذرگاه‌های عمودی بین‌لایه‌ای در نظر گرفته شده است. از جمله برتری‌های مدل ارائه‌شده در این بخش نسبت به مدل‌های گذشته، می‌توان به دخیل کردن اثر تزویج همسایه-های قطری، دقیق بودن رابطه‌ی بین اثرگذاری تزویج مهاجمین قطری و مستقیم بر اساس شبیه‌سازی‌های صورت گرفته به وسیله SPICE اشاره نمود.

۵-۲-کاهش اشکال همشنوایی با دیدگاه کم بودن سربار مساحت (*3DCAM*[۱])

همان‌طور که در بخش قبل اشاره شد، طبق مدل ارائه‌شده کلاس‌های همشنوایی در گذرگاه‌های عمودی شبکه روی تراشه سه‌بعدی به ۴۰ کلاس مختلف تقسیم شده است. به منظور کاهش اغتشاش همشنوایی روش 3DCAM در این بخش از پژوهش ارائه و موردبررسی قرار خواهد گرفت. اساس روش پیشنهادی در کاهش احتمال رخداد کلاس‌های همشنوایی از مرتبه بالا است. به این ترتیب تغییر در چینش داده‌های قرار گیرنده روی گذرگاه‌های عمودی در این روش استفاده شده است.

Pattern	Pattern*	Crosstalk Reduction
- ↑ ↓ - ↓ ↑ - ↑ ↓	- ↑ ↓ - - ↑ - ↑ ↓	24C→12C
↓ ↓ - - ↑ - ↑ - ↓	↓ ↓ - - - - ↑ - ↓	24C→8C
- ↓ - ↓ ↑ ↓ - ↓ -	- ↓ - ↓ - ↓ - ↓ -	31C→11C
↓ ↓ ↓ ↓ ↑ ↓ ↓ ↓ ↓	↓ ↓ ↓ ↓ - ↓ ↓ ↓ ↓	39C→19C

شکل ۵-۲: مثال‌هایی از اعمال روش 3DCAM

همان‌طور که در جدول ۵-۱ نشان داده شده است، تزویج خازنی در کلاس‌های از مرتبه بالاتر به مراتب بیشتر از کلاس‌های از مرتبه پایین‌تر خواهد بود. بر اساس اطلاعات گذشته، چهار حالت تغییر در یک گذرگاه شامل حالت‌های

[۱] A Low Overhead Crosstalk Avoidance Mechanism for TSV-Based 3D ICs

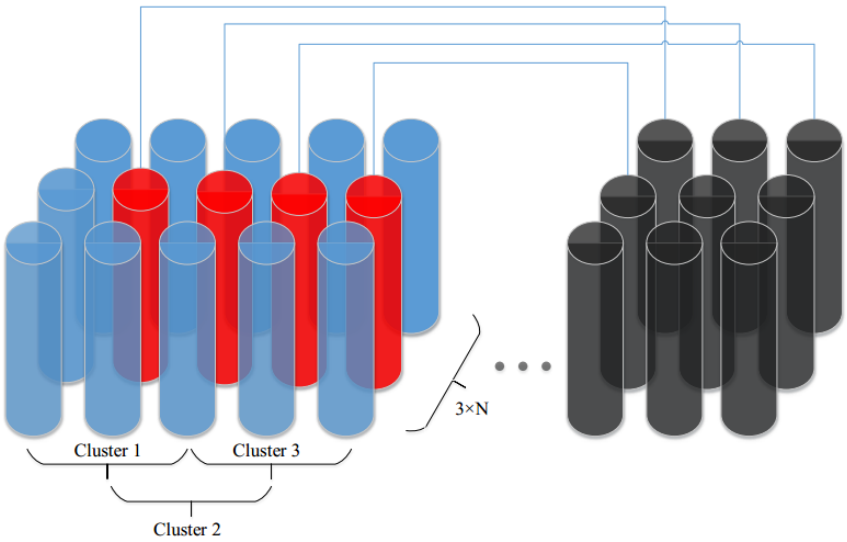
۱→۰،۰→۱، ۰→۰ و ۱→۱ است که هرکدام با توجه به نحوه قرارگیری میزان مشخصی از تزویج را اعمال خواهند کرد.

در نهایت کارکرد روش پیشنهادی 3DCAM بر پایه عدم تغییر گذرگاه عمودی قربانی در شرایط خاص است که منجر به کاهش اغتشاش همشنوایی در مدار خواهد شد. برای واضح-تر شدن سنگبنای روش فوق، ابتدا به بررسی مثال‌هایی از آن طبق مدل ارائه‌شده خواهیم پرداخت. همان‌طور که مشخص است، هرگاه دو سیم مجاور در یک جهت تغییر کنند تزویجی در مدار اعمال نمی‌شود، همین‌طور هرگاه دو سیم مجاور هیچ‌کدام در هیچ جهتی تغییر پیدا نکنند نیز خازنی بین آن‌ها تشکیل نخواهد شد بنابراین در این مورد هم تزویجی را شاهد نخواهیم بود. روش 3DCAM به بررسی میزان خازن تزویجی بر اساس مدل ارائه‌شده، طوری می‌پردازد که به این سؤال پاسخ دهد که آیا با عدم‌تغییر مقدار فعلی روی گذرگاه می‌توان به همشنوایی کمتر دست پیدا کرد یا خیر.

به عنوان مثال، شکل ۵-۲ نمونه‌هایی از طرح سؤال و پاسخ در این روش را نشان می‌دهد که در همگی این موارد به کاهش کلاس همشنوایی منجر می‌شود. در مثال سطر دوم از شکل ۵-۲ ، ابتدا همشنوایی واردشده طبق مدل معرفی‌شده از کلاس 24C است به این صورت که یک همسایه مستقیم در خلاف جهت قربانی $C_{eff} = 1 \times 2 \times 1.5C_\beta$، دو همسایه قطری در خلاف جهت قربانی $C_{eff} = 2 \times 2 \times 1C_\beta$، سه همسایه مستقیم بدون تغییر= $C_{eff} = 3 \times 1 \times 1.5C_\beta$، یک همسایه قطری بدون تغییر$C_{eff} = 1 \times 1 \times 1C_\beta$ و یک همسایه قطری هم‌جهت با قربانی$C_{eff} = 1 \times 0 \times 1.5C_\beta$ تغییر کرده‌اند که در نهایت طبق جدول ،24C کلاس همشنوایی مربوط به این مثال خواهد بود. در ستون دوم این شکل، کلاس همشنوایی متناظر بار هر کدام از مثال‌های آورده شده نشان داده شده‌اند به این صورت که از تغییر کردن سیم

قربانی ممانعت به عمل آمده است. همان‌طور که مشاهده می‌شود کلاس همشنوایی مربوط به هر کدام از این مثال‌ها پس از اعمال روش کاهش یافته است.

به منظور ثابت نگه‌داشتن مقدار گذرگاه قربانی، 3DCAM می‌باید به نحوی گیرنده را از حذف شدن تغییر و یا نشدن آن مطلع سازد. برای این منظور نیاز به گذرگاه‌های عمودی کنترلی خواهیم داشت که این وظیفه را به عهده بگیرند. این کنترل‌کننده‌ها زمانی فعال خواهند شد که بخواهند معتبر نبودن گذرگاه مربوط به خود را اعلام کنند. شکل ۵-۳ طرح مربوط به یک شبکه 3×N از گذرگاه‌های عمودی همراه با کنترل‌کننده‌ها را نشان می‌دهد. باید توجه داشت که هر دسته[۱] از گذرگاه‌ها که شامل نه عدد است، نیاز به یک گذرگاه کنترلی برای تصدیق بخشیدن به قربانی خود خواهد داشت.



شکل ۵-۳: نمای کلی معماری گذرگاه‌های کنترلی برای گذرگاه 3×N

علاوه بر آن، همپوشانی‌های بین دسته‌های مختلف نیز نیازمند کنترل‌کننده مخصوص به خود خواهند بود بنابراین برای یک دسته $3 \times N$، نیازمند $N-2$ گذرگاه کنترلی خواهیم

[۱] Cluster

بود. البته باید توجه داشت ازآنجایی‌که خود کنترل‌کننده-ها با هم می‌توانند همشنوایی به وجود آورند، به همان ترتیب که در بالا اشاره شد می‌توان سلسله‌مراتبی از کنترل‌کننده‌ها را به مدار اضافه نمود.

۵-۲-۱- تعریف پارامتر آستانه‌ی تغییر[۱]

مسلم است مثال‌های بالا تمامی حالات ممکن را نمایش نمی-دهند و حالاتی وجود خواهند داشت که نه‌تنها اعمال 3DCAM منجر به کاهش کلاس همشنوایی در آن نمی‌شود بلکه به افزایش مقدار خازن تزویج کمک می‌کند. در شکل ۵-۴ حالتی از این مورد مشاهده می‌شود. در ابتدا، یک مهاجم در خلاف جهت تغییر گذرگاه عمودی قربانی تغییر می‌کند که معادل با $C_{eff} = 1 \times 2 \times 1.5C_\beta$ خازن را به

Pattern	Pattern*	Crosstalk Reduction
↓ ↓ ↓ ↑ ↓ ↓ ↓ ↓ ↓	↓ ↓ ↓ ↑ – ↓ ↓ ↓ ↓	5C→19C

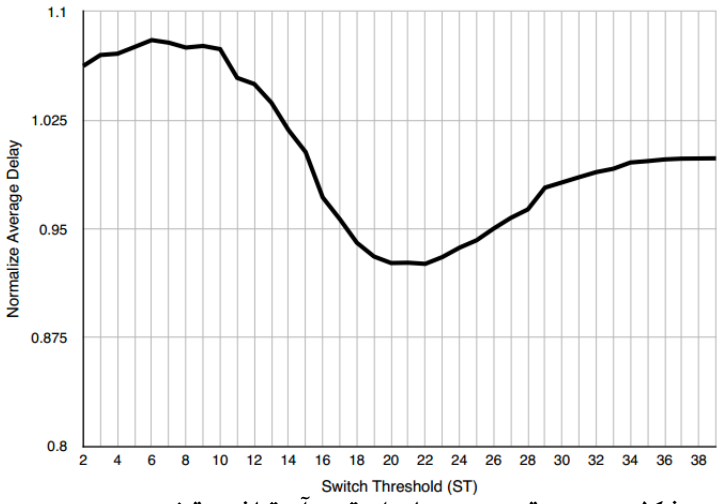
شکل ۵-۴: نمونه‌ای از اثر تخریبی روش 3DCAM روی کلاس همشنوایی

وجود می‌آورد. طبق جدول ۵-۴، این میزان خازن کلاس 5C را به وجود می‌آورد. با اعمال روش 3DCAM در این مثال، همان‌طور که در ستون مقابل آن مشخص است، تغییر ندادن گذرگاه قربانی منجر به تشکیل خازنی به اندازه‌ی $C_{eff} = 4 \times 1 \times 1.5C_\beta + 4 \times 1 \times 1C_\beta$ می‌شود که طبق جدول ، کلاس همشنوایی 19C را به وجود خواهد آورد. پس می‌توان نتیجه گرفت که

[۱] Switch Threshold

در همه‌ی حالات روش 3DCAM کارایی موردنیاز را نخواهد داشت.

برای بررسی دقیق‌تر حالاتی که مقرون‌به‌صرفه بودن اعمال روش 3DCAM را به خطر می‌اندازند باید اضافه کرد حالاتی منجر به این شرایط خواهند شد که اکثریت همسایگان سیم قربانی دارای تغییر در دو داده متوالی باشند. برای حل این مسئله، در این پژوهش پارامتری به نام آستانه تغییر معرفی شده است که روش 3DCAM بر اساس آن به تصمیم‌گیری در رابطه با تغییر و یا عدم تغییر قربانی خواهد پرداخت به این صورت که اگر کلاس همشنوایی از این آستانه بیشتر باشد قربانی بدون تغییر خواهد بود و سیگنال کنترل ۱ خواهد شد و در غیر این صورت داده اصلی ارسال خواهد شد و نیازی به ۱ کردن کنترل نیست. برای به دست آوردن مقدار بهینه آستانه، با انجام آزمایشی سعی در پیدا کردن آن شده است. در این آزمایش شرط تغییر و یا عدم‌تغییر را روی کلاس‌های همشنوایی از ۰ تا ۳۹ به ازای میزان بهبود تأخیر نرمال شده به دست آورده‌ایم. همان‌طور که در شکل ۵-۵ مشخص است، برای بسته‌های محک

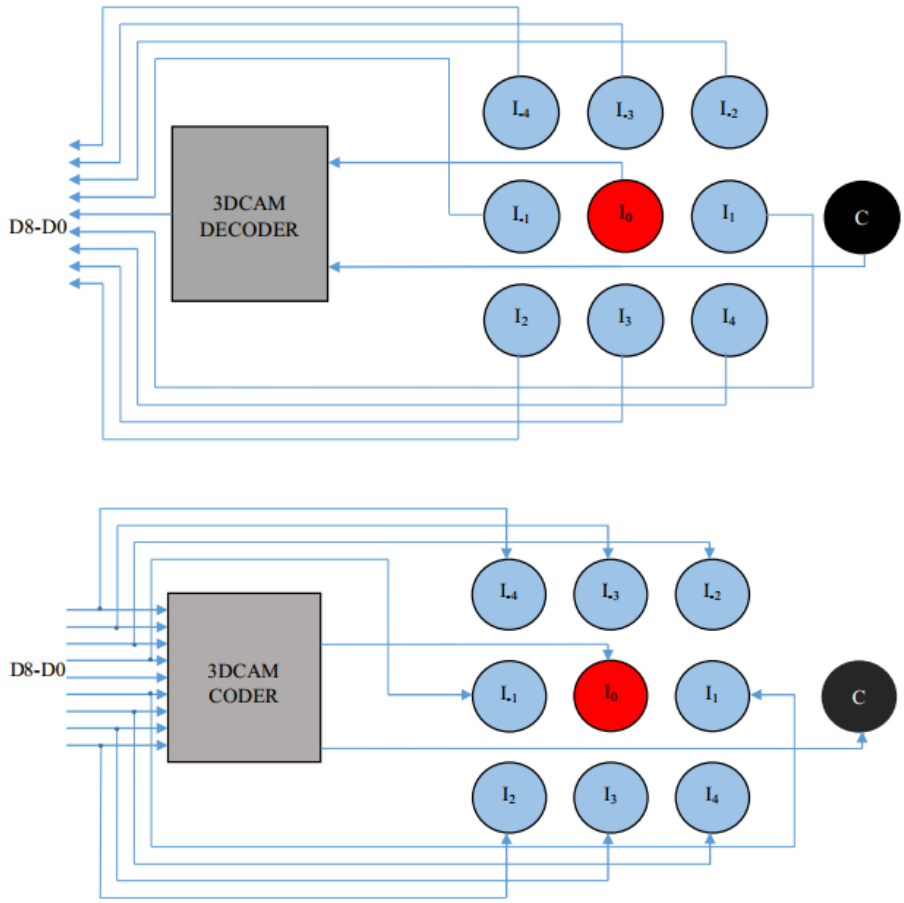


شکل ۵-۵: تعیین پارامتر آستانه تغییر

SPEC2006 مقدار این پارامتر کلاس20C به دست آمد که این عدد از جهت شهود نیز قابل‌درک خواهد بود چراکه کلاس ۲۰، مجموعه کلاس‌های همشنوایی در مدل ارائه‌شده را به دو قسمت تقسیم می‌کند.

۵-۲-۲- طراحی رمزگذار و رمزگشا در *3DCAM*

شکل ۵-۷ طراحی واحدهای رمزگذار و رمزگشای 3DCAM را نشان می‌دهد. به منظور ارسال ۹ بیت داده از لایه X به Y، ابتدا این داده باید به واحد رمزگذار تحویل داده شود. سپس این واحد میزان اغتشاش همشنوایی را بر اساس مدل ارائه‌شده محاسبه می‌کند و با توجه به پارامتر آستانه به تغییر دادن و یا ثابت نگه داشتن داده‌ی گذرگاه قربانی اقدام خواهد کرد یا به عبارتی اگر پارامتر آستانه ارضا شد، تغییر در داده‌ی قربانی را حذف می‌کند و درعین‌حال سیگنال کنترل را فعال می‌کند. در سمت لایه Y، رمزگشا کار ساده‌تری را در پیش خواهد داشت چراکه با دریافت قربانی و سیگنال کنترل تصمیم به قبول کردن داده و یا معکوس کردن آن می‌گیرد که با یک مدار بسیار ساده قابل پیاده-سازی خواهد بود.



شکل ۵-۶: معماری واحدهای رمزگذار و رمزگشای 3DCAM.

۵-۲-۳- سربار استفاده از گذرگاه عمودی *3DCAM*

به دلیل استفاده از سیگنال‌های کنترلی، مجبور خواهیم بود تا از تعدادی گذرگاه عمودی به تعداد قربانی‌ها به مدار اضافه کنیم. در نتیجه همان‌طور که در شکل ۵-۳ نشان داده شده است، 3DCAM از سرباری حدوداً به اندازه‌ی ۳۰ درصد در گذرگاه‌های عمودی رنج خواهد برد که در مقایسه با کارهای پیشین به طور قابل‌ملاحظه‌ای کمتر است که خود نقطه قوت این روش به حساب می‌آید. همچنین سربار ناشی از رمزگذار و رمزگشا در مقابل ابعاد و اندازه‌ی گذرگاه‌های عمودی بین‌لایه‌ای بسیار ناچیز است که در فصل آینده به آن اشاره خواهیم کرد.

۵-۳- کاهش اشکال همشنوایی بر اساس نوآرایی داده‌ها (*CRDR*[۱])

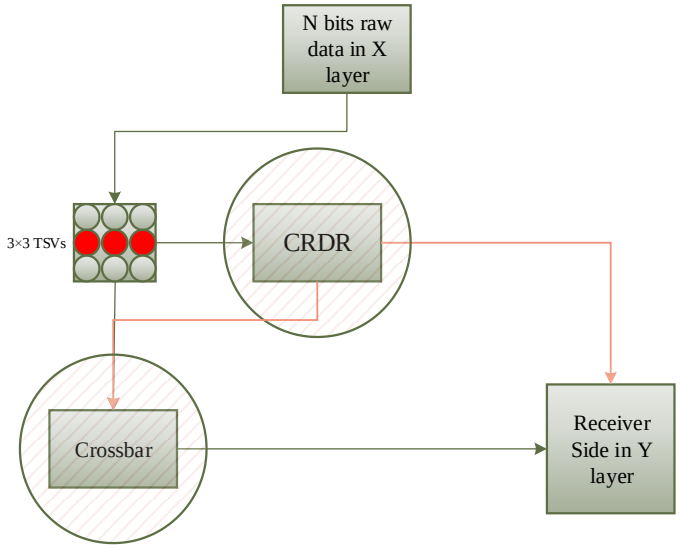
روش دیگری که برای کاهش اشکال همشنوایی در شبکه‌های روی تراشه و مدارهای مجتمع سه‌بعدی در این پژوهش ارائه خواهد شد با استفاده از فرآیند جایگزینی مجدد داده‌های گذرگاه‌های عمودی، به کاهش اغتشاش همشنوایی در مدار کمک خواهد کرد.

در این بخش، به بررسی مزیت‌ها و معایب روش پیشنهادی دوم (CRDR) خواهیم پرداخت. با توجه به مدل ارائه‌شده در بخش اول این فصل، در CRDR نیز از دسته‌های نه‌تایی از گذرگاه‌های عمودی استفاده خواهد شد. اساس این روش بر نوآرایی داده‌ها روی گذرگاه‌ها با در نظر گرفتن شرایط اشکال همشنوایی است. با توجه به این مسئله، طرح کلی روش CRDR در شکل نشان داده شده است.

همان‌طور که در شکل ۵-۸ نشان داده شده است، ابتدا داده‌هایی که قرار است از لایه x به سمت لایه y انتقال داده شوند، در میانگیرهای موجود در راه‌گزین‌های لایه x قرار می‌گیرند، سپس واحد CRDR به اندازه‌گیری میزان اغتشاش همشنوایی با توجه به مدل ارائه‌شده خواهد پرداخت و با دادن سیگنالی به واحد کراسبار نحوه چینش نهایی داده‌ها را برای ارسال به لایه‌ی y مشخص خواهد کرد. همزمان با ارسال این سیگنال کنترلی، سیگنال دیگری از طریق این واحد به سمت رمزگشا در گیرنده ارسال خواهد شد تا بازیابی داده‌های اصلی توسط این بخش انجام گیرد. برای درک عمیق‌تر از نحوه‌ی تصمیم‌گیری و عملکرد واحد CRDR نیازمند تعریف ماتریس‌های مشخصی هستیم. در ابتدا

[۱] Crosstalk Reduction in TSV-Based 3D ICs through Data Rearrangement

دو ماتریس از داده‌های متوالی را در زمان‌های τ_1 و τ_2 به صورت زیر تعریف می‌کنیم.



شکل ۵-۷: نمای کلی روش پیشنهادی CRDR

$$\tau_1 = \begin{vmatrix} d_1 & d_1 & c_1 \\ d_1 & e_1 & f_1 \\ g_1 & h_1 & i_1 \end{vmatrix} \qquad \tau_2 = \begin{vmatrix} a_2 & b_2 & c_2 \\ d_2 & e_2 & f_2 \\ g_2 & h_2 & i_2 \end{vmatrix}$$

در ادامه ماتریس انتقال که نشان‌دهنده گذار روی هر گذرگاه است از طریق دو ماتریس بالا به دست می‌آید. نحوه‌ی نمایش درایه‌های این ماتریس به این شکل خواهد بود که اگر گذاری از صفر به یک انجام شود با ↑، اگر گذاری از یک به صفر تجربه شود با ↓ و اگر گذاری رخ ندهد با – مشخص می‌شود. این ماتریس را با δ نمایش می‌دهیم. پس از به دست آوردن ماتریس δ نیاز به یک ماتریس وزنی ω خواهیم داشت که نحوه‌ی به دست آوردن آن به شکل زیر است:

- برای هر درایه در ω، اگر همسایه‌های درایه معادل آن در δ در خلاف جهت آن گذاری داشت، ۲ واحد برای آن در نظر می‌گیریم.

- برای هر درایه در ω، اگر همسایه‌های درایه معادل آن در δ هم‌جهت آن گذاری داشت، هیچ وزنی را به آن اختصاص نخواهیم داد.
- برای هر درایه در ω، اگر همسایه‌های درایه معادل آن در δ هیچ گذاری به وجود نیامد ولی خود درایه گذاری داشت وزن ۱ را به آن اختصاص خواهیم داد.
- برای هر درایه در ω، اگر همسایه‌های درایه معادل آن در δ هیچ گذاری به وجود نیامد و همچنین خود درایه گذاری نداشت هیچ وزنی را به آن اختصاص نخواهیم داد.

برای مثال، ω را برای دو ماتریس τ_1 و τ_2 به دست می‌آوریم :

$$\tau_1 = \begin{vmatrix} 1 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 1 & 0 \end{vmatrix} \quad , \quad \tau_2 = \begin{vmatrix} 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \end{vmatrix}$$

$$\delta = \begin{vmatrix} \downarrow & \uparrow & \uparrow \\ \uparrow & \downarrow & - \\ - & - & \uparrow \end{vmatrix}$$

و در ادامه ماتریس وزنی مثال بالا به صورت زیر خواهد بود

$$\omega = \begin{vmatrix} 4 & 5 & 3 \\ 6 & 9 & 4 \\ 2 & 3 & 4 \end{vmatrix}$$

در ادامه نحوه‌ی تصمیم‌گیری در مورد چینش داده‌ها را بررسی خواهیم کرد. ماتریس ω، وزنِ نوعی را برای هر گذرگاه با توجه به تعریف ارائه شده نشان می‌دهد. روش CRDR با محاسبه‌ی مجموع وزن هر سطر در ماتریس ω به

جابجایی سطر قربانی با سطری که دارای مجموع وزن کمترین باشد می‌پردازد. سطر قربانی، سطری است که طبق مدل همشنوایی ارائه شده از جهت‌های بالا و پایین محاصره شده است به عبارتی دیگر سطر وسط که در شکل ۵-۸ با رنگ قرمز نمایش داده شده است را سطر قربانی می‌نامیم. در مثال بالا، سطر اول دارای مجموع وزن ۱۲، سطر قربانی ۱۹ و سطر سوم دارای وزن ۹ است. در نتیجه CRDR سطر سوم را به عنوان جایگزین سطر قربانی انتخاب خواهد کرد که ماتریسδمربوط به داده‌ی رمز شده توسط CRDR که با δ^* نشان می‌دهیم به صورت خواهد شد.

$$\delta^* = \begin{vmatrix} \downarrow & \uparrow & \uparrow \\ - & - & \uparrow \\ \uparrow & \downarrow & - \end{vmatrix}$$

با توجه به چینش جدید داده‌ها توسط CRDR می‌توان میزان تأثیرگذاری این روش را موردبررسی قرار داد. طبق مدل ارائه‌شده در ابتدای فصل، در ماتریس انتقال δ و δ^*، خازن تزویج به صورت زیر به دست می‌آید.

$$C_{eff_\delta} = 2 \times 1.5 \times 2 + 2 \times 1 \times 2 + 2 \times 1.5 \times 1 + 1 \times 1 \times 1 = 14$$

$$C_{eff_{\delta^*}} = 3 \times 1.5 \times 1 + 3 \times 1 \times 1 = 7.5$$

همان‌طور که ملاحظه می‌شود قبل از اعمال CRDR داده-های روی گذرگاه کلاس همشنوایی ۲۷ را به وجود می‌آوردند اما پس از اعمال روش، کلاس همشنوایی به ۱۴ تقلیل پیدا کرده است.

به منظور جابجا نمودن داده‌های هر ستون نیاز به یک کراس‌بار خواهیم داشت. واحد کراس‌بار در روش CRDR اندازه‌ای به مراتب کوچکتر نسبت به واحد مشابه استفاده‌شده در [24] دارد به طوری که برای یک دسته داده

۳×۳ در روش پیشنهادی نیاز به ۳ کراسبار با اندازه-ی۳×۳ است اما برای همین دسته داده در روش [24] به یک کراسبار به اندازه‌ی ۹×۹ نیاز است. دلیل این امر جابجایی داده‌ها در یک ستون است به طوری که داده موجود در [0,0] فقط توانایی جابجایی با درایه‌های [1,0] و [2,0] را خواهد داشت اما در روش [24] هر درایه می‌تواند با هر کدام از ۸ داده‌ی دیگر موجود در دسته تعویض شود.

با توجه به نکات عنوان شده، CRDR نیاز به فرآیندی برای اطلاع‌رسانی به رمزگشا در سمت گیرنده خواهد داشت تا در صورت بازآرایی داده‌ها توسط خود بتواند داده‌ها را به حالت اولیه بازگرداند. برای اطلاع‌رسانی جابجایی سه سطر با یکدیگر نیاز به دو بیت خواهیم داشت که دو گذرگاه عمودی را مطالبه می‌کند.

مطابق مطالب گفته‌شده در بالا، طرح کلی واحدهای رمزگذار و رمزگشا از سادگی خاصی برخوردار است که در این مورد همانند روش 3DCAM است. در قسمت رمزگشا این سادگی بیشتر به چشم می‌آید، جایی که با دریافت دو بیت کنترل‌کننده، با جابجایی داده‌ها از طریق کراسبار تعبیه‌شده اقدام می‌نماید.

فصل ششم

۶- ارزیابی و تحلیل نتایج

در این فصل به ارزیابی و تحلیل نتایج روش‌های ارائه‌شده در فصل قبل خواهیم پرداخت. همان‌گونه که در فصل روش پیشنهادی ذکر شد، دو رویکرد برای کاهش اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی مطرح شد. رویکرد اول، با نام 3DCAM و رویکرد دوم با نام CRDR، که هر دو روش به کاهش اشکال همشنوایی بر اساس مدل همشنوایی ارائه‌شده می‌پردازند. در ابتدا به بررسی محیط شبیه‌سازی برای استخراج جریان داده و سپس به نتایج روش پیشنهادی 3DCAM خواهیم پرداخت و در ادامه روش CRDR را موردتوجه قرار خواهیم داد.

۶-۱- معرفی شبیه‌سازهای مورد استفاده

به منظور استخراج جریان داده‌های واقعی انتقالی بین حافظه و پردازنده از شبیه‌ساز gem5 در این پژوهش استفاده می‌شود [۸۸]. شبیه‌ساز gem5 به علت حمایت از پردازنده‌ها و معماری‌های دستورالعمل[۱] متفاوت، پشتیبانی خوب و دقت مناسب، در سال‌های اخیر بسیار موردتوجه محققان قرار گرفته است. در این پژوهش از مدل پردازنده‌های ARM به منظور شبیه‌سازی در محیط gem5 استفاده شده است. تنظیمات کلی برای استخراج داده‌های موردنیاز در جدول ۶-۱مشاهده می‌شود.

برای استخراج داده، نیاز به انتخاب یک مجموعه بسته محک واقعی به منظور اعتمادبخشی به نتایج به دست آمده احساس می‌شده است چراکه جریان داده‌های سنتز شده در کاربردهای واقعی امکان خطا را خواهند داشت. برای این منظور از مجموعه بسته‌های محک SPEC2006 [۸۹] استفاده‌شده است. از بین بسته‌های موجود در آن، بسته‌های *gcc*، *mcf*، *namd*، *soplex*، *h264*، *omnetpp*، *xalancbmk*، *perlbench2*، *bwaves*، *cactusADM*، *dealII*، *lbm*، و *aster* استفاده‌شده است. سعی بر آن بوده است که از اکثر این بسته‌های موجود در SPEC2006 استفاده شود تا عمومیت روش موردقبول باشد.

جدول ۶-۱: تنظیمات کلی مربوط به grm5

نام المان	تنظیمات
فرکانس پردازنده	۱ گیگاهرتز
نوع پردازنده	Arm-detailed
تعداد هسته	۱

[۱] Instruction Set Architecture

به منظور به دست آوردن اطلاعات مفید از کلاس‌های همشنوایی بر اساس مدل ارائه‌شده در این پژوهش نیاز به طراحی یک ابزار تحلیل‌گر[۱] است تا بتواند کلاس همشنوایی هر دسته را به طور جداگانه برای قبل و بعد از اعمال روش گزارش کند که در این پژوهش طراحی و پیاده‌سازی شده است.

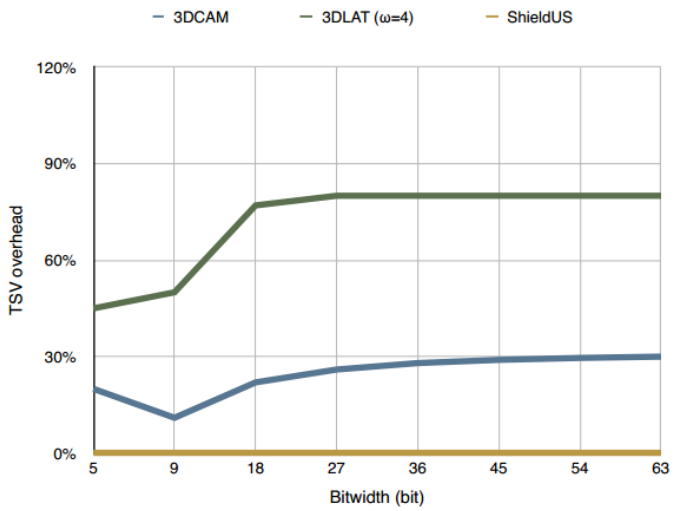
Design Compiler [۹۰] ابزاری است که برای سنتز طراحی‌ها در زبان‌های Verilog و VHDL مورداستفاده قرار می‌گیرد. طرحی که به زبان Verilog پیاده‌سازی می‌شود، توسط این ابزار به سلول‌های استاندارد از کتابخانه سنتز می‌شود. اگر عملیات سنتز به درستی صورت گیرد، تغییری در عملکرد آن به وجود نخواهد آمد. پس از آن‌که طرح موردنظر سنتز شد و از درستی کارکرد آن پس از سنتز اطمینان حاصل شد، می‌توان اطلاعات دقیق‌تری مانند تأخیر مسیر بحرانی، مساحت، توان و سایر اطلاعات مفید را به دست آورد. حتی می‌توان در حین سنتز محدودیت‌هایی اعمال کرد که طرح سنتز شده دارای ویژگی‌های خاصی نظیر حداقل تأخیر، حداقل مساحت و یا توان را داشته باشد. در این پژوهش از این ابزار به منظور به دست آوردن مساحت واحدهای طراحی‌شده استفاده می‌شود. همچنین کتابخانه مورداستفاده ۴۵ نانومتر است.

در تمامی قسمت‌های مربوط به ارزیابی روش‌های پیشنهادی، می‌توان بدون از دست دادن عمومیت، از یک دسته گذرگاه عمودی بین‌لایه‌ای $3 \times N$ استفاده کرد و روش‌های پیشنهادی را بر روی آن موردبررسی قرار داد. در این پژوهش عرض گذرگاه ۶۴ بیت در نظر گرفته شده است و گزارش‌های صورت گرفته بر اساس این فرض خواهد بود.

[۱] Analyzer

۶-۲- سربار مساحت روش *3DCAM*

همان‌طور که در فصل گذشته اشاره شد، روش 3DCAM مساحت سطح تراشه را از دو جهت افزایش می‌دهد، یکی سربار ناشی از گذرگاه‌های عمودی اضافه‌شده به منظور کنترل کردن وضعیت رمزگذار و دیگری سربار ناشی از واحدهای رمزگذار و رمزگشا برای اعمال رویکرد ارائه شده است. در پژوهش-های گذشته به طور کلی سربار ناشی از گذرگاه‌های عمودی بیشتر موردتوجه قرار گرفته است لذا اندازه و ابعاد هر یک از این گذرگاه‌ها بسیار بزرگ بوده و استفاده‌ی بی‌مورد از آن‌ها منجر به افزایش مساحت تراشه و همچنین افزایش گرمای تولید شده خواهد شد. همان‌طور که در شکل ۵-۶ ملاحظه کردید، گذرگاه‌هایی که با رنگ مشکی مشخص شده‌اند همگی وظیفه کنترل کردن رمزگذار و رمزگشا را خواهند داشت. با توجه به موارد گفته شده برای یک دسته از داده‌ها که به صورت شکل ۵-۳ مرتب‌شده‌اند، نیاز به N-2 عدد گذرگاه عمودی خواهیم داشت که سربار مساحت حدود ۳۰ درصدی را به تراشه تحمیل می‌کند. دو روش مطرح‌شده به عنوان مبنای مقایسه که با نام‌های 3DLAT و ShieldUS شناخته می‌شوند که در فصل کارهای پیشین به تفصیل از آن‌ها صحبت کردیم نیز دارای سربار مساحت از این نوع هستند. شکل مقایسه‌ای بین میزان سربار مساحت ناشی از اضافه کردن گذرگاه‌های عمودی روش پیشنهادی 3DCAM با روش‌های 3DLAT و ShieldUS را نشان می‌دهد. همان‌طور که مشخص است سربار ناشی از گذرگاه‌های عمودی برای روش 3DCAM در مقایسه با روش 3DLAT بسیار کمتر است اما سربار روش ShieldUS صفر گزارش شده است. دلیل این امر استفاده نکردن ShieldUS از هیچ فرآیند تصدیقی است.



شکل ٦-١: مقایسه سربار گذرگاه‌های عمودی در سه روش 3DCAM، ShieldUS و 3DLAT

سربار ناشی از واحدهای رمزگذار و رمزگشا نیز در این پژوهش مورد ارزیابی و بررسی قرار گرفته است. واحدهای رمزگذار و رمزگشای روش 3DCAM بسیار ساده بوده و مساحت گزارش‌شده توسط ابزار سنتز نیز این ادعا را تأیید می‌کند. همان‌طور که در جدول ۶-۲ نمایش داده شده است سربار واحدهای رمزگذار و رمزگشای روش 3DCAM در بین روش‌های مطرح‌شده‌ی پیشین بسیار کم است. همان‌طور که ارائه‌کنندگان 3DLAT اشاره کرده‌اند، سربار رمزگذار و رمزگشا در روش آن‌ها $4264\mu m^2$ است که به دلیل استفاده از مقایسه کننده‌های بسیار بزرگ و زیاد است. همچنین روش ShieldUS در این پژوهش مورد ارزیابی قرار گرفت اما با این‌که این روش هیچ سرباری ناشی از گذرگاه‌های عمودی نداشت ولی به دلیل استفاده از یک کراسبار ۹×۹، سربار بسیار بزرگی را به مدار اعمال می‌کند. توجه داریم که در این ارزیابی برای ShieldUS فقط کراسبار ۹×۹ پیاده‌سازی و سنتز شده است که سربار همین واحد دو برابر کل روش 3DCAM است. تمامی پیاده‌سازی‌ها با فنّاوری $45nm$ و در نظر گرفت اصول

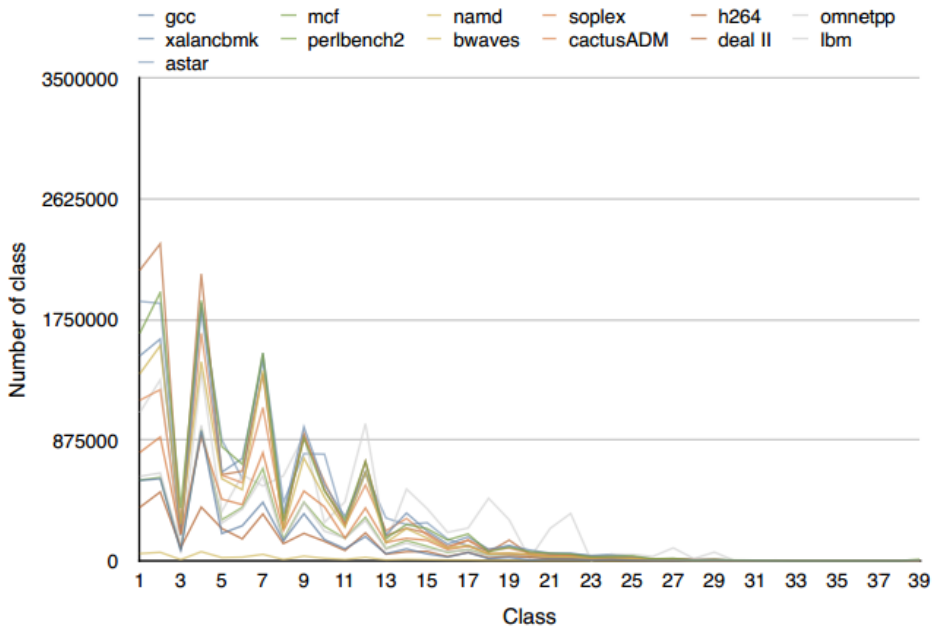
منصفانه بودن انجام شده است و از ابزار Design Compiler برای استخراج مساحت استفاده‌شده است.

جدول ۶-۲: سربار مساحت سه روش 3DCAM، ShieldUS و 3DLAT

روش کاهش اشکال همشنوایی	مساحت μm^2
فقط واحد کراسبار ShieldUS	218
3DLAT	4264
3DCAM	116

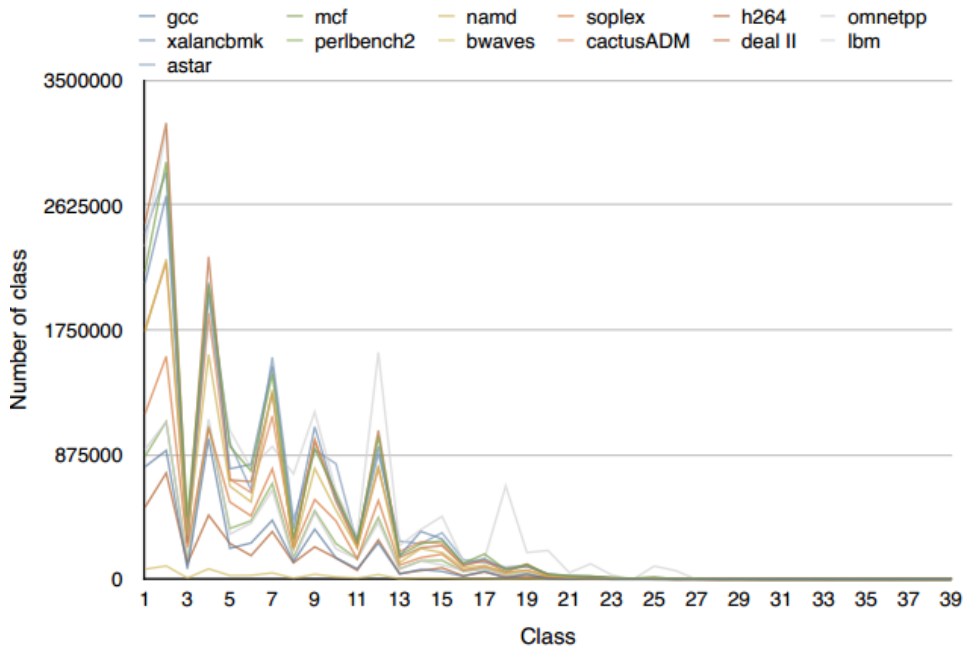
۶-۳- ارزیابی فرکانس کلاس‌های همشنوایی *3DCAM*

همان‌طور که در قسمت ارائه مدل همشنوایی عنوان شد، کاهش اشکال همشنوایی را می‌توان با کاهش نرخ رخداد هر یک از کلاس‌های همشنوایی بیان نمود. هر یک از کلاس‌های ارائه‌شده به نسبت خازن تزویج خود میزانی از اغتشاش همشنوایی را بین گذرگاه‌های عمودی تحمیل می‌کنند. هرچه این کلاس‌های همشنوایی از درجه بزرگتری باشند، میزان اغتشاش در آن تراشه بیشتر خواهد بود.



شکل ٦-۲: فرکانس رخداد کلاس‌های همشنوایی قبل از اعمال 3DCAM

اطلاعات دریافتی از gem5، مربوط به داده‌های منتقل‌شده بین حافظه و پردازنده بوده‌اند. برای ارزیابی روش 3DCAM، از یک شبیه‌ساز که قابلیت به دست آوردن تعداد هر یک از کلاس‌های همشنوایی را بر مبنای مدل ارائه‌شده از کلاس صفر تا کلاس ۳۹ دارد استفاده شده است. شبیه‌سازی برای بسته‌های مطرح‌شده انجام شده است و رخداد کلاس‌های همشنوایی مربوط به هر کلاس همشنوایی بسته‌های مطرح‌شده در قبل و بعد اعمال 3DCAM در شکل‌های ۶-۲ و ۶-۳ نشان داده شده است. همان‌طور که مشاهده می‌شود، در نمودار ۶-۲ فرکانس رخداد کلاس‌های همشنوایی بیشتر به سمت کلاس‌های با درجه بالاتر متمایل است که این نتایج مربوط به داده خام انتقالی بین پردازنده و حافظه است. پس از اعمال روش پیشنهادی 3DCAM در شکل ،مشاهده می‌شود که فرکانس رخداد کلاس‌های همشنوایی به سمت کلاس‌های از مرتبه پایین‌تر متمایل شده است. با این حساب، تعداد الگوهای کلاس‌های از درجه پایین بیشتر شده است ولی درعین‌حال از رخداد کلاس-های از درجه بالاتر همشنوایی کاسته شده است.

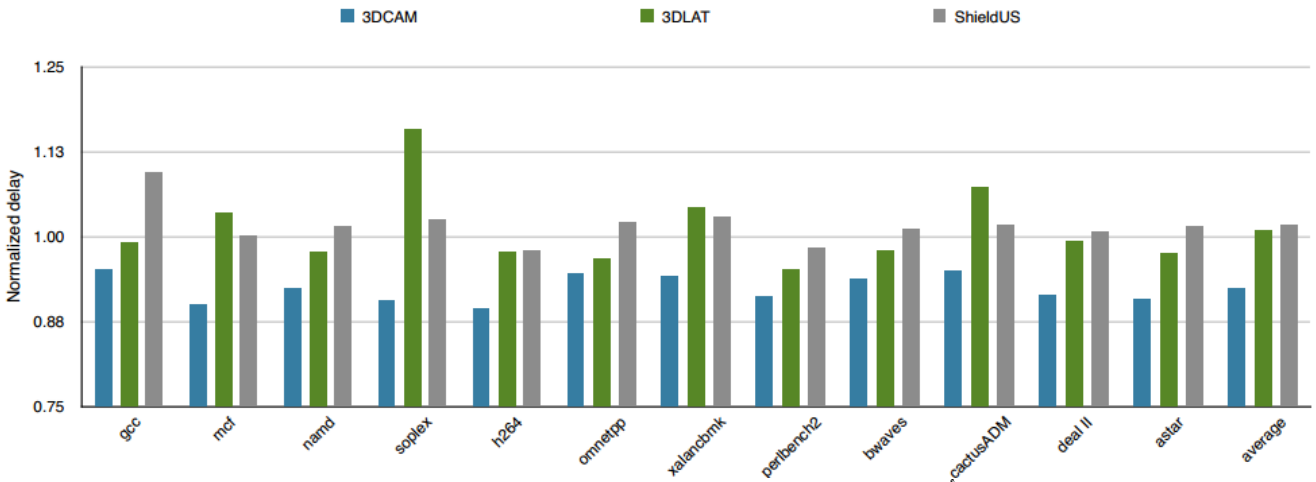


شکل ۶-۳: فرکانس رخداد کلاس‌های همشنوایی بعد از اعمال 3DCAM

۶-۴- تحلیل بهبود تأخیر روش *3DCAM*

یکی از مهم‌ترین تأثیرات کاهش اغتشاش همشنوایی، کم شدن تأخیر کلی مدار و در نتیجه زمان‌بندی مطمئن‌تر برای مدار است. شکل ۶-۴ تأخیر انتقال برای محک‌های مختلف را نشان می‌دهد. تأخیر انتقال در این پژوهش بیشترین کلاس همشنوایی در یک دسته داده در نظر گرفته شده است. تمامی تأخیرها به موردی که هیچ روشی برای کاهش اشکال همشنوایی استفاده نشده باشد نرمال شده است. همان‌طور که در شکل مشخص است، 3DCAM توانایی کاهش تأخیر به اندازه‌ی ۹ درصد نسبت به حالت بدون رمزگذاری را دارد و در بهترین حالت 3DCAM توانایی کاهش تأخیر به اندازه‌ی ۲۵.۷ درصد در بسته‌ی *soplex* نسبت به 3DLAT از خود نشان داده است. از آنجایی که روش 3DLAT($\omega = 4$) سعی دارد رمز کردن داده‌ها را طوری انجام دهد که داده‌ی خروجی کلاس همشنوایی کمتر از 23C را نداشته باشد، (طبق مدل

ارائه‌شده در این پژوهش)، در بسته‌های محکی که اکثریت دسته‌های آن دارای الگوهای با



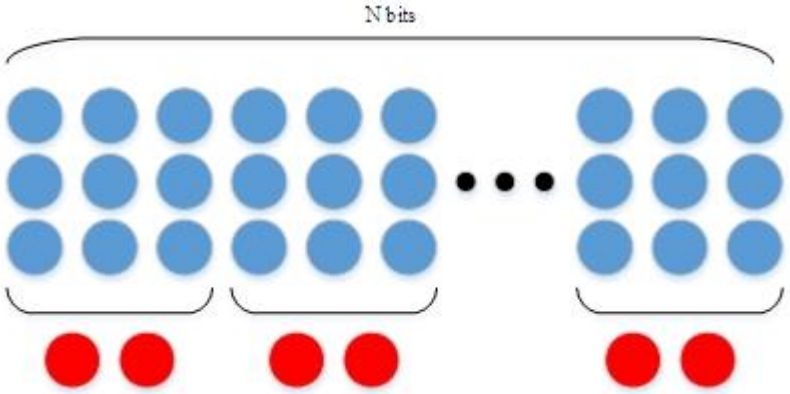
شکل ٦-٤: تأخیر استاندارد شده روش‌های 3DCAM، ShieldUS و 3DLAT

درجه پایین همشنوایی هستند، مخرب خواهد بود و نه‌تنها موجب بهبود تأخیر نمی‌شود بلکه به افزایش آن کمک خواهد کرد. از آنجایی که در بسته محک *soplex* اکثر الگوها را کلاس‌های پایین همشنوایی تشکیل می‌دهند -که از میانگین کلاس‌های همشنوایی خروجی 3DLAT کمتر است- موجب می‌شود تا این روش عملکرد خوبی نداشته باشد. در رابطه با روش ShieldUS نیز مشاهده می‌شود که نمی‌تواند تأخیر را در بسته-های محک آزمایش‌شده کاهش دهد چراکه این روش برای کارا بودن نیاز به جریان داده‌های مشابه دارد. شکل ۶-۴ تأخیر نرمال شده را برای روش پیشنهادی 3DCAM و دو روش 3DLAT و ShieldUS به ازای ۱۲ بسته محک نشان می‌دهد.

۶-۵- سربار مساحت روش *CRDR*

در قسمت قبل برای بررسی سربار مساحت روش پیشنهادی 3DLAT دو عامل اصلی را معرفی نمودیم، یکی سربار ناشی از اضافه کردن گذرگاه‌های عمودی به منظور کنترل کردن

رمزگذار و رمزگشا و دیگری سربار ناشی از پیاده‌سازی واحدهای رمزگذار و رمزگشا. برای روش CRDR نیز این روند را پیش خواهیم گرفت. همان‌طور که از ماهیت روش CRDR مشخص است برای تعویض دو سطر از



شکل ٦-٥: سربار گذرگاه عمودی روش CRDR

ماتریس δ نیاز به دو بیت برای هر دسته از داده‌ها خواهیم داشت لذا همان‌طور که در شکل مشاهده می‌شود سربار ناشی از اضافه کردن گذرگاه‌های عمودی حدود ۶۰ درصد است که در مقایسه با روش 3DCAM بیشتر است اما همچنان از روش‌های پیشین کمتر است.

در قسمت قبل گفته شد که روش ShieldUS نیازمند یک کراس-بار بسیار بزرگ به منظور جابجایی داده‌ها است. در رابطه با واحدهای رمزگذار و رمزگشا در روش پیشنهادی CRDR باید در نظر داشت که همانند روش ShieldUS نیاز به یک کراس‌بار برای جایگزینی دو سطر در یک دسته است، درحالی‌که در ShieldUS این کراس‌بار باید به اندازه‌ی ۹×۹ باشد که بسیار بزرگتر از کراس‌بار مورد استفاده در روش CRDR است. دیگر واحدهای CRDR همانند 3DCAM دارای طراحی بسیار ساده می‌باشند. با طراحی واحدهای رمزگذار و

رمزگشا و سنتز آن‌ها به جدول ۶-۳ خواهیم رسید که مساحت روش CRDR را مشخص خواهد کرد. همان‌گونه که مشخص است سربار مساحت ناشی از واحدهای رمزگذار و رمزگشا نیز در این روش از مابقی روش‌ها کمتر و از 3DCAM بیشتر است. در تمامی سنتزها از فن‌آوری ۴۵ نانومتر استفاده شده است.

جدول ۶-۳: مساحت روش‌های 3DCAM، ShieldUS، 3DLAT و CRDR

روش کاهش اشکال همشنوایی	مساحت μm^2
فقط واحد کراسبار ShieldUS	218
3DLAT	4264
3DCAM	116
CRDR	226

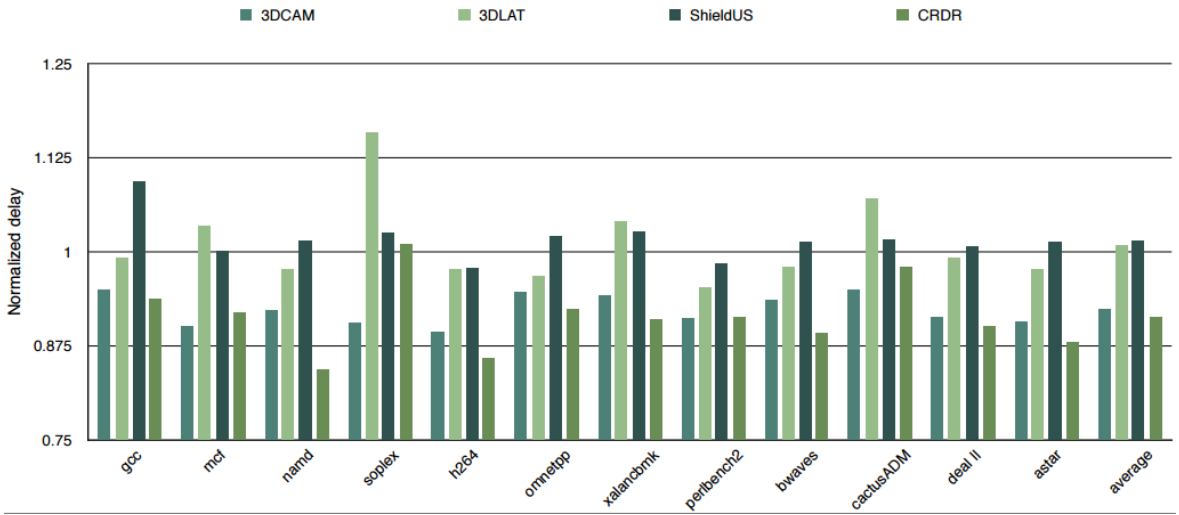
۶-۶- ارزیابی فرکانس کلاس‌های همشنوایی *CRDR*

با توجه به اعمال روش پیشنهادی، همانند بخش قبل نیاز به بررسی فرکانس رخداد کلاس‌های همشنوایی احساس می‌شود چراکه مشخص‌کننده‌ی میزان کاهش اغتشاش همشنوایی و تأثیرگذاری روش ارائه شده است. شکل‌های ۶-۶ و۶-۷ فرکانس رخداد این کلاس‌ها را در دسته‌های داده برای قبل از اعمال روش و بعد از آن نشان می‌دهد. همان‌گونه که انتظار می‌رود، نمودار حالت بعد از اعمال CRDR به سمت کلاس‌های با درجه پایین متمایل شده است که نشان‌دهنده‌ی کاهش اغتشاش همشنوایی است. اما با مقایسه نتایج حاصل از پیاده‌سازی CRDR با روش 3DCAM مشخص می‌شود که تجمیع بیشتری در سمت کلاس‌های همشنوایی از مرتبه پایین وجود دارد. دلیل این

امر را می‌توان در اعمال بی چون‌وچرای این روش دانست جایی که در روش 3DCAM، با اعمال روش امکان بدتر شدن اوضاع حتی بعد از پارامتر آستانه نیز وجود دارد اما در CRDR همواره بهترین جانمایی بین سطرهای یک دسته انتخاب می‌شود لذا این تجمع کلاس‌های از درجه پایین منطقی است. از طرف دیگر، درصورتی‌که داده‌های متوالی از شباهت خوبی برخوردار باشند می‌توان امیدوار بود تا بهبود در CRDR محسوس‌تر باشد. همان‌طور که مشاهده می‌شود احتمال رخداد کلاس‌هایی که دارای شباهت در تغییرات سیگنال‌های متناوب دارند بسیار بالا است که این مورد به کارایی قابل‌قبول این روش کمک خواهد کرد چراکه CRDR تحت این شرایط عملکرد مطلوبی خواهد داشت.

۶-۷- تحلیل بهبود تأخیر روش *CRDR*

برای بررسی میزان بهبود تأخیر گذرگاه‌های عمودی بین-لایه‌ای پس از اعمال روش CRDR همان سناریویی را که برای 3DCAM در نظر گرفته شد، انجام گرفت. شکل ۶-۸ برای بسته‌های محک اشاره شده، میزان بهبود CRDR را نسبت به روش‌های پیشین و همچنین روش 3DCAM نشان می‌دهد. تأخیر گزارش‌شده به حالت بدون اعمال هیچ روشی نرمال شده است.



شکل ۶-۶: تأخیر روش‌های 3DCAM، ShieldUS، 3DLAT و CRDR

فصل هفتم

۷- جمع‌بندی، نتیجه‌گیری و کارهای آتی

با توجه به و کاهش اندازه‌ی فناوری ساخت به‌کاررفته در شبکه‌های روی تراشه، چالش‌های زیادی از منظر قابلیت اطمینان، این نوع شبکه‌ها را تهدید می‌کند. ازاین‌رو بحث قابلیت اطمینان در شبکه‌های روی تراشه از اهمیت فراوانی برخوردار است. یکی از چالش‌های اصلی قابلیت اطمینان در شبکه‌های روی تراشه، اشکال همشنوایی است که با کاهش اندازه‌ی فناوری ساخت و نزدیک شدن گذرگاه‌های ارتباطی، احتمال چنین خطاهایی نیز بیشتر خواهد شد.

با افزایش نیاز به قدرت پردازشی بالا و پیچیده‌تر شدن کاربردهای پردازشی نیاز به یک معماری قدرتمند به منظور تأمین نیاز پردازشی و همچنین تضمین پهنای گذرگاه است. این نیاز منجر شده تا شبکه‌های روی تراشه دوبعدی به منظور ارتباط دهی بین هسته‌های پردازشی که در آینده-

ای نه‌چندان دور تعدادشان به صدها هسته خواهد رسید، به اندازه کافی قابل اتکا و اطمینان نباشند

با ترکیب مجتمع‌سازی سه‌بعدی و مفهوم شبکه‌های روی تراشه می‌توان از قابلیت‌ها و مزایای هر کدام به‌صورت مفیدی استفاده نمود. با توجه به کاهش طول اتصالات سراسری بین واحدهای مختلف شبکه به دلیل سه‌بعدی‌سازی، زمان ارسال بسته‌های داده بسیار کاهش یافته است. در این نوع شبکه روی تراشه، لایه‌های مختلف سیلیکون با قرار گرفتن روی هم امکان مجتمع‌سازی بالاتر با چگالی بیشتر را فراهم می‌کنند. از آنجا که به‌کارگیری فن‌آوری‌های در مقیاس نانو در ساخت سامانه‌های روی تراشه منجر به آسیب-پذیری آن‌ها نسبت به منابع اختلال و اشکال می‌شود، طراحان باید اصول قابلیت اطمینان و مقاومت سامانه‌های روی تراشه را بیش از گذشته به‌کارگیرند.

با توجه به تغییر مقیاس ادوات الکترونیکی، نزدیک شدن عناصر پردازشی به هم، بالا رفتن چگالی سیم‌ها و کاهش دامنه‌ی ولتاژ منبع تغذیه، اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی به یکی از مهم‌ترین چالش‌های طرّاحی تبدیل شده است، تمرکز اصلی ما در این پایان‌نامه بر مدل اِشکال خطای همشنوایی است. با ورود به بعد سوم محدودیت‌هایی در ساخت و طرّاحی شبکه روی تراشه باید مورد بررسی قرار بگیرد از جمله تأخیر در گذرگاه‌های عمودی [۷۹] سربار مساحتی اعمال شده توسط گذرگاه‌های عمودی [۵۸] پدیده‌ی مهاجرت الکترونی[۱]، توان مصرفی، تبادل دمایی بین لایه‌های مختلف و اِشکال همشنوایی در گذرگاه‌های عمودی.

[۱] Electromigration

با توجه به میزان اهمیت مقابله با اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی، باید رویکردهایی برای افزایش قابلیت اطمینان در کانال‌ها و کاهش اشکال همشنوایی در نظر گرفته شود. برای بررسی بیشتر این موضوع، در این پژوهش سعی در مرور کارهای انجام شده برای کاهش اشکال همشنوایی مدارات مجتمع و شبکه‌های روی تراشه سه‌بعدی در برابر اشکال همشنوایی خواهیم داشت که به طور متمرکز، کاهش این اثرات روی گذرگاه‌های عمودی بین‌لایه‌ای که پیش‌تر از مشخصات آن‌ها سخن گفته‌ایم را بررسی خواهیم کرد.

روش‌هایی که برای مقابله با اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی و مدارات مجتمع سه‌بعدی تاکنون به کاررفته‌اند را می‌توان به روش‌های سطح فیزیکی- لایه‌بندی، روش‌های مبتنی بر حفاظگذاری و روش‌های مبتنی بر رمزگذاری تقسیم کرد.

در این پژوهش، سعی شد که با استفاده از روش‌های مختلف و با رویکردهای مختلف به کاهش اثرات خطاهای همشنوایی پرداخته شود. همچنین با معرفی مدلی برای اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی سعی شد تا دقت مدل‌های پیشین را افزایش داد.

با توجه به میزان اهمیت بررسی اشکال همشنوایی در شبکه‌های روی تراشه سه‌بعدی، رویکردهایی برای بررسی آن در پژوهش‌های مختلف به انجام رسیده است که در بخش گذشته به آن پرداختیم. به منظور ارائه رویکردهایی برای کاهش اغتشاش همشنوایی بین گذرگاه‌های عمودی بین‌لایه‌ای، در این

پژوهش راهکارهایی مورد تحقیق قرارگرفته‌اند که این بخش به بررسی دقیق کارایی آن خواهد پرداخت. همان‌طور که در بخش‌های گذشته اشاره شد، به منظور بررسی میزان تزویج خازنی بین گذرگاه‌های عمودی بین‌لایه‌ای نیاز به یک مدل همشنوایی است. علاوه بر آن، مدل استفاده شده هرچه دقیق‌تر باشد منجر به واقعی‌تر شدن نتیجه خواهد شد. در بخش اول، به ارائه یک مدل دقیق و کلاس‌بندی مشخص از همشنوایی بین گذرگاه‌های بین‌لایه‌ای بر پایه‌ی تزویج خازنی خواهیم پرداخت.

بخش دوم این فصل یک روش پیشنهادی با نام 3DCAM به منظور کاهش اشکال همشنوایی شبکه‌های روی تراشه سه‌بعدی را ارائه خواهیم نمود و میزان کارایی آن را با مدل ارائه شده تطبیق خواهیم داد و به بیان نقاط ضعف و قوت آن خواهیم پرداخت.

در قسمت سوم این پژوهش، روش پیشنهادی دوم به منظور کاهش اشکال همشنوایی ناشی از تزویج خازنی بین گذرگاه‌های عمودی بین‌لایه‌ای و همچنین کاهش تأخیر به وجود آمده توسط آن و کاهش زمان انتقال بسته‌ها در شبکه ارائه شده است. همان‌طور که توضیح داد خواهد شد، این روش نیز از مدل کلاس همشنوایی ارائه شده در قسمت اول استفاده خواهد نمود و تفاوت آن با روش پیشنهادی اول در کاربرد آن است.

مکانیسم‌هایی که به منظور افزایش قابلیت اطمینان در شبکه‌های روی تراشه در این پژوهش به کار بردیم به دو بخش کلی تقسیم می‌شوند. بخش اول، به روش‌هایی برای مقابله با خطاهای نرم و خطا های همشنوایی در فلیت‌های سرآیند و بخش دوم نیز به روش‌هایی برای مقابله با خطاهای نرم در دیگر فلیت‌ها تقسیم‌بندی شدند. در روش‌های

مقابله با خطا در فلیت سرآیند، از افزونگی اطلاعاتی و غیر اطلاعاتی استفاده می‌شود که افزونگی اطلاعاتی شامل استفاده از بیت‌های توازن و افزونگی غیر اطلاعاتی نیز مبتنی بر مکانیزم آگاه از انحراف بود که این مکانیزم با بررسی انحراف از مسیر در هر گره به بررسی صحت فلیت سرآیند می‌پردازد. چنانچه خطایی در فلیت سرآیند تشخیص داده‌شود، فلیت سرآیند از گره‌ی قبلی دوباره درخواست می‌شود. هرچه الگوهای خطا در فلیت سرآیند پیچیده‌تر باشد احتمال اینکه مکانیزم آگاه از انحراف بتواند خطا را تشخیص دهد نیز بالاتر است. با این حال، این روش توانایی تشخیص تمامی خطاهای رخداده را ندارد و برای پوشش خطاهایی که توسط مکانیزم آگاه از انحراف قابل تشخیص نیست از افزونگی دو بیت توزان برای فلیت سرآیند استفاده‌شد که یک بیت برای تشخیص خطای بیت‌های زوج و بیت توازن دیگر نیز برای تشخیص خطا در بیت‌های فرد مورد استفاده قرارگرفت. هیچ‌کدام از این دو روش به تنهایی قادر به پوشش اغلب الگوهای خطا نیستند و به نوعی این دو روش به عنوان مکمل یکدیگر عمل می‌کنند، یعنی مکانیزم آگاه از انحراف در تشخیص خطاهایی با الگوهای پیچیده بهتر عمل می‌کند و بیت‌های توازن نیز در تشخیص خطاهایی با الگوهای ساده‌تر بهتر عمل می‌کنند. برای مقابله با خطاهای نرم در فلیت‌های داده نیز از روش‌های برگبرگ‌سازی به همراه رمزگذاری‌های همینگ با قابلیت تصحیح خطای یکبیتی استفاده‌شد که مزیت اصلی این روش‌ها، کمک به کشف تمامی خطاهای پیوسته با تعداد مشخص و آسان‌نمودن مقابله با خطاهای نرم است.

ارزیابی روش‌های پیشنهادی توسط ابزارهایی در سطح مدار و در سطح شبکه‌ی برتراشه سنجیده‌شد. برای ارزیابی میزان

کارایی مکانیزم آگاه از انحراف در تشخیص خطا، از شبیه‌ساز نوشته‌شده توسط زبان C++ استفاده شد که جزئیات مربوط به این شبیه‌ساز در فصل‌های پیشین توضیح داده‌شد. برای ارزیابی میزان تأخیر این مکانیزم در یک شبکه‌ی برتراشه، از شبیه‌ساز بوکسیم که یک شبیه‌ساز مبتنی بر شبکه‌ی برتراشه است استفاده‌شد و نتایج به ازای ترافیک یکنواخت و با نرخ‌های تزریق مختلف در یک شبکه‌ی مش ۸×۸ به دست‌آمد. همچنین برای محاسبه‌ی سربارهای تأخیر، مساحت و توان مصرفی، از ابزار Design Compiler بهره برده‌شد. برای ارزیابی میزان کارایی روش‌های برگبرگ‌سازی در کشف خطا از شبیه‌ساز متلب استفاده‌شد. برای ارزیابی مکانیزم مقابله با خطاهای نرم در فلیت‌های داده نیز از ابزارهای سنتز Design Compiler و شبیه‌ساز بوکسیم استفاده‌شد.

اگر یک جمع‌بندی از ارزیابی‌های صورت‌گرفته داشته‌باشیم، روش‌های پیشنهادی هم در سطح مدار و هم در سطح یک شبکه‌ی برتراشه ارزیابی شدند که نشان از جامع بودن ارزیابی‌های صورت‌گرفته دارد. همچنین ابزارهایی که به منظور شبیه‌سازی در این پژوهش مورد استفاده قرار گرفت، ابزارهای مورد اعتمادی هستند که در دیگر پژوهش‌ها نیز به طور گسترده مورد استفاده قرار گرفته‌اند.

از مزیت‌های دیگر این پژوهش، بررسی و مقابله با اکثر خطاهای چندبیتی به طور جامع است که در دیگر پژوهش‌ها، خطاهای چندبیتی در این وسعت مورد بررسی قرار نگرفته بودند. از ویژگی‌های مثبت دیگر در این پژوهش می‌توان به کارایی بالای مکانیزم آگاه از انحراف در تشخیص خطای فلیت سرآیند برای الگوهای پیچیده، تقریباً مستقل از تعداد و الگوهای خطا، اشاره نمود.

روش‌های که برای مقابله با خطاهای فلیت سرآیند استفاده نمودیم دارای دو فاز بودند، فاز اول تشخیص خطا و فاز دوم تصحیح خطا. پس از تشخیص خطا، اقدام به فراخوانی فلیت سرآیند از گره‌ی قبل می‌کنیم. ممکن است بعضی مواقع نرخ خطای نرم بالا باشد که در این صورت مراجعه‌ی زیاد به گره‌ی قبل که تأخیری حداقل برابر با سه واحد زمانی دارد، منجر به کاهش بیش از حد کارایی شود که می‌توان برای جلوگیری از عدم کاهش بیش از حد کارایی، از مکانیزم تصحیح خطای رو به جلو استفاده نمود[۱]. برای تصحیح خطای روبه‌جلو نیز باید از رمزگذارهای پیچیده‌ای استفاده کنیم که توانایی تشخیص و تصحیح همزمان خطاهای پیچیده را دارند. بنابراین باید مکانیزمی فراهم‌نمود که امکان انتخاب از این دو نوع روش را به صورت برخط داشته‌باشد. در واقع چنین روشی کمک می‌کند تا علاوه بر پوشش خطا از کاهش بیش از حد کارایی نیز جلوگیری نمود.

روش‌هایی که به منظور مقابله با خطاها در فلیت‌های داده به کار بردیم، با تمرکز بر روی خطاهای پیوسته بودند. در کارهای آتی می‌توان برای پوشش بالاتر خطاهای چندبیتی پیوسته با الگوهای پیوسته و غیر پیوسته، از روش‌های برگبرگ‌سازی و رمزگذارهای پیچیده‌تر که توانایی تشخیص خطاهای دو بیتی و یا سه بیتی را نیز داشته باشند بهره برد، در این صورت می‌توانیم خطاهای غیرپیوسته با الگوهای پیچیده را نیز تا درصد بسیار بالایی تحمل نماییم. به عبارت دیگر در روش‌های برگبرگ‌سازی که ما در این پژوهش به کار بردیم، هدف تغییر ترتیب ذخیره‌ی بیت‌ها در میانگیر بود به طوری‌که پس از عمل معکوس برگبرگ‌سازی، خطاهای پیوسته طوری در مکان‌های مختلف پخش شوند که هر

[۱] Forward Error Correction

کدام از رمزگشاها که توانایی تصحیح فقط یک خطا را دارند، در بدترین حالت، مسئولیت تشخیص و تصحیح یک خطا را بر عهده بگیرند. به عبارت دیگر، اگر الگوهای خطا، غیرپیوسته در نظر گرفته‌شوند، ممکن است که عمل برگبرگسازی طوری انجام شود که پس از عمل معکوس برگبرگسازی، در داده‌های ورودی یک رمزگشا بیش از یک بیت خطا وجود داشته‌باشد. بنابراین رمزگشاهای ما باید توانایی تشخیص بیش از یک بیت خطا را نیز داشته باشند.

۸- مراجع

[1] S. Borkar, “Thousand Core ChipsA Technology Perspective,” in *Design Automation Conference, 2007. DAC ’07. 44th ACM/IEEE*, 2007, pp. 746–749.

[2] G. Kurian, J. E. Miller, J. Psota, J. Eastep, J. Liu, J. Michel, L. C. Kimerling, and A. Agarwal, “ATAC : A 1000-Core Cache-Coherent Processor with On-Chip Optical Network Categories and Subject Descriptors,” In *Proceedings of the 19th international conference on Parallel architectures and compilation techniques*, pp. 477-488. ACM, 2010.

[3] P. P. Pande, C. Grecu, M. Jones, A. Ivanov, and R. Saleh, “Performance evaluation and design trade-offs for network-on-chip interconnect architectures,” *IEEE Trans. Comput.*, vol. 54, no. 8, pp. 1025–1040, 2005.

[4] S. R. Sridhara and N. R. Shanbhag, “Coding for system-on-chip networks: A unified framework,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 13, no. 6, pp. 655–667, 2005.

[5] L. Benini and G. De Micheli, “Networks on chip: A new paradigm for systems on chip design,” *Proc. -Design, Autom. Test Eur. DATE*, pp. 418–419, 2002.

[6] W. R. Davis, J. Wilson, S. Mick, J. Xu, H. Hua, C. Mineo, A. M. Sule, M. Steer, and P. D. Franzon, "Demystifying 3D ICs: The pros and cons of going vertical," *IEEE Des. Test Comput.*, vol. 22, no. 6, pp. 498–510, 2005.

[7] C. Liu, T. Song, J. Cho, J. Kim, J. Kim, and S. K. Lim, "Full-chip TSV-to-TSV coupling analysis and optimization in 3D IC," in *Proceedings of the 48th Design Automation Conference*, pp. 783-788. ACM, 2011.

[8] V. F. Pavlidis and E. G. Friedman, "3-D topologies for Networks-on-Chip," *2006 IEEE Int. Syst. Conf. SOC*, vol. 15, no. 10, pp. 285–288, 2007.

[9] B. S. Feero and P. P. Pande, "Networks-on-Chip in a Three-Dimensional Environment : A Performance Evaluation," vol. 58, no. 1, pp. 32–45, 2009.

[10] J. H. Lau, "Evolution , challenge , and outlook of TSV , 3D IC integration and 3d silicon integration," in *Advanced Packaging Materials (APM), 2011 International Symposium on*, pp. 462-488. IEEE, 2011.

[11] P. Falkenstern, Y. Xie, Y. Chang, and Y. Wang, "Three-Dimensional Integrated Circuits (3D IC) Floorplan and Power / Ground Network Co-synthesis," In *Proceedings of the 2010 Asia and South Pacific Design Automation Conference*, pp. 169-174. IEEE Press, 2010.

[12] A. Eghbal, P. M. Yaghini, S. S. Yazdi, and N. Bagherzadeh, "TSV-to-TSV Inductive Coupling-Aware Coding Scheme for 3D Network-on-Chip." In *Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2014 IEEE International Symposium on*, pp. 92-97. IEEE, 2014.

[13] K. Banerjee, S. J. Souri, and P. Kapur, "3-D ICs : A Novel Chip Design for Improving Deep-Submicrometer Interconnect Performance and Systems-on-Chip Integration," in *Proceedings of the IEEE* 89, no. 5 (2001), pp. 602-633, 2001.

[14] Z. Xu, A. Beece, D. Zhang, Q. Chen, K. N. Chen, K. Rose, and J. Q. Lu, "Crosstalk evaluation, suppression and modeling in 3D through-strata-via (TSV) network," in *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pp. 1-8. IEEE, 2010.

[15] K. Salah, Y. Ismail, and A. El-Rouby, *Arbitrary Modeling of TSVs for 3D Integrated Circuits*. Springer, 2014.

[16] A. Eghbal, P. M. Yaghini, N. Bagherzadeh, and M. Khayyambashi, "Analytical Fault Tolerance Assessment and Metrics for TSV-based 3D Network-on-Chip." *Computers, IEEE Transactions on* , vol.PP, no.99, 2015.

[17] A. Ganguly, P. P. Pande, B. Belzer, and C. Grecu, "Design of low power & reliable networks on chip through joint crosstalk avoidance and multiple error correction coding," *J. Electron. Test.*, vol. 24, no. 1–3, pp. 67–81, 2008.

[18] D. Rossi, C. Metra, A. K. Nieuwland, and A. Katoch, “Exploiting ECC redundancy to minimize crosstalk impact,” *Des. Test Comput. IEEE*, vol. 22, no. 1, pp. 59–70, 2005.

[19] J. Z. J. Zhang and E. G. Friedman, “Effect of shield insertion on reducing crosstalk noise between coupled interconnects,” *2004 IEEE Int. Symp. Circuits Syst. (IEEE Cat. No.04CH37512)*, vol. 2, 2004.

[20] K. Hirose and H. Yasuura, “A bus delay reduction technique considering crosstalk,” *Proc. -Design, Autom. Test Eur. DATE*, pp. 441–445, 2000.

[21] J. Cong, J. Wei, and Y. Zhang, “A Thermal-Driven Floorplanning Algorithm for 3D ICs.” in *Computer Aided Design, 2004. ICCAD-2004. IEEE/ACM International Conference on*, pp. 306-313. IEEE, 2004.

[22] K. Puttaswamy and G. H. Loh, “Thermal Analysis of a 3D Die-Stacked High-Performance,” in *Proceedings of the 16th ACM Great Lakes symposium on VLSI*, pp. 19-24. ACM, 2006.

[23] I. Loi, S. Mitra, T. H. Lee, S. Fujita, and L. Benini, “A low-overhead fault tolerance scheme for TSV-based 3D network on chip links,” *IEEE/ACM Int. Conf. Comput. Des. Dig. Tech. Pap. ICCAD*, pp. 599–602, 2008.

[24] Y. Y. Chang, Y. S. C. Huang, V. Narayanan, and C. T. King, “ShieldUS: A novel design of dynamic shielding for eliminating 3D TSV crosstalk coupling noise,” *Proc. Asia South Pacific Des. Autom. Conf. ASP-DAC*, pp. 675–680, 2013.

[25] Q. Zou, D. Niu, Y. Cao, and Y. Xie, “3DLAT : TSV-based 3D ICs crosstalk minimization utilizing Less Adjacent Transition code,” in *Design Automation Conference (ASP-DAC), 2014 19th Asia and South Pacific*, pp. 762-767. IEEE, 2014.

[26] R. Kumar and S. P. Khatri, “Crosstalk Avoidance Codes for 3D VLSI.” in *Proceedings of the Conference on Design, Automation and Test in Europe*, pp. 1673-1678. EDA Consortium, 2013.

[27] W. J. Dally and B. Towles, “Route packets, not wires: on-chip interconnection networks,” in *Design Automation Conference, 2001. Proceedings*, pp. 684-689. IEEE, 2001.

[28] S. Kumar, a Jantsch, J. P. Soininen, M. Forsell, M. Millberg, J. Oberg, K. Tiensyrja, and a Hemani, “A network on chip architecture and design methodology,” *Proc. IEEE Comput. Soc. Annu. Symp. VLSI New Paradig. VLSI Syst. Des. ISVLSI 2002*, vol. pages, pp. 117–124, 2002.

[29] T. Bjerregaard and S. Mahadevan, “A Survey of Research and Practices of Network-on-chip,” *ACM Comput. Surv.*, vol. 38, no. 1, p. 1–es, 2006.

[30] P. Guerrier, A. Greiner, U. Pierre, and F.-P. Cedex, “A Generic Architecture for On-Chip Packet-Switched Interconnections,” in *Proceedings of the conference on Design, automation and test in Europe*, pp. 250-256. ACM, 2000.

[31] F. Karim, “An Interconnect a Rchitecture for N Etworking S Ystems on C Hips,” *Ieee Micro*, pp. 36–45, 2002.

[32] M. Ali, M. Welzl, and M. Zwicknagl, “Networks on chips: Scalable interconnects for future systems on chips,” *4th Eur. Conf. Circuits Syst. Commun. ECCSC ’08*, pp. 240–245, 2008.

[33] M. L. M. Li, Q.-A. Z. Q.-A. Zeng, and W.-B. J. W.-B. Jone, “DyXY - a proximity congestion-aware deadlock-free dynamic routing method for network on chip,” *2006 43rd ACM/IEEE Des. Autom. Conf.*, pp. 849–852, 2006.

[34] J. Dielissen, a Radulescu, K. Goossens, and E. Rijpkema, “Concepts and implementation of the Philips network-on-chip,” *IPBased SoC Des.*, pp. 1–6, 2003.

[35] J. Duato, S. Yalamanchili, and L. M. Ni, *Interconnection networks: An engineering approach*. Morgan Kaufmann, 2003.

[36] A. Sheibanyrad, F. Pétrot, and A. Jantsch, *3D integration for NoC-based SoC Architectures*. Springer, 2011.

[37] Y. Q. Y. Qian, Z. L. Z. Lu, and W. D. W. Dou, “From 2D to 3D NoCs: A case study on worst-case communication performance,” *2009 IEEE/ACM Int. Conf. Comput. Des. - Dig. Tech. Pap.*, pp. 555–562, 2009.

[38] J. K. J. Kim, D. P. D. Park, T. Theocharides, N. Vijaykrishnan, and C. R. Das, “A low latency router supporting adaptivity for on-chip interconnects,” *Proceedings. 42nd Des. Autom. Conf. 2005.*, pp. 0–5, 2005.

[39] J. Kim, C. Nicopoulos, D. Park, V. Narayanan, M. S. Yousif, and C. R. Das, “A gracefully degrading and energy-efficient modular router architecture for on-chip networks,” *Proc. - Int. Symp. Comput. Archit.*, 2006, pp. 4–15, 2006.

[40] A. Kumar, L. Peh, P. Kundu, and N. K. Jha, “Express Virtual Channels : Towards the Ideal Interconnection Fabric,” in *ACM SIGARCH Computer Architecture News*, vol. 35, no. 2, PP. 150-161. ACM, 2007.

[41] R. Mullins, a. West, and S. Moore, “Low-latency virtual-channel routers for on-chip networks,” in *ACM SIGARCH Computer Architecture News*, vol. 32, no. 2, p. 188. IEEE Computer Society, 2004.

[42] J. Kim, J. Balfour, and W. J. Dally, “Flattened butterfly topology for on-chip networks,” *Proc. Annu. Int. Symp. Microarchitecture, MICRO*, pp. 172–182, 2007.

[43] W. J. Dally, “Express cubes: improving the performance of k-ary n-cube interconnection networks,” *IEEE Transactions on Computers*, vol. 40, no. 9. pp. 1016–1023, 1991.

[44] C. Duan, V. H. Cordero Calle, and S. P. Khatri, “Efficient on-chip crosstalk avoidance CODEC design,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 17, no. 4, pp. 551–560, 2009.

[45] U. Y. Ogras and R. Marculescu, “It’s a small world after all’: NoC performance optimization via long-range link insertion,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 14, no. 7, pp. 693–706, 2006.

[46] P. Garrou, C. Bower, and P. Ramm, *Handbook of 3d integration: volume 1-technology and applications of 3D integrated circuits*. John Wiley & Sons, 2011.

[47] V. F. Pavlidis and E. G. Friedman, “Interconnect delay minimization through interlayer via placement in 3-D ICs,” in *Proceedings of the 15th ACM Great Lakes symposium on VLSI*, pp. 20-25. ACM, 2005.

[48] S. Das, A. Fan, K.-N. Chen, C. S. Tan, N. Checka, and R. Reif, “Technology, performance, and computer-aided design of three-dimensional integrated circuits,” in *Proceedings of the 2004 international symposium on Physical design*, pp. 108–115, 2004.

[49] P. Morrow, M. J. Kobrinsky, S. Ramanathan, C.-M. Park, M. Harmes, V. Ramachandrarao, H. M. Park, G. Kloster, S. List, and S. Kim, “Wafer-level 3D interconnects via Cu bonding,” in *Proceedings of the 21st Advanced Metallization Conference*, 2004.

[50] J. W. Joyner, P. Zarkesh-Ha, and J. D. Meindl, “A stochastic global net-length distribution for a three-dimensional system-on-a-chip (3D-SoC),” in *ASIC/SOC Conference, 2001. Proceedings. 14th Annual IEEE International*, pp. 147–151, 2001.

[51] L. P. Carloni, P. Pande, and Y. Xie, “Networks-on-chip in emerging interconnect paradigms: Advantages and challenges,” in *Proceedings of the 2009 3rd ACM/IEEE International Symposium on Networks-on-Chip*, 2009, pp. 93–102, 2009.

[52] R. Zhang, K. Roy, C. Koh, D. B. Janes, and W. Lafayette, “Power Trends and Performance Characterization of 3-Dimensional Integration for Future Technology Generations, ” in *Quality Electronic Design, 2001 International Symposium on*, pp. 217-222. IEEE, 2001.

[53] F. Li, C. Nicopoulos, T. Richardson, Y. Xie, V. Narayanan, and M. Kandemir, “Design and management of 3D chip multiprocessors using network-in-memory,” *Proc. - Int. Symp. Comput. Archit.*, vol. 2006, pp. 130–141, 2006.

[54] S. J. Souri, K. Banerjee, a. Mehrotra, and K. C. Saraswat, “Multiple Si layer ICs: motivation, performance analysis, and design implications,” *Proc. 37th Des. Autom. Conf.*, pp. 213–220, 2000.

[55] S. Itr, “ITRS 2012 Executive Summary,” *ITRS.[Online]. Available http//www. itrs. net/Links/2012ITRS/Home2012. htm*.

[56] D. H. Kim and S. K. Lim, “Through-Silicon-Via-aware Delay and Power Prediction Model for Buffered Interconnects in 3D ICs,” pp. 25–31, 2010.

[57] K. Puttaswamy and G. H. Loh, “Implementing caches in a 3D technology for high performance processors,” *Proc. - IEEE Int. Conf. Comput. Des. VLSI Comput. Process.*, vol. 2005, pp. 525–532, 2005.

[58] J. Kim, C. Nicopoulos, D. Park, R. Das, Y. Xie, V. Narayanan, M. S. Yousif, and C. R. Das, “A novel dimensionally-decomposed router for on-chip communication in 3D architectures,” *ACM SIGARCH Comput. Archit. News*, vol. 35, no. 2, p. 138, 2007.

[59] M. Ni, Q. Su, Z. Tang, and J. Kawa, “Efficient Design Practices for Thermal Management of TSV based 3D IC System,” in *2010 Intrenational Symposium on Phycical Design (2010ISPD)*, 2010.

[60] F. Worm, P. Ienne, P. Thiran, and G. De Micheli, “A robust self-calibrating transmission scheme for on-chip networks,” *Very Large Scale Integr. Syst. IEEE Trans.*, vol. 13, no. 1, pp. 126–139, 2005.

[61] J. Kim, D. Park, C. Nicopoulos, N. Vijaykrishnan, and C. R. Das, “Design and analysis of an NoC architecture from performance, reliability and energy perspective,” in *Proceedings of the 2005 ACM symposium on Architecture for networking and communications systems*, pp. 173–182, 2005.

[62] D. Bertozzi, L. Benini, and G. De Micheli, “Low power error resilient encoding for on-chip data buses,” *Proc. -Design, Autom. Test Eur. DATE*, pp. 102–109, 2002.

[63] A. V. Mezhiba and E. G. Friedman, “Scaling trends of on-chip power distribution noise,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 12, no. 4, pp. 386–394, 2004.

[64] C. Constantinescu, “Trends and challenges in VLSI circuit reliability,” *IEEE micro*, no. 4, pp. 14–19, 2003.

[65] Y.-M. J. Y.-M. Jiang and K.-T. C. K.-T. Cheng, “Analysis of performance impact caused by power supply noise in deep submicron devices,” *Proc. 1999 Des. Autom. Conf. (Cat. No. 99CH36361)*, 1999.

[66] S. Im, N. Srivastava, K. Banerjee, and K. Goodson, “Scaling Analysis of Multilevel Interconnect Temperatures for High Performance ICs,” *IEEE Trans. Electron Devices*, vol. 52, no. 12, pp. 2710–2719, 2005.

[67] D. Gizopoulos and Y. Zorian, “Guest editors’ introduction: design for yield and reliability,” *IEEE Des. Test*, vol. 21, no. 3, pp. 177–182, 2004.

[68] F. Wrobel, F. Saigné, M. Gedion, J. Gasiot, and R. D. Schrimpf, “Radioactive nuclei induced soft errors at ground level,” *Nucl. Sci. IEEE Trans.*, vol. 56, no. 6, pp. 3437–3441, 2009.

[69] F. Caignet, S. D. Bendhia, and E. Sicard, “The challenge of signal integrity in deep-submicrometer CMOS technology,” *Proc. IEEE*, vol. 89, no. 4, pp. 556–573, 2001.

[70] S. Nassif, “Delay variability: sources, impacts and trends,” in *Solid-State Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International*, pp. 368–369, 2000.

[71] K. Agarwal, D. Sylvester, and D. Blaauw, “Modeling and analysis of crosstalk noise in coupled RLC interconnects,” *Comput. Des. Integr. Circuits Syst. IEEE Trans.*, vol. 25, no. 5, pp. 892–901, 2006.

[72] A. Patooghy and S. G. Miremadi, “XYX: A power & performance efficient fault-tolerant routing algorithm for network on chip,” in *Parallel, Distributed and Network-based Processing, 2009 17th Euromicro International Conference on*, 2009, pp. 245–251.

[73] N. E. Jerger, L.-S. Peh, and M. Lipasti, “Virtual circuit tree multicasting: A case for on-chip hardware multicast support,” in *Computer Architecture, 2008. ISCA’08. 35th International Symposium on*, pp. 229–240, 2008.

[74] J. F. Ziegler, “Terrestrial cosmic rays,” *IBM J. Res. Dev.*, vol. 40, no. 1, pp. 19–39, 1996.

[75] E. Ibe, H. Taniguchi, Y. Yahagi, K. Shimbo, and T. Toba, “Impact of scaling on neutron-induced soft error in SRAMs from a 250 nm to a 22 nm design rule,” *Electron Devices, IEEE Trans.*, vol. 57, no. 7, pp. 1527–1538, 2010.

[76] A. Balasubramanian, A. L. Sternberg, B. L. Bhuva, and L. W. Massengill, “Crosstalk effects caused by single event hits in deep sub-micron CMOS technologies,” *Nucl. Sci. IEEE Trans.*, vol. 53, no. 6, pp. 3306–3311, 2006.

[77] C. Grecu, A. Ivanov, R. Saleh, and P. P. Pande, “NoC interconnect yield improvement using crosspoint redundancy,” *Proc. - IEEE Int. Symp. Defect Fault Toler. VLSI Syst.*, pp. 457–465, 2006.

[78] Y. I. Ismail, E. G. Friedman, and J. L. Neves, “Figures of merit to characterize the importance of on-chip inductance,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 7, no. 4, pp. 442–449, 1999.

[79] L. Jiang, Q. Xu, and B. Eklow, “On effective TSV repair for 3D-stacked ICs,” in *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2012*, pp. 793–798, 2012.

[80] J. Srinivasan, S. V Adve, P. Bose, and J. A. Rivers, "The case for lifetime reliability-aware microprocessors," in *ACM SIGARCH Computer Architecture News*, vol. 32, no. 2, p. 276, 2004.

[81] P. Heydari and M. Pedram, "Ground bounce in digital VLSI circuits," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 11, no. 2, pp. 180–193, 2003.

[82] A. H. Ajami, K. Banerjee, and M. Pedram, "Modeling and analysis of nonuniform substrate temperature effects on global ULSI interconnects," *Comput. Des. Integr. Circuits Syst. IEEE Trans.*, vol. 24, no. 6, pp. 849–861, 2005.

[83] X. H. X. Huang, Y. C. Y. Cao, D. Sylvester, S. L. S. Lin, T.-J. King, and C. H. C. Hu, "RLC signal integrity analysis of high-speed global interconnects [CMOS]," *Int. Electron Devices Meet. 2000. Tech. Dig. IEDM (Cat. No.00CH37138)*, vol. 00, no. 510, pp. 2–5, 2000.

[84] H. Kaul, D. Sylvester, and D. Blaauw, "Active shields: a new approach to shielding global wires," in *Proceedings of the 12th ACM Great Lakes symposium on VLSI*, pp. 112–117, 2002.

[85] Y. Massoud, S. Majors, J. Kawa, T. Bustami, D. MacMillen, and J. White, "Managing on-chip inductive effects," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 10, no. 6, pp. 789–798, 2002.

[86] K. N. Patel and I. L. Markov, "Error-correction and crosstalk avoidance in DSM busses," in *Proceedings of the 2003 international workshop on System-level interconnect prediction*, pp. 9-14. ACM, 2003.

[87] F. Shi, X. Wu, and Z. Yan, "Improved Analytical Delay Models for RC-Coupled Interconnects," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on* 22, no. 7, pp. 1639-1644, 2014.

[88] N. Binkert, B. Beckmann, G. Black, S. K. Reinhardt, A. Saidi, A. Basu, J. Hestness, D. R. Hower, T. Krishna, S. Sardashti, and others, "The gem5 simulator," *ACM SIGARCH Comput. Archit. News*, vol. 39, no. 2, pp. 1–7, 2011.

[89] J. L. Henning, "SPEC CPU2006 benchmark descriptions," *ACM SIGARCH Comput. Archit. News*, vol. 34, no. 4, pp. 1–17, 2006.

[90] D. Compiler, "Synopsys Inc." 2000.

Abstract

Technology node scaling in recent decades ushered in gate delay cut-off and rise of interconnection latency. Hence, interconnects have become a major performance bottleneck of high performance system-on-chips (SoC) and integrated circuits (IC). In addition, interconnections have become more susceptible to noises in particular crosstalk. On the other hand, the advent of multi-core processors with ever increasing number of cores has highlighted the need for fast and reliable interconnections. One of the potential solutions to alleviate the interconnection delay problem is the three dimensional integration using through-silicon vias (TSV). Vertical integration of IC dies using TSVs offers high density connections between adjacent dies. This technology also allows stacking of dies with nonidentical technologies such as CMOS with high density DRAM which can be used as a solution to mitigate memory wall problem. Furthermore, the average and maximum distance between interconnect nodes of the 3D stacked ICs are greatly decreased which leads to significant delay, power, and area improvement. Despite of TSV advantages, the adjacent, short and bounded TSVs are prone to TSV-to-TSV coupling and crosstalk noise which increases transmission time and power consumption, and more importantly, it threats the signal integrity. This TSV-to-TSV coupling could be very challenging in 3D ICs due to fact that TSVs are large and thick, thus the coupling between two adjacent TSVs can be huge. Moreover, the effective coupling capacitance between TSVs doubles when the aggressor and the victim signals switch in the opposite directions. Plenty of crosstalk minimization methods have been proposed in the literature of 2D design. However, these methods cannot be directly applied to alleviate TSV-toTSV crosstalk noise, inasmuch as the TSVs are not placed in the same planar and are greatly affected by more than two aggressors. Recent efforts in TSV-to-TSV crosstalk minimization are complex and impose significant area and TSV overhead. SheildUS, by adding a crossbar, remaps data to TSVs in order to shield more active signals by the signals which predicted to have less transition in the future. In addition to its complex decision making circuit, the accuracy of its predictor is under question due to the fact that the signals may not have a regular pattern. 3DLAT exploits less adjacent codes to limit maximum number of transitions in adjacent TSVs. Crosstalk Avoidance Codes (CAC) is another coding scheme for TSV-to-TSV crosstalk minimization. These approaches also need a complex and large coder and also suffer from a considerable information redundancy overhead. In this thesis, we propose two TSV-to-TSV crosstalk minimization methods (named 3DCAM and CRDR) which can effectively reduce coupling noise between TSVs with a relatively low area and TSV overhead. In addition, the proposed methodes use a small simple coder which reduces run-time performance overhead. In the case of a transition on a target signal, considering the target's neighbours and their coupling effect, 3DCAM and CRDR decide to whether retain target's value or send its original transition. In the condition that coder decides to retain the value it informs the decoder through a control TSV. The simulatoion results show that 3DCAM can reduce the transmission delay up to 25.7% as compared to 3DLAT mechanism. 3DCAM imposed only 30% TSV overhead which is much less than the 3DLAT TSV overhead (which is 80% for $\omega = 4$). The results for CRDR is very similar to 3DCAM but there is difference in their application.

Keywords—3D Network on chip, Crosstalk, Signal Integrity, Low Overhead.

Sharif University of Technology

Computer Engineering

Department

M. Sc. Thesis

Reliability Improvement in 3D Network-on-Chips Against Crosstalk Fault

By

Reza Mirosanlou

Under Supervision

Prof. Seyed Ghassem Miremadi

August 2015