Machine Translated by Google

منطق عادی خاموش بر اساس سوئیچ های مقاومتی – بخش اول: دروازه های منطقی

S. Balatti، عضو دانشجو، IEEE، S. Ambrogio، عضو دانشجو، IEEE، D. Ielmini، عضو ارشد، IEEE

چکیده- برای پاسخگویی به نیازهای محاسباتی مقیاس بزرگ دیجیتال فراتر از CMOS، فناوری‌های مبتنی بر مواد پیشرفته و مفاهیم سوئیچینگ جدید به شدت مورد نیاز است. در میان این رویکردهای برنامه، عاملی یک سوئیچ مقاومتی تنظیم مجدد (RRAM) امکان آرایه سوئیچینگ قابل برنامه ریزی در میدانی (FPCA) قیاس‌پذیر فراهم می‌کند. این کار گیت های منطقی کامل و کاربردی را بر اساس فناوری RRAM ارائه می کند. محاسبات منطقی، از طریق سوئیچینگ شرطی در مدارهای RRAM با سوئیچ های متصل به سریال به دست می آید. پیشنهاد شد تا مساحت اشغال شده توسط سوئیچ های مبتنی بر SRAM را کاهش دهد [9]-[18] مفهوم مواد (IMP) در مدارهای RRAM با دو کلید موازی متصل شده [9]، [8] نشان داده شده است. IMP امکان منطق کامل عملکردی را از طریق تکرار مراحل محاسباتی چندگانه فراهم می‌کند، با این حال دستیابی به سایر توابع منطقی مانند AND یا NOT در یک پالس ساعت می‌تواند زمان محاسبات را بسیار کاهش دهد و عملیات منطقی را ساده‌تر کند. AND، IMP، NOT و عملیات انتقال بیت نشان داده می شوند که هر کدام از یک پالس ساعت استفاده می کنند، در حالی که سایر عملکردها (به عنوان مثال، OR و XOR در چند مرحله به دست می آیند. نتایج از منطق RRAM برای مدارهای دیجیتالی معمولی خاموش با چگالی بسیار بالا پشتیبانی می کند.

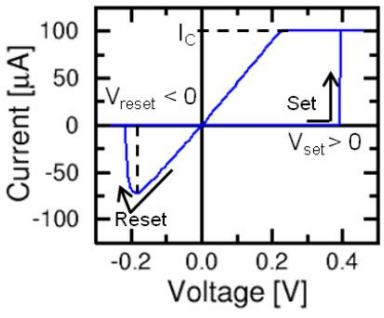
کلمات کلیدی: حافظه سوئیچینگ مقاومتی (RRAM)، گیت های منطقی، مدارهای منطقی، محاسبات منطقی

I. مقدمه

این کار گیت های منطقی کامل و کاربردی را بر اساس سوئیچ های RRAM نشان می دهد. توابع منطقی از طریق سوئیچینگ شرطی در مدارهای RRAM با سوئیچ های متصل به سریال انجام می شود. برخلاف کارهای قبلی که فقط IMP و عملیات مرتبط با آن (به عنوان مثال، IMP منفی، IMP معکوس، (NOT در یک پالس ساعت به دست می آمد [9]، [8] در اینجا ما عملیات AND، IMP، NOT و انتقال بیت را نشان می دهیم، همه با یک پالس ساعت و 2 سوئیچ. در رویکرد ما، آبشاری عملیات منطقی بیشتر امکان پذیر است زیرا ورودی و خروجی ماهیت یکسانی دارند، یعنی حالت مقاومت در یک سوئیچ [19]. [20] RRAM [3] [9] برای کاربردهای حافظه هدایت کرده است. امروزه، مقیاس‌بندی CMOS به طور فزاینده‌ای به دلیل افزایش اولین نشتی در آستانه راه‌اندازی، عدم تعادل بین عملکرد و توان، و آسیب‌پذیری در برابر تغییرات فرایند، با چالش‌های جدی روبرو است [1]. برای سرکوب توان ناشی از نشتی، فناوری‌های جدید دستگاه، مانند ترانزیستورهای تونلی [2]، ترانزیستورهای اثر میدانی فیلم نازک (TFET) [3]، یک سوئیچ نانوالکترومکانیکی (NEMS) [4] یا شیب زیرآستانه بهبود یافته، پیشنهاد شده‌اند. یک رویکرد رادیکال تر شامل اتخاذ سوئیچینگ مواد غیرفرار است، که امکان ذخیره حالت های ورودی/خروجی یک گیت منطقی را حتی بدون هیچ منبع تغذیه فراهم می کند. این رویکرد اجازه می دهد تا مدارهای منطقی خاموش معمولی دو مزیت عمده داشته باشند: (1) سرکوب توان ساکن و (2) ذخیره سازی حالت های محاسبه شده در مدار منطقی، که در نتیجه ممکن است قابلیت راه اندازی فوری را داشته باشند.

II. ویژگی های رام

برای نشان دادن عملیات منطقی با سوئیچینگ مقاومتی، از دستگاه های RRAM الکتروشیمیایی ارائه شده توسط Adesto Technologies [15] استفاده کردیم. پشته دستگاه شامل یک الکترود پایینی W، یک الکترولیت جامد GeS2 و یک الکترود بالایی Ag (TE) بود. سوئیچینگ مقاومتی در این دستگاه ها به دلیل

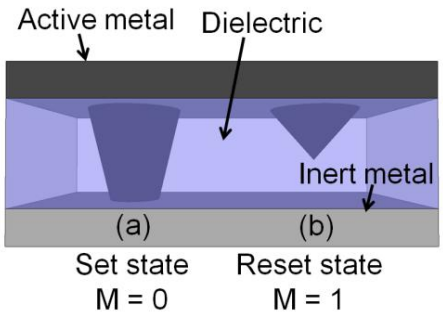


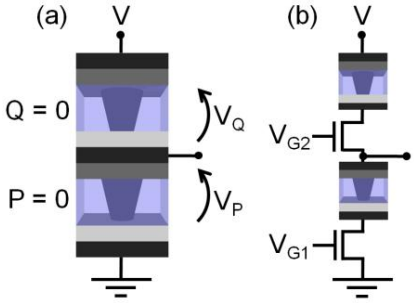
شکل 1. منحنی IV اندازه گیری شده برای دستگاه RRAM که به ترتیب انتقال تنظیم و تنظیم مجدد تحت ولتاژهای مثبت و منفی را نشان می دهد.

در میان مفاهیم منطقی غیرفرار، مفاهیم مبتنی بر سوئیچینگ مقاومتی (یا memristive) به دلیل جریان عملیات مقیاس پذیر، [12]، [11] سرعت سوئیچینگ بالا [14]، [13] و -2 ساده، علاقه زیادی به خود جلب کرده اند. ساختار ترمینال، که امکان ادغام یک سوئیچ را در یک مدار متقاطع با مساحت دستگاه جداگانه 24F² که در آن F حداقل اندازه مشخصه مجاز توسط لیتوگرافی است را ممکن می‌سازد. سوئیچینگ مقاومتی غیرفرار است، بنابراین مبنایی برای حافظه سوئیچینگ مقاومتی (RRAM) برای

S. Balatti، S. Ambrogio و D. Ielmini با Dipartimento di Elet tronica، Informazione e Bioingegneria piazza L. da Vinci 32، 20133 Milano، و تیم نانوالکترونیک دانشگاه های ایتالیا (IU.NET)، Politecnico di Milano، ایتالیا هستند. ایمیل daniele.ielmini@polimi.it

Machine Translated by Google





شکل .2تصویر شماتیک سوئیچ RRAMدر حالت های مجموعی(a) M = 0 و تنظیم مجدد (b) M = 1)فلز فعال نقره و دی الکتریک GeS2است.

شکل .3طرح بندی شماتیک گیت منطقی مبتنی بر RRAM (a)و ساختار 2T2Rمورد استفاده برای تایید تجربی .(b)و سوئیچ به صورت سری به هم متصل می شوند. هر خانه به عملیات منطقی توسط ولتاژ اعمال شده دیکته می شود.

III. RAM LOGIC GATES

ابتدا دو مقدار منطقی را به حالت های دستگاه در شکل 2اختصاص می دهیم. حالت های تنظیم و تنظیم مجدد به ترتیب به عنوان حالت های M = 0 و 1تعریف می شوند، که در آن Mمتغیر حالت است که مقدار Vsetرا در منحنی IVمنعکس می کند .[10]در یک گیت منطقی ،RRAMدستگاه های سوئیچینگ (یا سوئیچ ها) هم حالت های ورودی/خروجی را ذخیره می کنند و هم در پاسخ به یک پالس محرک اعمال شده عمل می کنند.

توابع منطقی مختلف با مقادیر مختلف ولتاژ پالس، به عنوان مثال، ولتاژهای بالا/پایین ،[10]یا ولتاژهای مثبت/منفی به دست می آیند. این با گیت‌های منطقی CMOS معمولی متفاوت است، جایی که عملکرد منطقی به بهره ترانزیستور در پایه دیجیتالی شدن متکی است. منطق ،RRAMدر عوض، هیچ بهره ای ندارد و به سوئیچینگ شرطی متکی است، جایی که یک سوئیچ در گیت منطقی می تواند وضعیت خود را بسته به مقدار حالت های ورودی (یعنی اولیه) تغییر دهد. رویکردهای منطقی بدون بهره مشابه قبلاً برای دستگاه‌های مبتنی بر سوئیچینگ مقاومتی ،[9]سوئیچینگ مغناطیسی با گشتاور چرخشی [7]و تغییر فاز [10]گزارش شده بود.

شکل 2به صورت شماتیک دو حالت دستگاه های RRAMیعنی حالت تنظیم (a)و حالت تنظیم مجدد (b)را نشان می دهد. در حالت تنظیم شده، RRAMبه دلیل اتصال الکترودهای بالا و پایین CFبرای مقاومت Rکم است، پس از قطع اتصال CFدر حالت تنظیم مجدد، RRAMمقاومت بالایی را نشان می دهد. شکل CFدر حالت تنظیم و تنظیم مجدد به صورت به مفهوم ، RRAMمواد مورد عملکرد ممکن است متفاوت باشد. نتایج قبلی روی دستگاه‌های RRAMالکترودشیمیایی نشان داد که CFاز الکترود بالایی، یعنی آند در طول انتقال تنظیم شده، به سمت الکترود پایین [26] [28]امروز می رود، همانطور که در شکل 2نشان داده شده است. در عوض رفتار مخالف پیشنهاد شده است. در برخی از تفاسیر .[29]-[31]دستگاه‌های RRAMالکترودشیمیایی به دلیل عملکرد بسیار کم توانشان در این کار در نظر گرفته می‌شوند که در محدوده چند نانوآمپر [33] ،[32]و مقیاس زمانی چند ثانیه [34]نشان داده شد. علاوه بر این، RRAMالکترودشیمیایی سوئیچینگ دیجیتال را به لطف یک پنجره مقاومت بزرگ در حدود 6دهه نشان می دهد [33]که می تواند با تغییر قطر CFبین اندازه اتم (حدود 0.3نانومتر) و چند ده نانومتر تنظیم شود. کمک‌های اضافی به محدوده مقاومت از مقاومت وابسته به اندازه ناشی از پراکندگی زبری سطح و انتقال از رسانایی فلزی به رسانایی جهشی در غلظت نقص کم ناشی می‌شود .[35]رفتار سوئیچینگ دیجیتال نیز به لطف تغییر ناگهانی تنظیم مجدد در شکل ،2در مقایسه با افزایش مقاومت تدریجی در دستگاه های RRAMمبتنی بر اکسید دوقطبی، ارتقا یافته است .[36]

مهاجرت ناشی از ولتاژ کاتیون‌های Agدر الکترولیت جامد، باعث تشکیل/اختلال یک رشته رسانا ،(CF)یا پل رسانا می‌شود .[24] ،[23]شکل 1ویژگی های IVدستگاه RRAMمورد استفاده در کار ما را نشان می دهد.

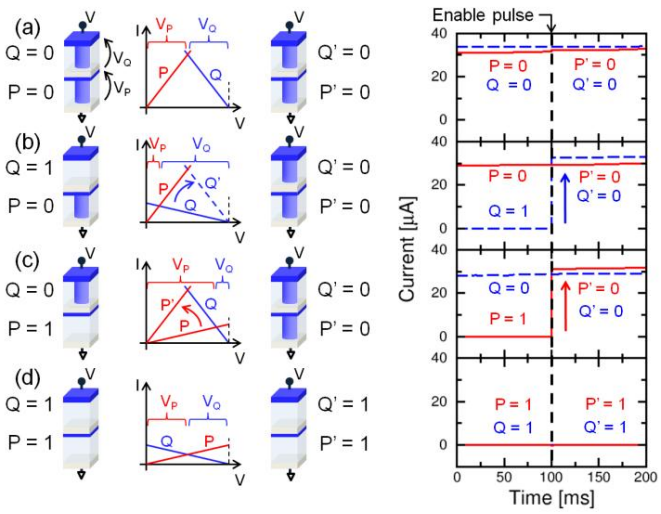
اعمال یک ولتاژ مثبت بالاتر از ولتاژ تنظیم شده Vsetمنجر به انتقال مجموعه از مقاومت بالا به مقاومت کم در نتیجه تشکیل CFمی شود. حداکثر جریان توسط تنظیم اندازه‌گیری به یک جریان انطباق IC = 100 μAثابت می‌شود تا امکان کنترل اندازه CFو در نتیجه مقاومت Rفراهم شود.

پس از انتقال تنظیم، ولتاژ به مقدار VCحدود 0.15ولت باز می گردد، که مشخصه ولتاژ را برای القای مهاجرت در CFدر مقیاس زمانی 1ثانیه آزمایش مشخص می کند .[25] اعمال یک ولتاژ منفی بالاتر از ولتاژ تنظیم مجدد Vresetمنجر به انتقال مجدد از مقاومت کم به بالا می شود و انحلال CFبا مهاجرت Agبه TEرا آشکار می کند.

الف. راه اندازی آزمایشی

شکل 3aبه طور شماتیک ساختار یک گیت منطقی مبتنی بر سوئیچ را نشان می دهد. دو دستگاه RRAM P(سوئیچ پایین) و Q(سوئیچ بالا) به صورت سری به هم متصل می شوند. هر دو کلید را می توان به صورت جداگانه به عنوان مثال، برای نوشتن وضعیت ورودی یا برای خواندن، با اعمال یک ولتاژ VPیا VQهمانطور که در شکل 3a نشان داده شده است، دسترسی داشت. با این حال، برای هدایت عملیات منطقی، سوئیچ‌های سوئیچینگ دیجیتال RRAMالکترودشیمیایی از Ag-GeS2به عنوان یک دستگاه ایده آل برای عملیات منطقی پشتیبانی می کند.

Machine Translated by Google



شکل .4شماتیک گیت ANDمبتنی بر RRAMکه (از چپ به راست) حالت های اولیه (ورودی) Pو Q، منحنی های IVبرای دستگاه های RRAM، حالت های نهایی (خروجی) و نمایش تجربی را نشان می دهد، جایی که جریان جریان دارد. قبل و بعد از پالس فعال در 50 = Vمیلی ولت اندازه گیری شد. چهار حالت اولیه Pو Qدر نظر گرفته می شوند، یعنی P = 0 (a)، P = Q = 0 وP = 1 (b)، Q = 1 وQ = 0 (c) وQ = P = Q = 1 (d). یک ولتاژ مثبت اعمال می شود که منجر به عملکرد ANDمی شود.

به 'Qمنتقل می شود و به عنوان طرحی برای انتقال بیت بین دو سوئیچ عمل می کند.

تابع P·Q ANDبطور تجربی برای 2سوئیچ RRAMپل رسانا متصل به سیم نشان داده شده است، همانطور که با جریان اندازه گیری شده در V = 50 mVنشان داده شده در شکل 4نشان داده شده است.

یک پالس فعال 100میلی ثانیه با ولتاژ 0.8ولت برای هدایت عملیات منطقی اعمال شد که منجر به انتقال مجموعه ای از 1به 0برای P = 0 (b) وQ = 1 (c) وP = 1 وQ = 0 شد. هیچ تغییری برای P = Q در (a)و (d)انجام نمی شود. رسانایی برای حالت 0 حدود 0.6 mSبود که مربوط به مقاومتی در حدود 1.65کیلو اهم است. این حالت با محدود کردن جریان به IC = 100 μAدر طول نوشتن اولیه و عملیات منطقی به دست آمد. جریان انطباق توسط ترانزیستورهای با بایاس مناسب در سری با سوئیچ ها در پیکربندی به اصطلاح یک ترانزیستور/یک مقاومت (1T1R)حفظ می شد .[12]، [11] تغییرپذیری تصادفی حالت 1ممکن است مشکلی را برای حالت P = Q = 1در شکل 4dنشان دهد. به عنوان مثال، با فرض اینکه Pمقاومت بالاتری نسبت به Qداشته باشد، VPبالاتر از VQاست، بنابراین احتمالاً انتقال مجموعه را در Pالقاء می کند. با این حال، Pنیز دارای Vsetولتاژ تنظیم بالاتری نسبت به Qاست، به دلیل رابطه بین Vset و .[[35] Rهمچنین، حتی در مواردی که انتقال مجموعه در Pآغاز می شود، به زودی VP در تقسیم کننده ولتاژ کاهش می یابد، بنابراین فرآیند تنظیم مهار می شود. انتظار می رود که این اثرات از انتقال مجموعه ناشی از تغییرپذیری در حالت P = Q = 1جلوگیری کند .

ج. IMP، NOTو بازسازی شکل 5گیت مفهومی مواد (IMP)را نشان می دهد که از ساختاری مشابه دروازه ANDتشکیل شده است اما تحت ولتاژ منفی .|V| < 2Vreset مشابه شکل ،4شکل ،5از چپ به راست، حالت های اولیه (ورودی)، منحنی های IVبا سوئیچینگ ،RRAMحالت های نهایی (خروجی) و اندازه گیری شده را نشان می دهد.

اعمال یک ولتاژ محرک Vبه الکترود بالایی در حالی که الکترود میانی را شناور می‌کند و الکترود پایینی را به زمین متصل می‌کند. بسته به حالت‌های Pو Q قطبیت ،V سوئیچینگ شرطی می‌تواند در هر یک از سوئیچ‌ها انجام شود، بنابراین منجر به یک عملیات محاسباتی می‌شود. اعمال یک Vمثبت می تواند منجر به انتقال مجموعه ای از Pیا Qشود، در حالی که یک Vمنفی می تواند انتقال مجدد را در هر یک از سوئیچ ها ایجاد کند. در نهایت، خروجی را می توان به عنوان حالت های نهایی 'Pو 'Qسوئیچ ها به دست آورد، که سپس می تواند به عنوان حالت های ورودی جدید در همان سوئیچ استفاده شود یا می تواند برای عملیات بعدی به سوییچ های دیگر منتقل شود .[10]

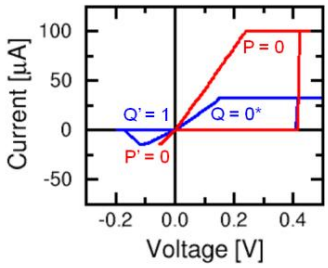
برای نشان دادن تجربی گیت های منطقی اساسی، از 2دستگاه RRAMمتصل به یک ماتریس سوئیچینگ (Agilent 34970A)استفاده کردیم. ماتریس سوئیچینگ برای آماده سازی جداگانه 2سوئیچ با تحلیلگر پارامتر (Agilent B1500A)و سپس اتصال آنها به صورت سری برای عملکرد تابع منطق مورد نیاز بود. مقاومت دستگاه RRAMهم قبل و هم بعد از عملیات منطقی اندازه گیری شد. برای گیت های منطقی پیچیده تر، یعنی ORو ،XORما یک برد مدار چاپی با تمام اتصالات ایجاد کردیم. در حالی که پیکربندی مجدد سیم‌کشی با استفاده از ترانزیستورهای خارجی انجام شد، دستگاه‌های RRAMبا سیم به برد متصل شدند. برای محافظت از حالت مقاومتی در طول پیکربندی مجدد و برای کنترل مقاومت پس از انتقال تنظیم، از دستگاه های 1T1Rاستفاده کردیم که در آن ترانزیستور به صورت سری به دستگاه سوئیچینگ متصل می شود. ساختار -2ترانزیستور/ -2مقاومت (2T2R)حاصل به صورت شماتیک در شکل 3bنشان داده شده است. برای استنباط وضعیت دستگاه RRAMقبل و بعد از محاسبه منطقی، جریان سوئیچینگ را در طول پالس محاسباتی می خوانیم. یک برد مشابه نیز برای نشان دادن جمع کننده کامل 1بیتی ارائه شده در مقاله همراه توسعه داده شد .[22]

ب. ANDگیت و انتقال بیت

شکل 4به طور شماتیک عملکرد یک گیت ANDرا توصیف می کند و از چپ به راست، حالت های اولیه (ورودی) سوئیچ ها، ویژگی های IVبا سوئیچینگ RRAM مربوطه، حالت های نهایی (خروجی) و نمایش تجربی از سوئیچ ها را نشان می دهد. دروازه منطق حالت های ورودی ممکن است مستقیماً در دو سوئیچ RRAMنوشته شوند یا از سوییچ های دیگر به آنجا منتقل شوند یا نتیجه عملیات قبلی در سوئیچ ها باشند. عملیات منطقی با اعمال یک پالس محرک ولتاژ مثبت (2VC <V <2Vset)در دو سوییچ متصل به سریال فعال می شود.

ولتاژ اعمال شده مثبت است، بنابراین سوئیچینگ فقط می تواند انتقال تنظیم را در هر یک از کلیدها القا کند. اگر P = Q = 0 (a)، هیچ تغییری نمی تواند انجام شود زیرا سوئیچ ها هر دو در حالت تنظیم هستند، بنابراین حالت های نهایی مانند حالت های اولیه هستند، یعنی .P' = Q' = 0برای P = 0 و، Q = 1 (b)بیشتر ولتاژ اعمال شده در سراسر Qکاهش می یابد و باعث انتقال مجموعه به Q' = 0می شود. به طور مشابه، برای P = 1 و، Q = 0 (c)افت ولتاژ بزرگ در Pباعث انتقال مجموعه به .P' = 0در نهایت، اگر Pو Qهر دو برابر با 1 (d)باشند، ولتاژ به طور مساوی بین Pو Qتقسیم می شود و در نتیجه هیچ سوئیچینگی در Pیا Qانجام نمی شود، زیرا V < 2Vsetاست. در نتیجه این سوئیچینگ شرطی، هر دو حالت خروجی 'Pیا 'Qتابع ANDحالات ورودی Pو Qرا ارائه می دهند، همانطور که در Tabخلاصه شده است. .Iبه عنوان یک مورد خاص از عملیات ANDبرای ،1 = Qوضعیت Pبه طور خودکار است

Machine Translated by Google



شکل .6منحنی های IVاندازه گیری شده در طول نوشتن اولیه (V > 0)و محاسبه (V <0)برای IMPبا P = 0و Q = 0.برای تغییر کنترل شده به Q' = 1، Qباید روی یک Rبالاتر (حالت Q = 0*)با آی سی کمتر تنظیم شود.

Pدر حال حاضر در حالت تنظیم مجدد است. در نهایت، برای P = Q = 1 (d)، هیچ بازنشانی امکان پذیر نیست زیرا هر دو IRRAMاز قبل در حالت تنظیم مجدد هستند. پس از تعویض شرطی، خروجی Q'مطابق با تابع IMP Q' = P Qاست، همانطور که در Tabخلاصه شده است. II.

برای کار در وکید باشکل 5=Q'خروجی جریان (A)کمتر از 50 mVدر ولتاژ شبکه Vبا اقبالی به معنای اپلیکیشن فعال نشان می دهد، که نشان دهنده انتقال مجدد از Q = 0به Q = 1در (a)است. ترانزیستورها در ساختارهای 1T1Rبه رسانایی بالا تعصب داشتند تا افت ولتاژ در آنها به حداقل برسد.

هر زمان که یک حالت خروجی 0 معرفی حالت سوم 0

باید به عنوان عملوند دوم در یک عملیات IMPعمل کند، مراحل بازسازی را ضروری می کند، در عوض 0انواع تکنیک. یک این نوع عمل که حالت Q را می توان استفاده به حالت Qبه طوری عملیات سوئیچ ANDکمکی می تواند به عنوان ورودی دوم در عملیات IMPاستفاده شود.

سی

توجه داشته باشید که قبل از اینکه حالت عملوند به یک سوئیچ کمکی منتقل شود، نیازی به عملیات خواندن اولیه نیست، زیرا حالت 1نیز بدون تغییر منتقل می شود. حالت مخالف نیز ممکن است، یعنی حالت خروجی 0به عنوان اولین عملوند در یک عملیات IMPمورد نیاز است. در این حالت، سوئیچ را می توان به طور مستقیم با یک عملیات تنظیمی در ولتاژ Vبین VCو Vsetدر شکل 1بازسازی کرد. در واقع، وضعیت 0با رشد CFکه با افزایش ولتاژ از VCتسریع می یابد، به 0تغییر می کند. 1از Vset < Vمختل نمی شود.

جدول ، جدول دوم برای عملیات IMP، برجسته کردن موارد خاص اینورتر بیت. Q' = NOT(P) = P 0

1	1	P 0 0 1 1	= P Q 1 1 0 1
1	0	P' =	Q'
0	1		
0	0		
P	Q		

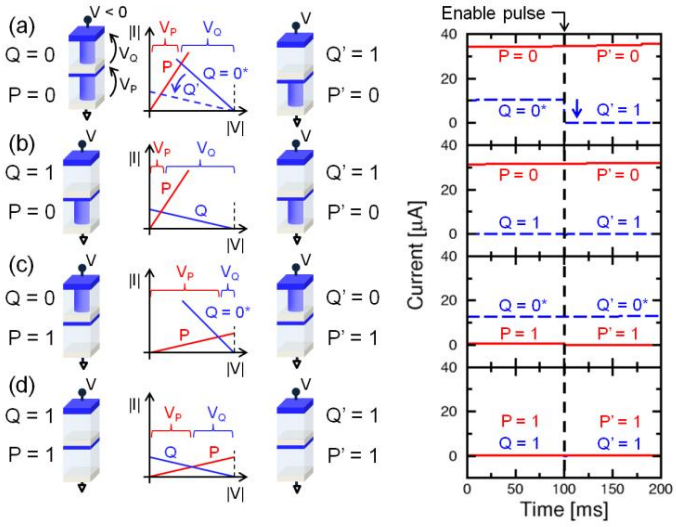
شکل .7شماتیک گیت منطقی IMPمبتنی بر RRAMکه (از چپ به راست) حالت های اولیه (ورودی) Pو Q، منحنی های IVبرای دستگاه های RRAM، حالت های نهایی (خروجی) و نمایش تجربی را نشان می دهد. جریان قبل و بعد از پالس فعال در V = 50میلی ولت اندازه گیری شد. چهار حالت اولیه Pو Qدر نظر گرفته می شوند، یعنی P = Q = 0 (a)، P = 1 وP = 0 (b)، Q = 1 وQ = 0 (c) و P = Q = 1 (d). یک ولتاژ منفی اعمال می شود که منجر به عملکرد IMPمی شود.

جدول ، جدول حقیقت برای عملیات IMP، برجسته کردن موارد خاص انتقال بیت. Q' = P·1

P·Q 0 0 0 1	P·Q 0 0 0 1
P' =	Q' =

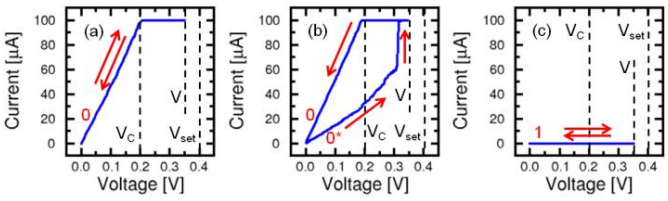
جدول آجدول حقیقت برای و عملیات، برجسته کردن موارد خاص انتقال بیت. Q' = P·1

		P·Q 0 0 0 1	P·Q 0 0 0 1
		P' =	Q' =
	1		
1	0		



شکل .5شماتیک گیت منطقی IMPمبتنی بر RRAMکه (از چپ به راست) حالت های اولیه (ورودی) Pو Q، منحنی های IVبرای دستگاه های RRAM، حالت های نهایی (خروجی) و نمایش تجربی را نشان می دهد. جریان قبل و بعد از پالس فعال در V = 50میلی ولت اندازه گیری شد. چهار حالت اولیه Pو Qدر نظر گرفته می شوند، یعنی P = Q = 0 (a)، P = 1 وP = 0 (b)، Q = 1 وQ = 0 (c) و P = Q = 1 (d). یک ولتاژ منفی اعمال می شود که منجر به عملکرد IMPمی شود.

رسانایی قبل و بعد از اعمال پالس فعال. برای Q = 0.ولتاژ به طور مساوی بین Pو Qتقسیم می شود، بنابراین بازنشانی نه در Pو نه در Qرخ می دهد زیرا |V| < 2Vreset.برای اجازه دادن به سوئیچینگ 0به 0در این مورد، Qدر حالت تنظیم شده با جریان Pانطباق کمتر I = 30 μAدر شکل 6، بنابراین منجر به یک CFکوچکتر و رسانایی کوچکتر می شود (حدود یک سوم Pدر شکل .6در ادامه به این حالت Q = 0گفته می شود. عدم تعادل بین دو حالت منجر به افت ولتاژ بیشتر در سراسر Qمی شود، بنابراین انتقال به Q' = 1بدون اختلال به Pرا مجبور می کند، همانطور که رسانایی اندازه گیری شده Qپس از پالس فعال در شکل 5aنشان داده شده است که به مقدار کوچکی کاهش می یابد. برای P = 0و Q = 1 (b)، افت ولتاژ در Pناچیز است، بنابراین از هرگونه انتقال مجدد در Pبه دلیل افت ولتاژ کوچک، Qنمی تواند منجر به تغییر مجدد شود، زیرا Qدر حال حاضر در حالت تنظیم مجدد به طور مشابه، برای P = 1و Q = 0 (c)، انتقال تنظیم مجدد در روش دیگر برای دستیابی به رفتارهای مختلف تنظیم مجدد برای Pو Qدر شکل 5a، استفاده از مواد مختلف IRRAMاست.



شکل .7منحنی های IVاندازه گیری شده در طول عملیات بازسازی برای حالت 0 (a)، 0 (b) و 1 (c). اعمال ولتاژ بین VCو Vsetحالت 0به حالت (b) 0سوئیچ می شود در حالی که حالت (c) 1مختل نمی شود زیرا |V| < Vset

Machine Translated by Google

A+B = NOT(NOT(A)·NOT(B)). این به سه عملیات خط لوله تبدیل می شود، یعنی (i)
وارونگی هر دو ورودی A و B، که می تواند به صورت موازی عمل کند، (ii)عملیات AND
و (iii)وارونگی خروجی قبلی. این دنباله در Tab خلاصه شده است. III، 5 سوئیچ مورد
استفاده برای عملیات را نشان می دهد، یعنی 2سوئیچ ورودی P1 = A، P2 = B، کلید
خروجی P5 = A OR B، و 2سوئیچ کمکی P3 و .P4. 2سوئیچ های P3 و P4ابتدا در حالت
0آماده می شوند زیرا باید در عملیات IMP با هدف وارونگی کار کنند (به جدول IIمراجعه
کنید). در اولین پالس ساعت، P3مقدار معکوس P1را دریافت می کند، در حالی که P4
انتقال مجدد P2 را دریافت خواهد کرد که سرانجام ANDآن را در P4 و P5 در پالس ساعت سوم،
زیرا ANDدر یک جریان انطباق I > IC در مرحله سوم، P4معکوس شده و به سوئیچ
خروجی P5منتقل می شود. حالت خروجی می تواند 0یا 1باشد، بنابراین می تواند به
راحتی به عنوان عملوند دوم در یک عملیات IMPبعدی استفاده شود.

سی.

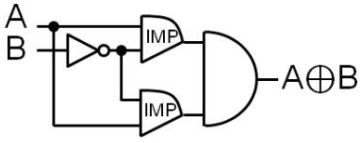
در صورت خواندن یا سایر انواع عملیات (به عنوان مثال، AND، یا اولین عملوند در
IMP)، خروجی باید از 0به 0بازسازی شود، همانطور که در شکل 7نشان داده شده
است.

شکل 8aعملیات ORرا با نشان دادن جریان اندازه گیری شده در طول سه مرحله
عملیات ORدر Tabنشان می دهد. III، یعنی AND، NOT و نهایی NOT. این نمایش
توسط تنظیمات آزمایشی در شکل 8bانجام شد، که در آن تمام گره‌های نشان‌داده‌شده
از نظر الکتریکی برای انتخاب و/یا سوگیری سوئیچ‌های RRAMمنفرد در دسترس بودند.
حالت های ورودی A = 0 و B = 1برای مثال زدن عملیات منطقی انتخاب شدند. برای
نمایش تجربی، دستگاه‌های RRAMبا ساختارهای 1T1R برای اتصال سریال در معماری
گیت منطقی شکل 3به سیم متصل شدند. P3ابتدا انتقال بازنشانی را در ابتدای پالس
ساعت شماره 1نشان می‌دهد، سپس در طول ANDتغییر تنظیم می‌کند. عملیات در
پالس ساعت دوم در نهایت، یک انتقال مجدد در P5به دلیل P4 = 0 ظاهر می شود.
حالت نهایی P5 = 1خروجی عملیات ORرا فراهم می کند. عملکرد گیت منطقی را می
توان به طور مشابه برای سایر حالت های ورودی های A و Bنشان داد.

.E دروازه XORعملیات A ⊕ B XORرا می توان در 3مرحله توسط
آبشاری IMP، NOT و AND، یعنی:

$$A \oplus B = (A \rightarrow B) \cdot (B \rightarrow A), \quad (1)$$

که به صورت شماتیک در شکل 9نشان داده شده است. IVدنباله 4پالس را برای تکمیل
عملیات XORدر مدار 5سوئیچ RRAMنشان می دهد. ابتدا، Aاز P1به P5با کاهش
انطباق Iکپی می شود در حالی که Bدر P3معکوس می شود. در پالس دوم، B
معکوس در P4 ذخیره می شود. در پالس سوم، P5 مجدداً تنظیم می شود و سپس
IMPدر پالس سوم انجام می شود.



شکل .9طرح شماتیک دروازه XORبا استفاده از IMP، NOT و ANDبه دست آمده است.

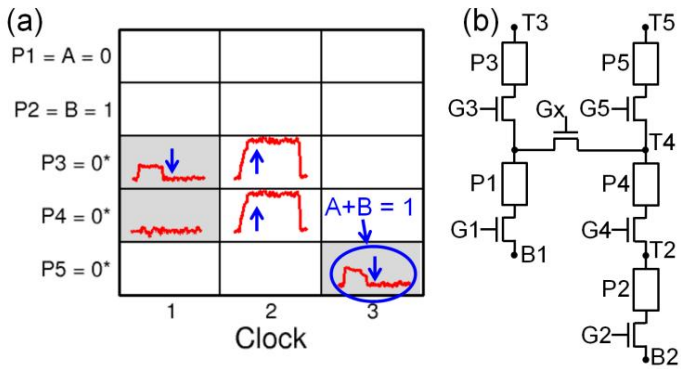
برای P و Q.به عنوان مثال، RRAM Ag-GeS2مورد استفاده در این کار، عدم تقارن قابل
توجهی را بین فرآیندهای مجموعه و تنظیم مجدد نشان می دهد، جایی که Iresetمی
تواند به طور قابل توجهی کوچکتر از ICباشد .[38]، [33]، [32]نسبت Ireset/ICبرای
دستگاه‌های Ag-GeS2 RRAMمی‌تواند به کوچکی 0.1باشد و نشان داده شد که به IC
بستگی دارد ، یعنی با کاهش ICیک Ireset/ICکوچک‌تر به دست می‌آید .[38]عدم
تقارن تنظیم / تنظیم مجدد به تنش فشاری که بر CFپس از انتقال مجموعه تأثیر
می‌گذارد و به جمع شدن CFدر طول انتقال تنظیم مجدد کمک می‌کند نسبت داده شد.
از سوی دیگر، RRAMمبتنی بر اکسیدهای فلزی، مانند [39] ،[25] ،[11] HfOx و ،[40]
TaOx معمولاً فرآیندهای تنظیم/بازنشانی متقارن را با IC ≈ Ireset نمایش می‌دهند . به
دلیل وجود هر دو کاتیون، به عنوان مثال، Hf یونیزه در ،HfO2 و آنیون ها، به عنوان
مثال، O2-، هیچ اثر تنش قابل توجهی در این مورد انتظار نمی رود.

مهاجرت مخالف کاتیون ها و آنیون ها ممکن است تجمع ناخالصی ها و ایجاد تنش را به
حداقل برساند. یک گیت منطقی که در آن Pدارای سوئیچینگ متقارن است (IC ≈
Ireset) و Qدارای سوئیچینگ تنظیم/تنظیم نامتقارن (Ireset < IC) می تواند ذاتاً رفتار
IMPرا در شکل 5اجازه دهد. با انتخاب مناسب مواد الکترود/سوئیچینگ، 2لایه می
توان برای به حداقل رساندن عدم تطابق بین مقادیر Vset مهندسی کرد. در واقع، دستگاه
های CBRAM با Vset بالاتر از 1ولت (بنابراین مشابه اکسید- RRAMها) گزارش شده
است .[42]، [41]، [30].

.D دروازه ORسایر توابع منطقی را می توان با ترکیب توابع NOT، IMP و ANDکه در
بالا مورد بحث قرار گرفت به دست آورد. ORرا می توان به سادگی از طریق قضیه
DeMorganبه دست آورد

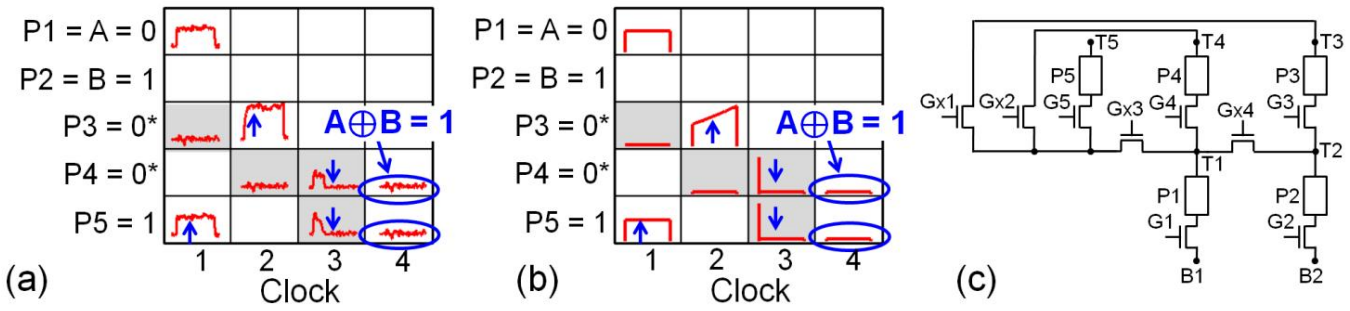
جدول III
پیاده سازی یا دروازه در سکانس 3پالس با 5سوئیچ. عملیات IMPبا رنگ خاکستری مشخص شده است در حالی که این
نتیجه خروجی با رنگ سبز مشخص شده است.

ساعت =	1	2	3
P1=A			
P2=B			
	P3=0¯ P1¯P3 P3·P4		
	P4=0¯ P2¯P4 P3·P4		
P5=0¯			P4 ≈ P5



شکل .8جریان سوئیچینگ اندازه گیری شده برای یک گیت ORبا ورودی A = 0 و B = 1 (a) و مدار مورد
استفاده برای نمایش تجربی. (b)عملیات در هر چرخه مطابق Tabانجام می شود. IIIسوئیچ ها به صورت
P1 تا P5نشان داده می شوند که P1 به عنوان ورودی، P3 و P2به عنوان سوئیچ کمکی و P5 و P4به عنوان
خروجی خدمت می کنند. سه پالس ساعت برای عملیات ORاستفاده می شود. فلش‌ها انتقال‌های تنظیم
و بازنشانی را نشان می‌دهند، عملیات IMPبا رنگ خاکستری برجسته شده‌اند.

Machine Translated by Google



شکل .10اندازه گیری (a)و محاسبه (b)جریان سوئیچینگ برای یک گیت XORبا ورودی A = 0و B = 1و مدار مورد استفاده برای نمایش تجربی .(c)فلش ها انتقال های تنظیم و تنظیم مجدد را نشان می دهد. عملیات در هر چرخه مطابق Tabانجام می شود. .IV

جدول Vپیاده سازی یا دروازه در یک آرایه ضربدری با 5پالس و 6سوئیچ.
برای هر پالس ساعت، جدول سوئیچ های متصل و عملیات محاسبه شده را نشان می دهد.

	ساعت = 0 1	2	3	4	5
P1 = 0	* P2 ⊕ P1			P1 · P6	
	P2 = A				
	P3 = 0 *		P4⊕ P3 P3 · P6		
	P4 = B				
	P5 = 0 *				P6 ⊕ P5
	P6 = 1			P3 · P6 P1 · P6	

جدول IVاجرای دروازه XORدر توالی 4پالس با 5سوئیچ. عملیات IMPبا رنگ خاکستری مشخص می شود در حالی که نتیجه خروجی با رنگ سبز مشخص می شود.

	1	2	3	ساعت = 4
	P1·P5			P1=A
				P2=B
			P3=0⊕ P2⊕P3	P3=P3
			P2⊕P4 P1⊕P4	P4=0
	P1·P5		P3⊕P5 P5	P5

یکپارچه سازی، زیرا مدارهای CMOSبه یک منطقه بسیار بزرگ برای راه اندازی همه سوئیچ ها نیاز دارند. برای کاهش پیچیدگی مدار، مدار را می توان در یک معماری crossbarاجرا کرد همانطور که در شکل 11نشان داده شده است. در اینجا، سطح مقطع بخشی از یک آرایه میله متقاطع 2لایه نشان داده شده است که شامل عناصر سوئیچینگ و انتخابگرها می شود. برای گیت های اساسی، یعنی AND و IMP، 2سوئیچ از لایه های بالا و پایین (به عنوان مثال، P1و P2، یا P1و P4)را می توان برای انجام محاسبات با اعمال یک پالس محرک انتخاب کرد. برای توابع پیچیده تر، مانند ORو XOR، یک توالی مناسب از عملیات منطقی را می توان در سوئیچ های متعدد و پالس های ساعت متعدد انجام داد.

به عنوان مثال، Tab. V توالی عملیات یک تابع ORرا با استفاده از 6سوئیچ (مثلاً P1تا P6در شکل (11و 5پالس ساعت گزارش می دهد. در اینجا، عملیات NOTدر ساعت #1و #انجام می شود، در حالی که NOT(B)در ساعت #3از لایه بالا به لایه پایین منتقل می شود. عملیات ANDو NOTدر نهایت به ترتیب در مراحل ساعت #4و #5 انجام می شود. توجه داشته باشید که اجرای crossbarبه طور کلی به تعداد بیشتری سوئیچ و/یا پالس ساعت نیاز دارد، با این حال، ناحیه مدار پیرامونی برای آدرس دهی خطوط از طریق این روش به حداقل می رسد. مشابه ،OR تابع XORنیز می تواند در یک آرایه crossbarبا استفاده از 8سوئیچ و 8پالس ساعت پیاده سازی شود. معماری مدار و طرح‌های انتخاب/لغو انتخاب در آرایه نوار متقاطع در مقاله همراه [22]بیشتر مورد بررسی قرار گرفته‌اند.

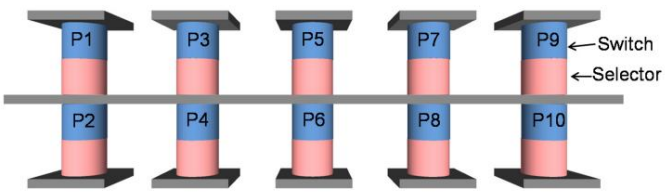
IV.نتیجه گیری

ما عملیات منطقی غیرفرار را در IRRAMاز طریق سوئیچینگ شرطی در دستگاه‌های متصل به سریال نشان داده‌ایم.
متغیر حالت RRAMمی تواند 0(وضعیت تنظیم مقاومت کم) یا 1(وضعیت تنظیم مجدد با مقاومت بالا) باشد. متغیر حالت هم به عنوان ورودی یا هم خروجی عملیات منطقی استفاده می شود. و، IMP،

با خروجی در P4 = A⊕B'و در .P5 = B'⊕A. در نهایت محصول AND P4·P5در پالس چهارم انجام می شود. شکل 10جریان اندازه گیری شده (a)و محاسبه شده (b)را به عنوان تابعی از زمان در طول عملیات توالی XOR Tabنشان می دهد. در حالی که شکل 10cمدار مورد استفاده برای نمایش تجربی را نشان می دهد. نمایش برای ورودی A = 0و B = 1انجام شد، که منجر به خروجی P4 = P5 = A ⊕ B = 1شد. محاسبات با شبیه سازی سوئیچ های 2-RRAMبا محدودیت جریان برای توصیف اثر انتخاب به دست آمد. ترانزیستورها شبیه‌سازی‌ها با استفاده از یک مدل تحلیلی برای دمای تنظیم/ تنظیم مجدد RRAMو مهاجرت به کمک میدان نقص‌های یونیزه انجام شد .[43]عملیات XORبرای دستیابی به توابع پیچیده‌تر ضروری است، مانند جمع که در مقاله همراه [22] به آن پرداخته شده است.

F.پیاده سازی Logic-Gatesدر یک آرایه crossbar

امکان‌پذیری گیت‌های منطقی در بخش‌های فرعی قبلی با فرض یک سیم‌کشی قابل تنظیم مجدد مورد بحث قرار گرفت، جایی که سوئیچ‌های جداگانه با سیم‌های مناسب برای محاسبه هر عملیات متصل شدند. اگرچه برای نمایش عملی منطق RRAMمفید است، سیم کشی قابل تنظیم مجدد بسیار گران است



شکل .11مقطع بخشی از یک آرایه crossbarبرای اجرای هر تابع عمومی. هر سلول منطقی شامل یک عنصر سوئیچ و یک انتخابگر است. این پیاده سازی crossbarمی تواند مورد استفاده قرار گیرد، به عنوان مثال، برای XOR (Sec. IIIE)یا هر تابع منطقی عمومی. ،OR (Sec. IIID)تابع

Machine Translated by Google

W. Otsuka، K. Miyata، M. Kitagawa، K. Tsutsui، T. Tsushima، H. Yoshi hara، T. Namise، Y. Terao
[17]و K. Ogata، "یک حافظه مقاومتی پل رسانا 4مگابایتی با سرعت خواندن 2.3گیگابایت بر ثانیه و توان برنامه
216مگابایت بر ثانیه.» ISSCC Tech. حفاری، نه. 210، 2011.

T. Sakamoto، H. Sunamura، M. Mizuno، H. Kawaura، T. Hasegawa، K. Terabe، T. Nakayama
S. Kaeriyama، [18]و M. Aono، "یک سوئیچ نانومتری الکترولیت جامد قابل برنامه ریزی غیر فرار. IEEE J. "
مدارهای حالت جامد، شماره. 40، ص. 2005. 168،

DB Strukov [19]و :KK Likharev، "CMOL FPGA: معماری قابل تنظیم مجدد برای مدارهای دیجیتال هیبریدی با
نانودستگاه‌های دو ترمینالی،"
نانوتکنولوژی، جلد. 16، شماره. 6، ص. 2005. 888،
SS Wong، "3D-FPGA و [20]YY Liauw، Z. Zhang، W. Kim، AE Gamal، غیرفرار با پکپارچه حافظه مبتنی بر
RRAM". ISSCC Tech. حفاری، نه. 406، 2012.

M. Miyamura، M. Tada، T. Sakamoto، N. Banno، K. Okamoto، N. Iguchi
H. Hada، [21]و "نخستین
نمایش نگاشت منطقی روی سلول غیرفرار قابل برنامه ریزی با استفاده از سوئیچ اتم مکمل." فناوری IEDM

حفاری، نه. 247، 2012.
S. Balatti، S. Ambrogio [22]و D. Ielmini، "منطق عادی خاموش مبتنی بر کلیدهای مقاومتی -بخش دوم:
مدارهای منطقی"، IEEE Trans. Electron Devices، vol. ارسال شده، 2014.

MN Kozicki، M. Park [23]و M. Mitkova، "عناصر حافظه در مقیاس نانو بر اساس الکترولیت های حالت جامد."
IEEE Trans. فناوری نانو، شماره 4، ص. 2005. 331،

U. Russo، D. Ielmini، C. Cagli، [24]و AL Lacaita، "رسانایی رشته و مکانیسم تنظیم مجدد در دستگاه های
حافظه سوئیچینگ مقاومتی مبتنی بر NiO". IEEE Trans. Electron Devices، vol. 56، صفحات 2009. 186-192،

D. Ielmini، F. Nardi، [25]و S. Balatti، "شواهدی برای فرآیندهای تنظیم/تنظیم مجدد ولتاژ در RRAM سوئیچینگ
دوقطبی،" IEEE Trans. دستگاه الکترون، جلد. 59، صفحات 2012. 2056–2049،

Y. Yang، P. Gao، S. Gaba، T. Chang، X. Pan، [26]و W. Lu، "مشاهده رشد رشته ای هدایت کننده در حافظه
های مقاومتی در مقیاس نانو"، Nature Communications. جلد. 3، ص. 2012. 732،

M. Liu، [27]و Q. Liu، J. Sun، H. Lv، S. Long، K. Yin، N. Wan، Y. Li، L. Sun،
رشد / انحلال پویا رشته‌های رسانا در ReRAM مبتنی بر اکسید-الکترولیت، Advanced Materials، vol. 24،
ص. 2012. 1844.1849،

A. Schulze، K. Opsomer، C. De tavernier، O. Richard، H. Bender، M. Jurczak، and W. Vandervorst،
U. Celano، L. Goux، A. Belmonte، [28]و "توموگرافی رسانا- AFM برای مشاهده رشته های سه بعدی در دستگاه
های سوئیچینگ مقاومتی، IEDM Tech. حفاری، نه. 2013. 574،

I. Valov [29]و M. Kozicki، "حافظه تغییر مقاومت مبتنی بر کاتیون،"
مجله فیزیک د: فیزیک کاربردی، ش. 46، شماره 7، ص. 2013. 074005،
T. Tsuruoka، K. Terabe، T. Hasegawa، [30]و M. Aono، "شکل گیری و مکانیسم های سوئیچینگ یک حافظه
مقاومتی اکسید مبتنی بر کاتیون،" نانوتکنولوژی، جلد. 21، ص. 2010. 213، 425-205 425

I. Valov [31]و R. Waser، "نظر در مورد مشاهده بلادرنگ در مورد رشد دینامیکی / انحلال رشته های رسانا در
ReRAM مبتنی بر اکسید-الکترولیت،" Advanced Materials، جلد. 2، صفحات 2013. 164-162،

[32]سی. شیندلر، ام. ویدس، ام . Appl. فیزیک لت.، نه 92، ص. 2008. 122910،

RAM پل رسانا [33]و S. Choi، S. Ambrogio، S. Balatti، F. Nardi، D. Ielmini، "مدل دریفت مقاومتی برای
(CB)با آرامش سطح رشته،" در کارگاه حافظه 2012 (IMW)، چهارمین IEEE International می 2012، صفحات
1-4.

[34]ک. آراتانی، ک. اوهبا، تی. میزوگوچی، اس. یاسودا، تی. شیموتو، تی. تسوشیما، تی. سونه، کی. اندو، آ. کوچیپاما،
اس. ساساکی، آ. ماساکا، ن. یامادا و H. Narisawa، "حافظه مقاومتی جدید با مقیاس پذیری بالا و سوئیچینگ
نانوثانیه"، در IEDM 2007. Electron Devices Meeting، 2007.

IEEE International، دسامبر 2007، صفحات 786-783.
D. Ielmini، C. Cagli، [35]و F. Nardi، "مدل های فیزیکی تشکیل و گسیختگی نانوفیلامنت وابسته به اندازه در
حافظه های سوئیچینگ مقاومتی NiO"، نانوتکنولوژی، شماره. 22، ص. 2011. 254022،
S. Larentis، F. Nardi، S. Balatti، DC Gilmer، [36]و D. Ielmini، "سوئیچینگ مقاومتی توسط مهاجرت یونی
مبتنی بر ولتاژ در RRAM دوقطبی -بخش دوم: مدل‌سازی،" IEEE Trans. Electron Devices، vol. 59، شماره 9،
صفحات 2012. 2475-2468

IG Baek، DC Kim، MJ Lee، HJ Kim، EK Yim، MS Lee، JE [37]
لی، SE Ahn، S. Seo، JH Lee، JC Park، YK Cha، SO Park، HS
کیم، آی کی یو، یو.-آی. Chung، JT Moon و BI Ryu، "حافظه مقاومتی اکسید دودویی چند لایه متقاطع
(OxRRAM)برای برنامه ذخیره سازی پس از NAND." در IEDM Tech. Dig.، 2005، pp. 750-753.

D. Ielmini، [38]و S. Ambrogio، S. Balatti، S. Choi، "تأثیر استرس مکانیکی من بر ویژگی های سوئیچینگ
حافظه مقاومتی الکتروشیمیایی،" Adv. ماتر.، ج. 26، شماره 23، صفحات 2014. 3892-3885

NOTو انتقال را می توان در یک پالس ساعت به دست آورد، در حالی که OR، XORو
تمام عملیات های دیگر (به عنوان مثال، NANDو (NORدر چندین مرحله محاسباتی به
دست می آیند. رویکرد جدید منطق غیرفرار امکان سرکوب اتلاف توان نشتی استاتیک را
فراهم می کند، در حالی که به لطف ساختار مقیاس پذیر 2ترمینالی سوئیچ RRAM،
مصرف منطقه را کاهش می دهد.

Vقدردانی

نویسندگان Adesto Technologiesرا برای ارائه تایید می کنند
نمونه های تجربی RRAMبرای این کار.

منابع

A. Ionescu [1]و H. Riel، "ترانزیستورهای اثر میدان تونلی به عنوان سوئیچ‌های الکترونیکی کارآمد،" Nature،
جلد. 479، شماره 7373، صفحات 2011. 329-337،

D. Akarvardar، K.and Elata، R. Parsa، G. Wan، K. Yoo، J. Provine، P. Peumans، R. Howe، [2]و
HSP Wong، "مطالعات طراحی برای دروازه های منطقی نانوالکترومکانیکی مکمل،" فناوری IEDM Dig.، 2007. pp. 299-302،

D. Nikonov [3]و I. Young، "مروری اجمالی از دستگاه های فراتر از CMOSو یک روش یکسان برای محک زدن
آنها،" Proc. IEEE، جلد. 101، شماره 12، صفحات 2533-2498، دسامبر 2013.

Faulkner، D. Atkinson، D. Petit، and RP Cowburn، "Magnetic domain-wall logic" Science، vol. 309،
1688-1692، 2005. صفحات 5741، شماره [4] DA Allwood، G. Xiong، CC

[5]و. در Magn.، vol. 47، شماره 10، صفحات 2969-2966، اکتبر 2011.

S. Datta، [6]و B. Behin-Aein، D. Datta، S. Salahuddin «پیشنهاد برای یک دستگاه منطقی تمام چرخشی با
حافظه داخلی»، Nature Nanotechnology، جلد. 5، ص 270-266، 2010.

and T. Ghani، "Proposal of a spin torque gate logic،" Electron Device Letters، IEEE، vol. 32،
D. Nikonov، G. Bourianoff، [7]شماره 8، ص.
1130–1128، اوت 2011.
E. Linn، R. Rosezin، S. Tappertzhofen، U. Bottger، [8]و R. Waser، "عملیات منطقی فراتر از فون نویمان
در آرایه های نوار متقاطع غیرفعال در کنار عملیات حافظه." نانوتکنولوژی، نه. 23، صفحات 2012. 30-23،

J. Borghetti، G. Snider، P. Kuekes، J. Yang، D. Stewart، [9]و S. Williams، سوئیچ‌های 'Memristive'
عملیات منطقی 'stateful'را از طریق مفهوم مادی فعال می‌کنند، Nature، جلد. 464، شماره 7290، صفحات
873-876، 2010.
M. Cassinerio، N. Ciocchini، [10]و D. Ielmini، "محاسبات منطقی در مواد تغییر فاز با تغییر آستانه و حافظه"،
Advanced Materials، جلد. 25، شماره 41، صفحات 2013. 5975-5980،

M.-J. Tsai، [11]و HY Lee، PS Chen، TY Wu، YS Chen، CC Wang، PJ Tzeng، CH Lin، F. Chen، CH Lien،
"سوئیچینگ دوقطبی کم و سرعت بالا با یک لایه بافر نازک راکتیو Tiدر RRAM قوی مبتنی بر HfO2" در 300-297،
IEDM Tech. Dig.، 2008، pp.

DJ و [12] F. Nardi، D. Ielmini، C. Cagli، S. Spiga، M. Fanciulli، L. Goux،
Wouters، "کنترل اندازه رشته و کاهش جریان تنظیم مجدد زیر 10 μA در حافظه های سوئیچینگ مقاومت
NiO"، Solid-State Electronics، جلد. 58، صفحات 2011. 42-47،

MD Pickett [13]و RS Williams، "Sub-100 fJ و سوئیچینگ آستانه حرارتی زیر نانوثانیه در دستگاه‌های نانو نقطه
متقاطع اکسید نیوبیم،" Nanotechnology، جلد. 23، ص. 2012. 215202،

[14] HY Lee، YS Chen، PS Chen، TY Wu، F. Chen، CC Wang، PJ
Tzeng، M.-J. Tsai، و C. Lien، "سوئیچینگ کم توان و نانوثانیه در حافظه مقاوم اکسید هافنیوم مقاوم با
درپوش تیتانیوم نازک،" IEEE Electron Device Lett.، vol. 31، صفحات 2009. 46-44،

S. Hollmer، [15]و C. Gopalan، Y. Ma، T. Gallo، J. Wang، E. Runnion، J. Saenz، F. Koushan، "نمایش
حافظه دسترسی تصادفی پل زدن رسانا (CBRAM)در منطق CMOSفرآیند، "Solid-State Electronics، vol. 58،
شماره 1، ص. 2011، 61 – 54

T.-Y. [16]لیو، تی.ح.، یان، آر. شوئرلین، ی. چن، جی کی لی، جی. بالاکریشنان، جی. پی، اچ. ژانگ، آ. یاپ، جی. اویانگ،
تی. ساساکی، اس. آدپالی، آ. الشما، سی -. Y.چن، ام. گوپتا، جی. هیلتون، اس. جوشی، آ. کاتوریا، وی. لای، دی.
ماسیوال، ام. ماتسوموتو، آ. نیگام، آ. پای، جی. پاخاله، سی‌اچ سیاو، ایکس وو، آر پین، ال. پنگ، جی وای کانگ، اس.
هوین، اچ. وانگ، ن. ناگل، ی. تاناکا، ام. هیگاشیتانی، تی. مینویل، سی. گورلا، تی. تسوکاموتو، تی. یاماگوچی، ام.
اوکاجیما، Okamura، S. Takase، T. Hara، H. Inoue، L. Fasoli، M. Mofidi، R. Shrivastava، and K. Quader،
"T. یک دستگاه حافظه 2-Layer 32Gb ReRAM 130.7mm2در فناوری 24nm." در فناوری ISSCC حفاری، نه. 2013.
210،

Machine Translated by Google

[39] S. Larentis، F. Nardi، S. Balatti، D. Gilmer، و D. Ielmini، "سوئیچینگ مقاومتی با مهاجرت یونی مبتنی بر ولتاژ در IRRAM اکسید فلزی دوقطبی -بخش دوم: مدل‌سازی،" IEEE Trans. دستگاه های الکترونیکی، در حال چاپ.

[40] M.-J. لی، سی بی لی، دی. لی، اس آر لی، ام. چانگ، جی اچ هور، ی.-بی. کیم، سی.-جی. Kim، DH Seo، S. Seo، U.-I. چانگ، K.-I. یو و کیم، "یک دستگاه حافظه غیر فرار سریع، با استقامت و مقیاس پذیر ساخته شده از ساختارهای دولایه TaO 2 x / Ta 2 O 5 x ،" Nature Mater. جلد 10، صفحات 625-630، 2011.

[41] MN Kozicki، C. Gopalan، M. Balakrishnan، و M. M. Mitkova، "یک عنصر کلیدزنی غیرفرار کم توان مبتنی بر الکترولیت جامد اکسید مس- تنگستن،" IEEE Trans. نانوتکنولوژی، جلد. 5، ص. 2006. 535-544،

[42] A. Belmonte، K. Woosik، T. Boon، N. Heylen، A. Fantini، M. Houssa، M. Jurczak، و L. Goux، "Al 2 O 90 نانومتری با پایداری حرارتی و با کارایی بالا 3سلول 1T1R CBRAM مبتنی بر Cu، IEEE Trans. Electron Devices، vol. 60، صفحات 3690-3695، 2013.

[43] D. Ielmini، "مدل‌سازی ویژگی‌های جهانی تنظیم/تنظیم مجدد RRAM دوقطبی توسط رشد رشته‌ای مبتنی بر میدان و دما،" IEEE Trans. Electron Devices, vol. 58، صفحات 4309-4317، 2011.