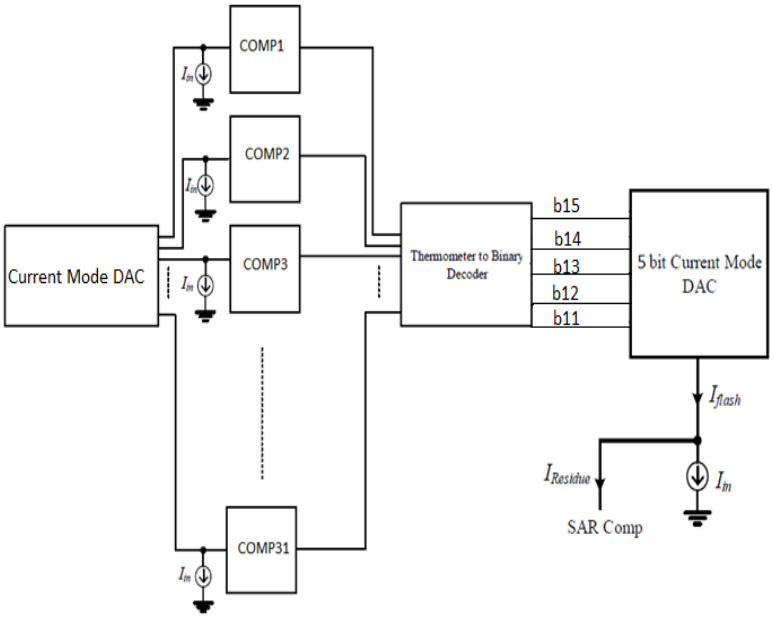
طراحی یک مبدل آنالوگ به دیجیتال ترکیبی فلش- تقریب متوالی ۱۵ بیتی در مُد جریانی

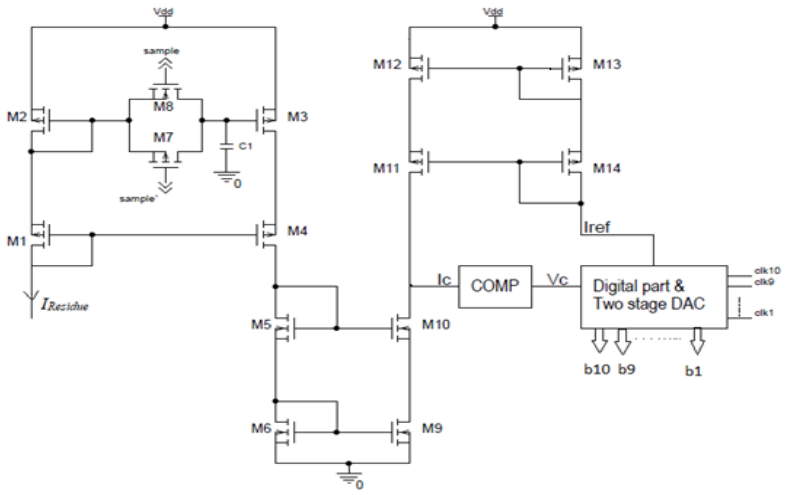
چکیده:

یک مبدل آنالوگ به دیجیتال بهینه ترکیبی فلش- تقریب متوالی ۱۵ بیتی با سرعت نمونه برداری MS/s ۱۴۲ در ولتاژ تغذیه ۱ ولت طراحی شده است. ساختار ولتاژی این مبدل قبلا طراحی شده است. در مبدل طراحی شده از ساختار جریانی استفاده شده است. استفاده از این ساختار موجب کاهش توان مصرفی و کاهش سطح مصرفی تراشه می‌گردد. همچنین ترکیب ساختار دو مبدل فلش و تقریب متوالی باعث بهبود سرعت نمونه برداری مبدل ترکیبی گردیده است. این مبدل دارای ۱۵ بیت در خروجی است که ۵ بیت پرارزش آن توسط مبدل فلش و ۱۰ بیت دیگر آن توسط مبدل تقریب متوالی تولید می‌شود. مبدل پیشنهادی در تکنولوژی µm ۰.۰۶۵CMOS شبیه سازی شده است. مبدل حاصل دارای توان مصرفی µw ۳۲۰ است.

۲) بلوک دیاگرام:

بلوک دیاگرام مبدل هیبریدی Flash-SAR در شکل ۱ نشان داده شده است. این مبدل شامل یک مبدل فلش ۵ بیتی است که با یک مبدل تقریب متوالی ۱۰ بیتی برای دستیابی به سرعت بالا و توان کم به طور همزمان ترکیب شده است. در بخش های بعدی به جزئیات مدار تک تک بلوک ها پرداخته خواهد شد. عملکرد این مبدل بدین صورت است که پس از اعمال ورودی آنالوگ به مبدل فلش ۵ بیتی ، ۵ بیت پرارزش توسط مبدل فلش تولید می‌شود. سپس بیت‌های تولید شده از مبدل فلش به یک مبدل دیجیتال به آنالوگ ۵ بیتی داده می‌شود وخروجی آن، جریان آنالوگ معادل این ۵ بیت خواهد بود که این جریان از جریان آنالوگ ورودی کم می‌شود و حاصل این تفریق جریان آنالوگ $I_{residue}$ خواهد بود که به عنوان ورودی به مدار نمونه بردار مبدل آنالوگ به دیجیتال تقریب متوالی اعمال می‌شود و در نهایت ۱۰ بیت باقی مانده توسط مبدل آنالوگ به دیجیتال تقریب متوالی تولید خواهد شد. در واقع اتصال دو مبدل از طریق این مبدل دیجیتال به آنالوگ صورت می گیرد.

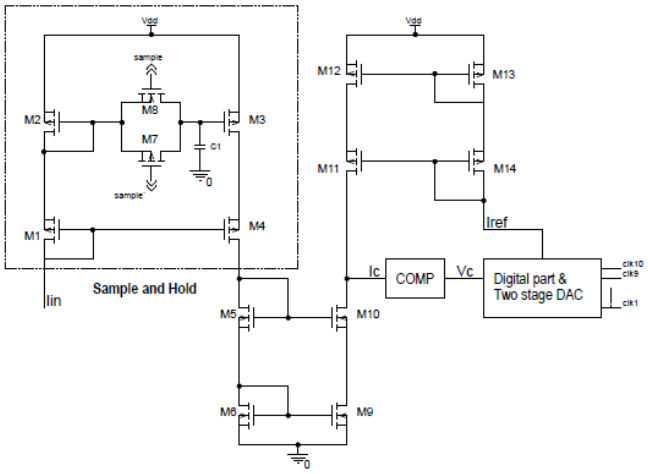




شکل ۱: بلوک دیاگرام مبدل آنالوگ به دیجیتال فلش- تقریب متوالی ۱۵ بیتی

۳) طراحی مبدل SAR جریانی:

ساختار کلی این مبدل در شکل ۳ نشان داده شده است. ساختار این مبدل نیز مشابه ساختار مبدل SAR ولتاژی دارای ۴ بخش اصلی: مدار نمونه بردار و نگه دار، مقایسه کننده، بخش کنترل دیجیتالی و بخش مبدل دیجیتال به آنالوگ است. معماری ارائه شده در این شکل یک مبدل تقریب متوالی جریانی ۵ بیتی را نشان می دهد. به منظور افزایش یا کاهش تعداد بیت خروجی(دقت مبدل) می توان زیر بخش های این معماری را اضافه یا کم کرد.



شکل ۲ : ساختار کلی مبدل آنالوگ به دیجیتال تقریب متوالی حالت جریانی

در ادامه به شرح کامل بخش های این مبدل خواهیم پرداخت:

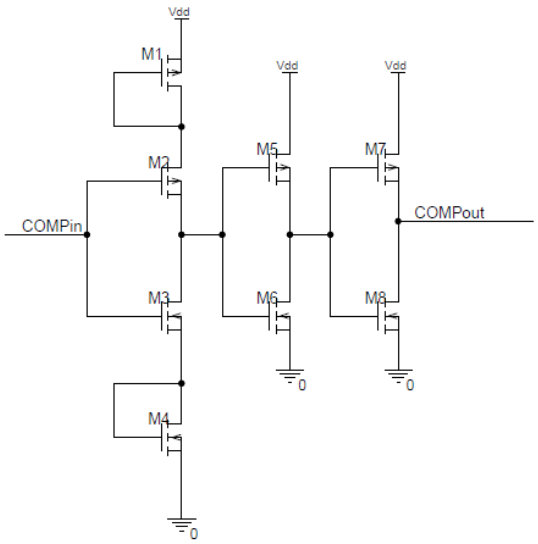
۳.۱) مدار نمونه بردار و نگه دار(S/H):

رفتار مدار نمونه بردار و نگه دار مشابه رفتار یک دوربین عکاسی است. وظیفه اصلی آن گرفتن عکس از سیگنال آنالوگ و نگه داشتن مقدار آن تا زمانی است که مبدل آنالوگ به دیجیتال بتواند سیگنال را پردازش کند. عملکرد مدار نمونه بردار و نگهدار استفاده شده در اینجا به این صورت است که یک سیگنال کلاک به نام Samp گیت انتقال را روشن می‌کند و مدار وارد حالت ردیابی می‌شود که طی آن I_{sample}(جریانی که از ترانزیستور M_4 می گذرد) I_{in} را دنبال می کند. در این حالت خازن شارژ می‌شود. وقتی سیگنال Sample در حالت پایین (صفر منطقی) قرار می‌گیرد، مدار وارد حالت نگه داری می‌شود. در این حالت گیت انتقال خاموش شده و شارژ در خازن C_1 باقی می‌ماند. مسئله اصلی در طراحی این بخش، اندازه خازن است. همیشه بین اندازه خازن، توان مصرفی، مساحت و جریان نشتی مصالحه وجود دارد. در این مدار جریان وارد شده به ترانزیستور M_1 ، جریان ورودی و جریان نمونه برداری شده برابر با جریان عبوری از ترانزیستور M_4 در نظر گرفته شده است.

۳.۲) مقایسه کننده جریانی:

مقایسه کننده های جریانی نیز مانند مقایسه‌کننده‌های ولتاژی عملکردی بر پایه‌ی تقویت کننده ها(آمپ امپ) اما به روش جریانی دارند. در ساختار این مقایسه کننده از سه گیت معکوس کننده آبشاری (کاسکود) استفاده شده است. ورودی این مقایسه کننده اختلاف سیگنال جریان ورودی و جریان مرجع مبدل آنالوگ به دیجیتال است که به گیت معکوس کننده اول وارد می‌شود و از

طریق شارژ و دشارژ کردن خازن های گیت – سورس موجود در گره ورودی، ولتاژی را در گیت معکوس کننده اول ایجاد می کند. ولتاژ خروجی نهایی عکس ولتاژ گیت- سورس طبقه اول تغییر می کند و به صورت سطح منطقی صفر و یک خواهد بود. مدار معکوس کننده دوم و سوم به منظور افزایش سرعت انتقال سطح سیگنال خروجی به سطح منطقی ۰ و ۱ استفاده شده اند. در ساختار زیر W هر یک از ترانزیستورها در هر طبقه نسبت به W ترانزیستور متناظرآن در طبقه قبل، ۲ برابر است. همچنین نسبت $\frac{w}{l}$ ترانزیستورهای PMOS نسبت به ترانزیستورهای NMOS دوبرابر در نظر گرفته شده است.در اینجا به منظور افزایش سرعت مقایسه کننده، محدوده دینامیکی جریان با استفاده از دو ترانزیستور دیودی PMOS و NMOS محدود می شود. اما توان مصرفی کاهش می یابد و دقت بالاتری را ارائه می‌دهد.



شکل۳: ساختار مقایسه کننده جریانی

۳.۳) مبدل دیجیتال به آنالوگ(DAC):

در مبدل آنالوگ به دیجیتال SAR ولتاژی معمولا از آرایه ی خازنی برای ایجاد مبدل دیجیتال به آنالوگ استفاده می گردد. یکی از آرایه های خازنی رایج ساختار دودویی است. در این ساختار از الگوریتم جستجوی باینری استفاده شده و خازن ها به صورت دودویی وزن دهی می‌شوند. و این یعنی با اضافه شدن هر بیت مساحت DAC دو برابر می شود. از آن جا که مساحت و نرخ داده چنین مبدل هایی به شدت به ظرفیت کل آرایه خازن بستگی دارد، فرآیند بهینه سازی معمولاً به حداقل کردن این ظرفیت می پردازد. به حداقل رساندن کوچکترین خازن (خازن واحد) مشکلاتی دارد ، زیرا در این روش تأثیر خازن های پارازیتی افزایش داده می شود که خود منجر به کاهش دقت ADC می شود.

در اینجا از ساختاری جریانی در بلوک DAC بهره گرفته شده است . الگوریتم تبدیل در این روش مشابه الگوریتمی است که در حالت ولتاژی استفاده می شود.از مزیت های این ساختار می توان به توان مصرفی کم آن اشاره کرد. همچنین در این ساختار جدید برخلاف ساختار آرایه خازنی(معماری توزیع مجدد بار)، جریان های موجود در بخش DAC تنها باید خازن های پارازیتی کوچک موجود در ترانزیستورها را شارژ کنند. در نتیجه، چنین مبدل هایی به طور بالقوه می توانند عملکرد بهتری داشته باشند. همچنین این ساختار مساحت کمتری را نسبت به حالت خازنی اشغال می کنند. زیرا در این ساختار دیگر از خازن های بزرگ خبری نیست.

یکی از مشکلات ساختار جریانی حساسیت DAC به عدم تطبیق ترانزیستورهاست برای حل این مشکل می توان اندازه کوچکترین ترانزیستور با عرض واحد را افزایش دهیم اما این کار به دلیل افزایش اندازه ترانزیستور پرارزش ترین بیت و در نتیجه آن محدود شدن دقت مبدل (تنها تا ۷ یا ۸ بیت)، راه حل مناسبی نخواهد بود.

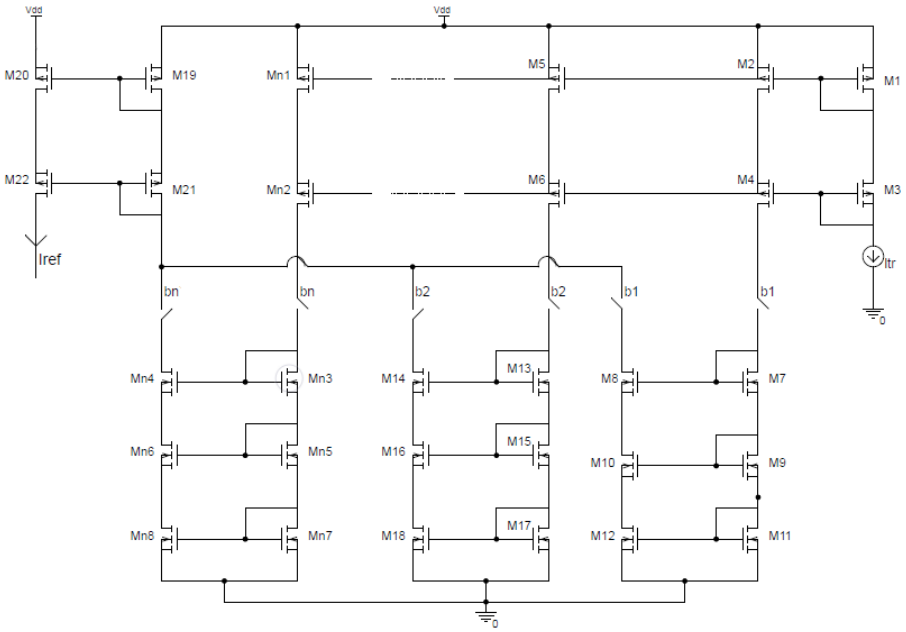
راه حل دوم این است که از ساختار دو طبقه مبدل دیجیتال به آنالوگ که در شکل ۴ نشان داده شده است، استفاده شود[3,9]. در این ساختار از ترکیب دو طبقه اتصال آبشاری آینه جریان PMOS و NMOS استفاده شده است. در این ساختار ترانزیستورهای NMOS متصل به خروجی برخلاف ساختار معمول جریانی دارای وزن دودویی نیستند اما جریان عبوری از هریک از شاخه ها دارای وزن دودویی است. به همین دلیل ابعاد ترانزیستور کوچکتر و سطح تراشه کمتری مصرف می‌شود. . یک جریان ورودی I_{tr} که محدوده بالایی جریان مرجع I_{ref} را کنترل می کند، ده بار در ترانزیستورهای کاسکود PMOS با بهره های زیر کپی می شود:

$$k_{1,x} = \{1,1,2,2,4,4,8,16,16,16\}/k$$

و جریان حاصل از طبقه اول به طبقه دوم جاری می شود، که از ترانزیستورهای کاسکود NMOS با بهره های زیر تشکیل شده است:

$$k_{2,x} = \{1,2,2,4,4,8,8,8,16,32\}$$

جریان های خروجی حاصل از طبقه دوم مانند ساختارکلاسیک تک طبقه ساختار جریانی باینری وزن دهی می شوند. انتخاب مناسب این ضرایب باعث به حداقل رساندن قابل توجهی از گسترش بین اندازه‌های ترانزیستور می‌شود که امکان افزایش اندازه همه ترانزیستورها را فراهم می‌کند و در نتیجه تطابق را بهبود می‌بخشد.



شکل ۴: ساختار مبدل دیجیتال به آنالوگ جریانی n بیتی دو طبقه با اتصال کاسکود

رابطه جریان مرجع خروجی حاصل ازیک مبدل دیجیتال به آنالوگ n بیتی در یک مبدل تقریب متوالی به شکل زیر خواهد بود:

$$I_{ref} = (b_n 2^{n-1} + b_{n-1} n 2^{n-2} + \cdots + b_1).I_{tr} \qquad (۱-۳)$$

۳.۴) بخش کنترل دیجیتالی:

بخش کنترل دیجیتالی در مبدل آنالوگ به دیجیتال عمل ذخیره‌سازی و پردازش بیت‌ها را انجام می‌دهد. همچنین سیگنال‌های کنترلی بخش‌های دیگر را نیز ایجاد می‌کند. به این بخش رجیستر تقریب متوالی نیز گویند. در طراحی این قسمت ازاتصال چند سلول بیت(بیت سِل) استفاده شده است. در ساختار داخلی هر سلول بیت از یک گیت OR و یک گیت AND سه ورودی و یک گیت NOR و یک دی فیلیپ فلاپ و یک گیت NOT استفاده شده است.

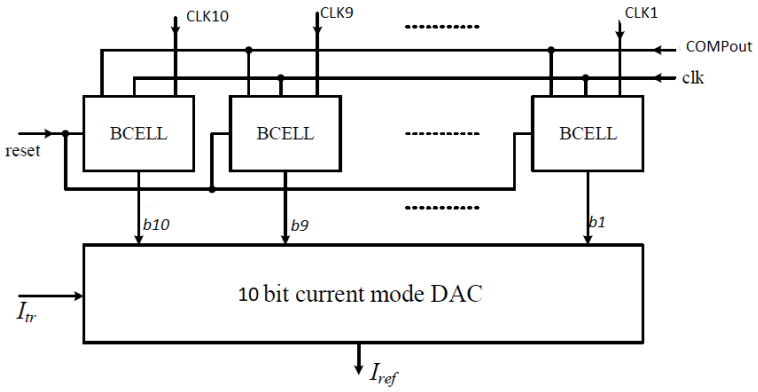
در شکل های ۵ و ۶ و ۷ ساختار بخش دیجیتال و سیگنال های کلاک اعمال شده برای یک مبدل آنالوگ به دیجیتال تقریب متوالی ۱۰بیتی نشان داده شده است.

ورودی های این مدار شامل : clk و clkx و خروجی مقایسه کننده و Reset است. عملکرد این مدار به این شکل است که ابتدا یکی از سیگنال های clkx را یک می‌کنیم و این سیگنال همزمان به گیت AND و گیت NOR اعمال می شود، در این حالت یک بیت bx تولید می‌شود و این سیگنال سوییچ متناظر با خود را در مبدل دیجیتال به آنالوگ متصل می‌کند. سپس جریان مرجع I_{ref} جدیدی تولید می‌شود و با سیگنال جریان ورودی در مقایسه کننده ، مقایسه می‌شود. سپس مقایسه کننده خروجی با نام COMPout با مقدار 0 یا ۱ را ایجاد می‌کند. این سیگنال به همزمان به گیت AND و دی فلیپ فلاپ اعمال می‌شود.در نهایت سیگنال clk به عنوان ورودی سوم به گیت AND اعمال می شود.

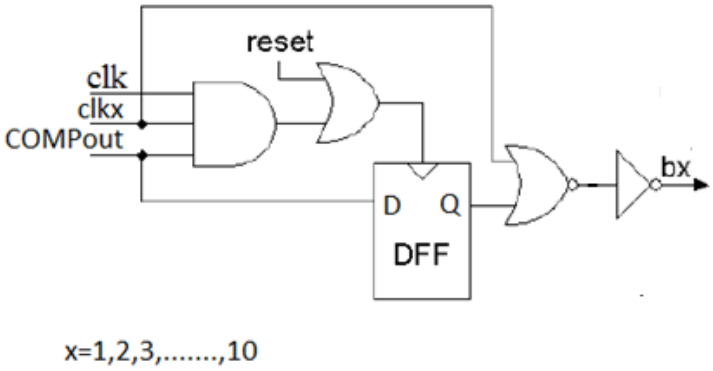
باتوجه به نتیجه خروجی مقایسه کننده یا همان مقدار COMPout دو حالت اتفاق می افتد:

۱) اگر خروجی مقایسه کننده ۱ شود و سیگنال clk نیز ۱ باشد، در این حالت هر سه ورودی گیت AND ۱ شده اند پس خروجی گیت OR نیز ۱ می شود و مقدار ۱ در دی فلیپ فلاپ ذخیره خواهد شد. در چنین وضعیتی حتی اگر سیگنال clkx صفر شود ، مقدار سیگنال bx همچنان ۱ خواهد ماند و سوییچ متناظر با آن نیز در مدار متصل باقی می‌ماند.

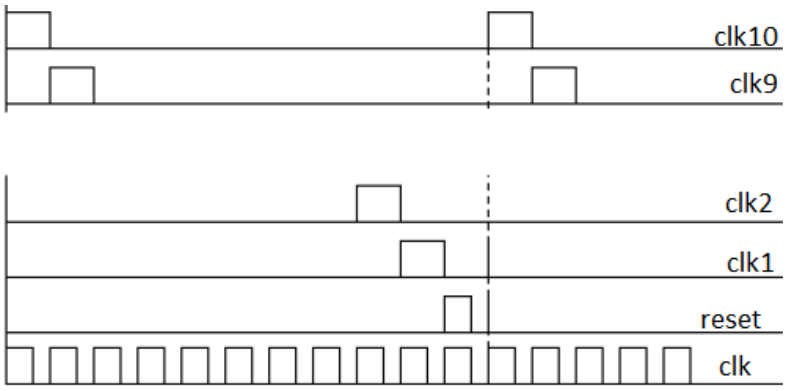
۲) اگر خروجی مقایسه کننده 0 شود و سیگنال clk ۱ باشد، با توجه به اینکه یکی از ورودی های گیت AND 0 شده است خروجی این گیت 0 خواهد بود و خروجی گیت OR نیز با توجه به صفر بودن سیگنال reset در این زمان، صفر خواهد شد.در چنین شرایطی وضعیت دی فلیپ فلاپ تغییر نکرده و حالت قبلی خود را حفظ می‌کند. تنها در صورتی که سیگنال clkx صفر شود، سیگنال bx نیز صفر خواهد شد که در این حالت اتصال سوییچ متناظر با آن نیز در مدار قطع می‌شود و جریان مرجع I_{ref} نیز تغییر می‌کند.



شکل۵: ساختار کلی بخش کنترل دیجیتالی و نحوه اتصال آن به بخش دیجیتال به آنالوگ



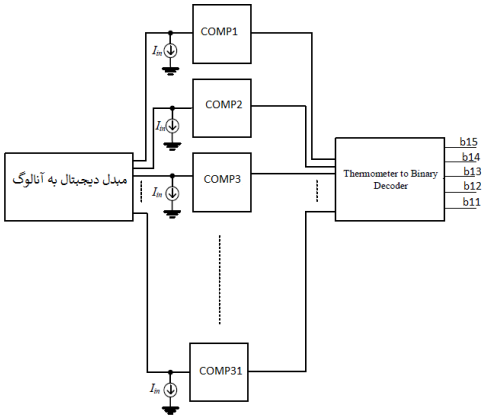
شکل۶ : سلول بیت به کار رفته در بخش کنترل دیجیتالی



شکل۷ : سیگنال های clk و clkx و reset اعمال شده به بخش کنترل دیجیتالی

۴)طراحی مبدل فلش جریانی:

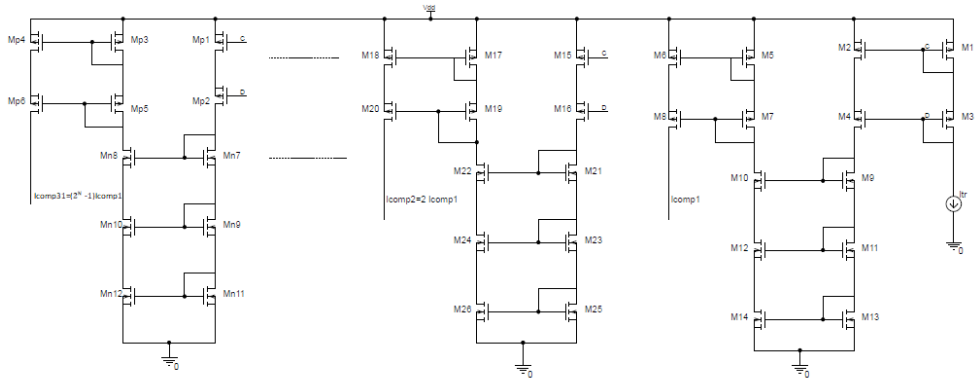
در ساختار این مبدل نیز از همان مفهوم مبدل ولتاژی بهره گرفته شده است. در یک مبدل فلش ولتاژی N بیتی به 2^N-1 مقایسه‌کننده و یک نردبان مقاومتی و یک دیکدر نیاز است. در ساختار جریانی برای ایجاد جریان های مرجع مختلف به جای نردبان مقاومتی از یک مبدل دیجیتال به آنالوگ جریانی استفاده شده است. هر یک از جریان های مرجع تولیده به عنوان یکی از ورودی های مقایسه کننده با سیگنال جریان ورودی مقایسه می‌شود. مقایسه کننده استفاده شده در این مبدل مشابه همان مقایسه کننده جریانی در ساختار مبدل آنالوگ به دیجیتال تقریب متوالی است و تعداد مقایسه کننده‌ها مانند ساختارمبدل فلش ولتاژی2^N -1 است. خروجی هر مقایسه‌کننده بر اساس ورودی های آن صفر یا ۱ خواهد بود. اگر جریان ورودی از جریان مرجع بزرگتر باشد، خروجی مقایسه‌کننده ۱ می‌شود وبرعکس. خروجی نهایی از مقایسه کننده ها به صورت یک کد دماسنجی است که پس از عبور از مدار دیکدر(رمزگشا) به یک کد باینری تبدیل می‌شود.در ادامه قسمت های مختلف این مبدل را به طور کامل شرح خواهیم داد.



شکل۸:ساختار کلی یک مبدل فلش جریانی ۵ بیتی

۴.۱) مبدل دیجیتال به آنالوگ(DAC):

برای طراحی این بخش از همان اتصال آبشاری ترانزیستورهای PMOS و NMOS در دو طبقه استفاده شده است. با این تفاوت که در این ساختار سوییچ‌ها حذف شده‌اند و جریان های حاصل از هر شاخه دارای وزن دودویی نیستند و جریان هر شاخه به ترتیب دو برابر،سه برابر تا شاخه آخر که2^N -1 برابر شاخه اول خواهد بود که N تعداد بیت های خروجی مبدل فلش را نشان می دهد. جریان های خروجی از هرشاخه برخلاف ساختار مبدل دیجیتال به آنالوگ در مبدل تقریب متوالی در نهایت با هم جمع نمی‌شوند و هر یکی از جریان ها به عنوان ورودی یکی از مقایسه کننده ها خواهد بود.



شکل۹: مبدل آنالوگ به دیجیتال برای یک مبدل فلش جریانی ۵ بیت

۴.۲) دیکدر:

در خروجی مقایسه‌کننده‌های مبدل فلش جریانی 2^N -1 کد دماسنجی خواهیم داشت که باید به کد دودویی یا همان باینری تبدیل شوند. که باتوجه به جدول معادل کدهای دماسنجی در باینری و قوانین جبر بولی گیت های منطقی این مدار را طراحی می کنیم[10]:

B15	B14	B13	B12	B11	Thermometer Code
0	0	0	0	0	00000000000000000000000000000000
0	0	0	0	1	00000000000000000000000000000001
0	0	0	1	0	00000000000000000000000000000011
0	0	0	1	1	00000000000000000000000000000111
0	0	1	0	0	00000000000000000000000000001111
0	0	1	0	1	00000000000000000000000000011111
0	0	1	1	0	00000000000000000000000000111111
0	0	1	1	1	00000000000000000000000001111111
0	1	0	0	0	00000000000000000000000011111111
0	1	0	0	1	00000000000000000000000111111111
0	1	0	1	0	00000000000000000000001111111111
0	1	0	1	1	00000000000000000000011111111111
0	1	1	0	0	00000000000000000000111111111111
0	1	1	0	1	00000000000000000001111111111111
0	1	1	1	0	00000000000000000011111111111111
0	1	1	1	1	00000000000000000111111111111111
1	0	0	0	0	00000000000000001111111111111111
1	0	0	0	1	00000000000000011111111111111111
1	0	0	1	0	00000000000000111111111111111111
1	0	0	1	1	00000000000001111111111111111111
1	0	1	0	0	00000000000011111111111111111111
1	0	1	0	1	00000000000111111111111111111111
1	0	1	1	0	00000000001111111111111111111111
1	0	1	1	1	00000000011111111111111111111111
1	1	0	0	0	00000000111111111111111111111111
1	1	0	0	1	00000001111111111111111111111111
1	1	0	1	0	00000011111111111111111111111111
1	1	0	1	1	00000111111111111111111111111111
1	1	1	0	0	00001111111111111111111111111111
1	1	1	0	1	00011111111111111111111111111111
1	1	1	1	0	00111111111111111111111111111111
1	1	1	1	1	01111111111111111111111111111111

جدول ۱: تبدیل کد دماسنجی به باینری

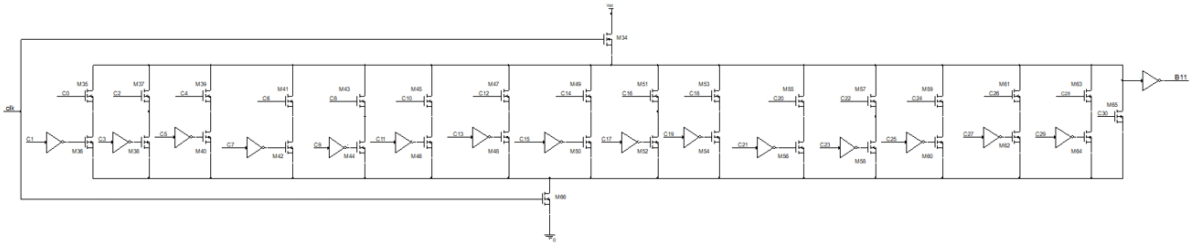
$$B_{11} = (C_0.\bar{C}_1) + (C_2.\bar{C}_3) + (C_4.\bar{C}_5) + (C_6.\bar{C}_7) + (C_8.\bar{C}_9) + (C_{10}.\bar{C}_{11}) + (C_{12}.\bar{C}_{13}) + (C_{14}.\bar{C}_{15}) + (C_{16}.\bar{C}_{17}) + (C_{18}.\bar{C}_{19}) + (C_{20}.\bar{C}_{21}) + (C_{22}.\bar{C}_{23}) + (C_{24}.\bar{C}_{25}) + (C_{26}.\bar{C}_{27}) + (C_{28}.\bar{C}_{29}) + C_{30}$$

$$B_{12} = (C_1.\bar{C}_3) + (C_5.\bar{C}_7) + (C_9.\bar{C}_{11}) + (C_{13}.\bar{C}_{15}) + (C_{17}.\bar{C}_{19}) + (C_{21}.\bar{C}_{23}) + (C_{25}.\bar{C}_{27}) + C_{29}$$

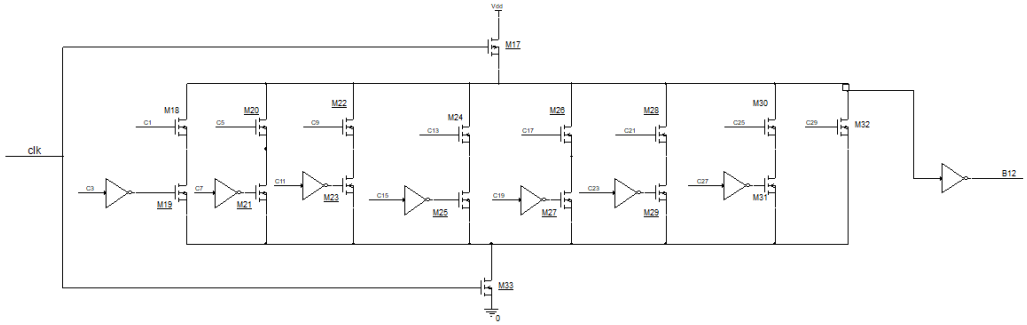
$$B_{13} = (C_3.\bar{C}_7) + (C_{11}.\bar{C}_{15}) + (C_{19}.\bar{C}_{23}) + C_{27}$$

$$B_{14} = (C_7.\bar{C}_{15}) + C_{23}$$

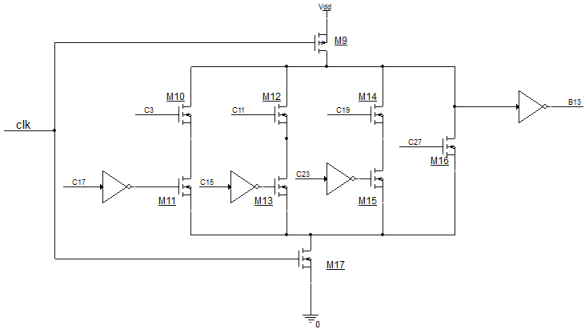
$B_{15} = C_{15}$



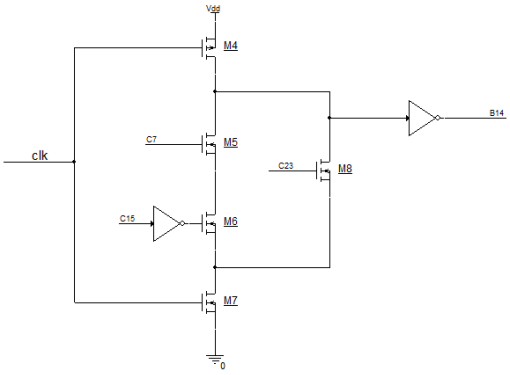
شکل ۱۰: مدار تعیین بیت B_{11}



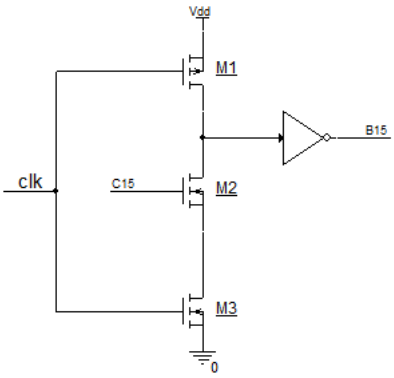
شکل۱۱:مدار تعیین بیت B_{12}



شکل ۱۲:مدار تعیین بیت B_{13}



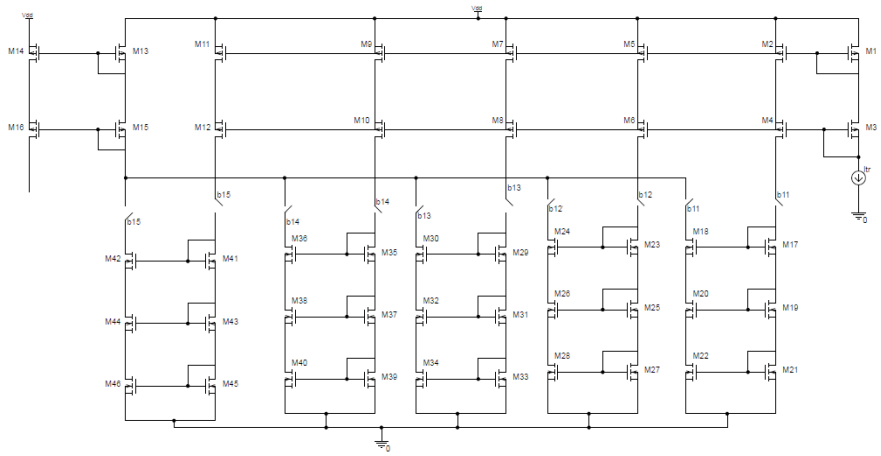
شکل ۱۳: مدار تعیین بیت B_{14}



شکل۱۴: مدار تعیین بیت B_{15}

۵) مبدل دیجیتال به آنالوگ برای ایجاد جریان باقی مانده:

همان طور که پیش از این گفته شد، ۵ بیت پر ارزش توسط مبدل آنالوگ به دیجیتال فلش و ۱۰ بیت باقی مانده توسط مبدل آنالوگ به دیجیتال تقریب متوالی ایجاد می‌شود. برای ایجاد ۱۰ بیت باقی مانده ابتدا باید سیگنال ورودی آنالوگ را به مبدل فلش اعمال کنیم و سپس ۵ بیت خروجی مبدل فلش را به یک مبدل دیجیتال به آنالوگ بدهیم و خروجی این مبدل یک جریان آنالوگ خواهد بود که از جریان ورودی اولیه کسر می گردد و سپس جریان باقی مانده به عنوان ورودی به مبدل تقریب متوالی اعمال می‌شود.



شکل۴-۲۶:مبدل دیجیتال به آنالوگ ۵ بیتی جهت تولید جریان باقی مانده