واحد علوم و تحقیقات

Lecture 13: Bipolar Transistor Fabrication Process (2)

طراحی فرایند ساخت ترانزیستور دو قطبی (۲)

استاد درس: دکتر درویش

ترانزیستور با کمترین سطح (Minimum-Area Transistor)

جانمایی ترانزیستورهای مدار مجتمع از یک سری نقش‌های درون هم (Nested Features) تشکیل شده است که کوچکترین آنها کنتاکت امیتر است. برای داشتن ترانزیستوری با کمترین سطح، کنتاکت امیتر را به اندازه کوچکترین نقش انتخاب می‌کنیم که در اینجا ۸×۸ میکرون است.

یکی از قوانین طراحی ذکر شده در جدول(۱) این است که کنتاکت امیتر باید درون نفوذ امیتر قرار گیرد. بدلیل این که $D_{E/C}$ برابر با ۵ میکرون در نظر گرفته شده، نفوذ امیتر باید به اندازه ۵ میکرون از اطراف کنتاکت فاصله داشته باشد. در این صورت ابعاد امیتر ۱۸×۱۸ میکرون می‌شود.

مشخصه β بر حسب جریان این ترانزیستور، دارای قله‌ای در جریان ۱ تا ۲ میلی‌آمپر خواهد بود.

ترانزیستور با کمترین سطح (Minimum-Area Transistor)

توجه کنید که اگر چه همپوشانی (Overlap) فلز بروی پنجره کنتاکت‌ها ضروری نیست، اما این بدان معنی نیست که عرض فلزکاری امیتر را می‌توان همان ۸ میکرون (مساوی با ابعاد پنجره کنتاکت) در نظر گرفت. زیرا تلرانس تطبیق نقاب فلزکاری (۴/۵ میکرون) این محدودیت را ایجاد می‌کند که به اندازه ۴/۵ میکرون اطراف کنتاکت باید فلز داشته باشیم تا در بدترین شرایط هنوز فلز روی امیتر با سلیکون درون کنتاکت تماس داشته باشد. در اینجا برای اطمینان و سهولت تلرانس تنظیم نقاب فلزکاری را ۵ میکرون در نظر می‌گیریم.

امیتر در درون بیس نفوذ داده می‌شود و نباید با کلکتور-بیس در تماس باشد. به منظور رعایت این شرایط، پنجره نقاب نفوذ بیس بایستی حداقل به اندازه $D_{E\text{-}B}$ یعنی ۶ میکرون از پنجره نقاب نفوذ امیتر فاصله داشته باشد. همانطور که در شکل(۹) نشان داده شده است، ابعاد نفوذ بیس چنان انتخاب می‌شوند که جای کافی برای کنتاکت بیس در یکطرف نفوذ امیتر وجود داشته باشد.

ترانزیستور با کمترین سطح (Minimum-Area Transistor)

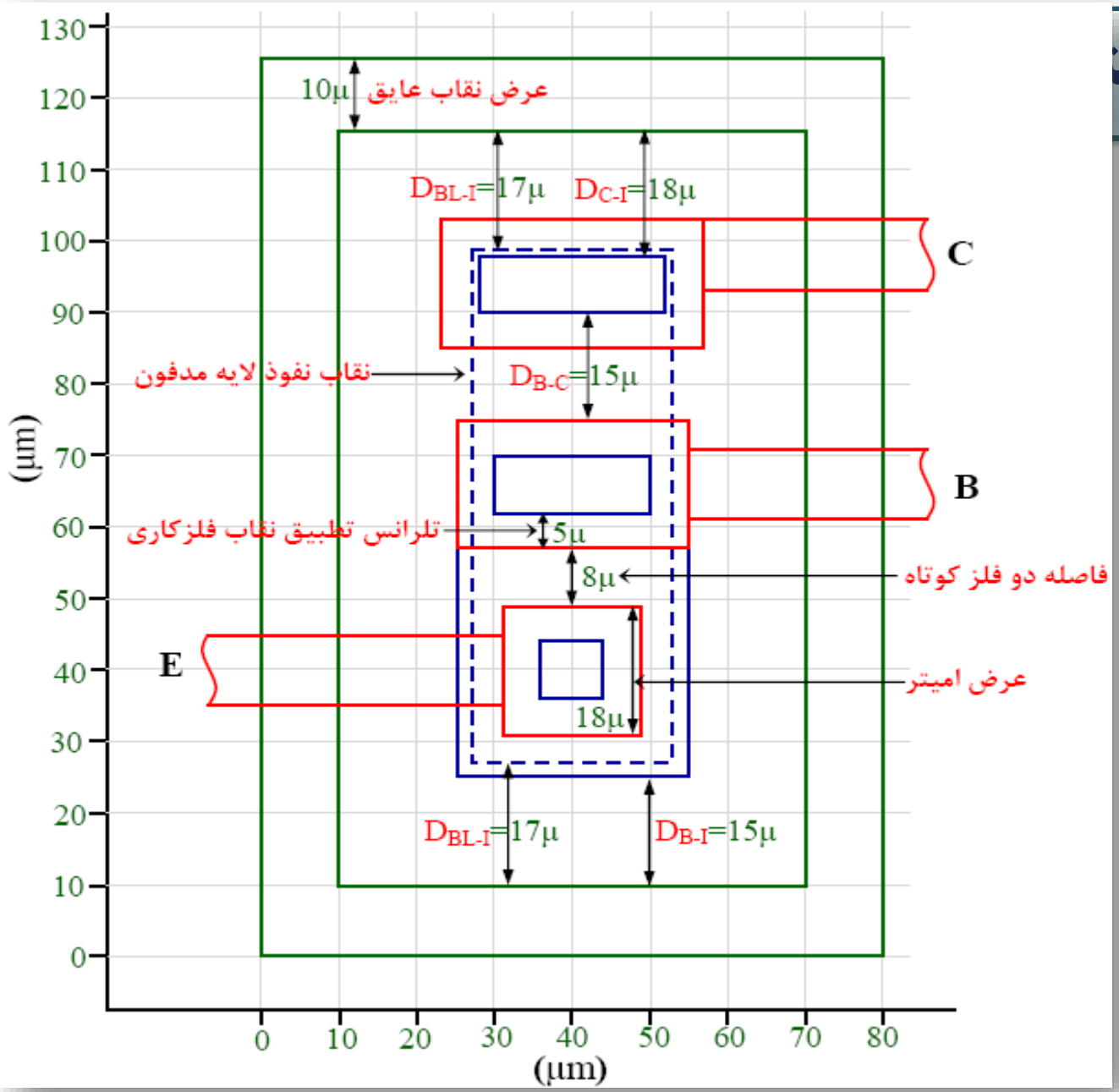
دیده می‌شود که فاصله کنتاکت بیس از نفوذ امیتر، بوسیله فلزکاری تعیین می‌شود. حداقل فاصله مجاز بین دو نوار فلزی کوتاه را ۸ میکرون فرض کرده‌ایم. بنابراین فاصله لبه درونی نقاب کنتاکت بیس از لبه نقاب نفوذ امیتر بایستی حداقل ۱۳ میکرون باشد به طوری که فاصله بین دو نوار فلزی ۸ میکرون باشد و ۵ میکرون نیز برای پوشش فلز روی کنتاکت بیس در نظر گرفته شود. عرض کنتاکت بیس را به اندازه کوچکترین نقش ۸ میکرون می‌گیریم که بایستی به اندازه $D_{B/C}$ از لبه نفوذ بیس فاصله داشته باشد.

در ناحیه کلکتور، به کمک نفوذ کلکتور عمیق با لایه مدفون کنتاکتی ایجاد می‌کنیم. فاصله این کنتاکت از نفوذ بیس در جدول(۳) مشخص شده است. در این حالت فلزکاری عامل تعیین کننده‌ای نیست.

بالاخره نفوذ عایق در اطراف ترانزیستور به فاصله حداقل ۱۷ میکرون از لایه مدفون قرار داده می‌شود. شکل(۹) جانمایی این ترانزیستور را نشان می‌دهد.

بدین ترتیب مساحت ترانزیستور بدون احتساب نواحی عایق ۶۰×۱۰۶ میکرومتر مربع خواهد بود.

شکل(۹): جانمایی ترانزیستور با کمترین سطح بر اساس قوانین طراحی جدول(۱)



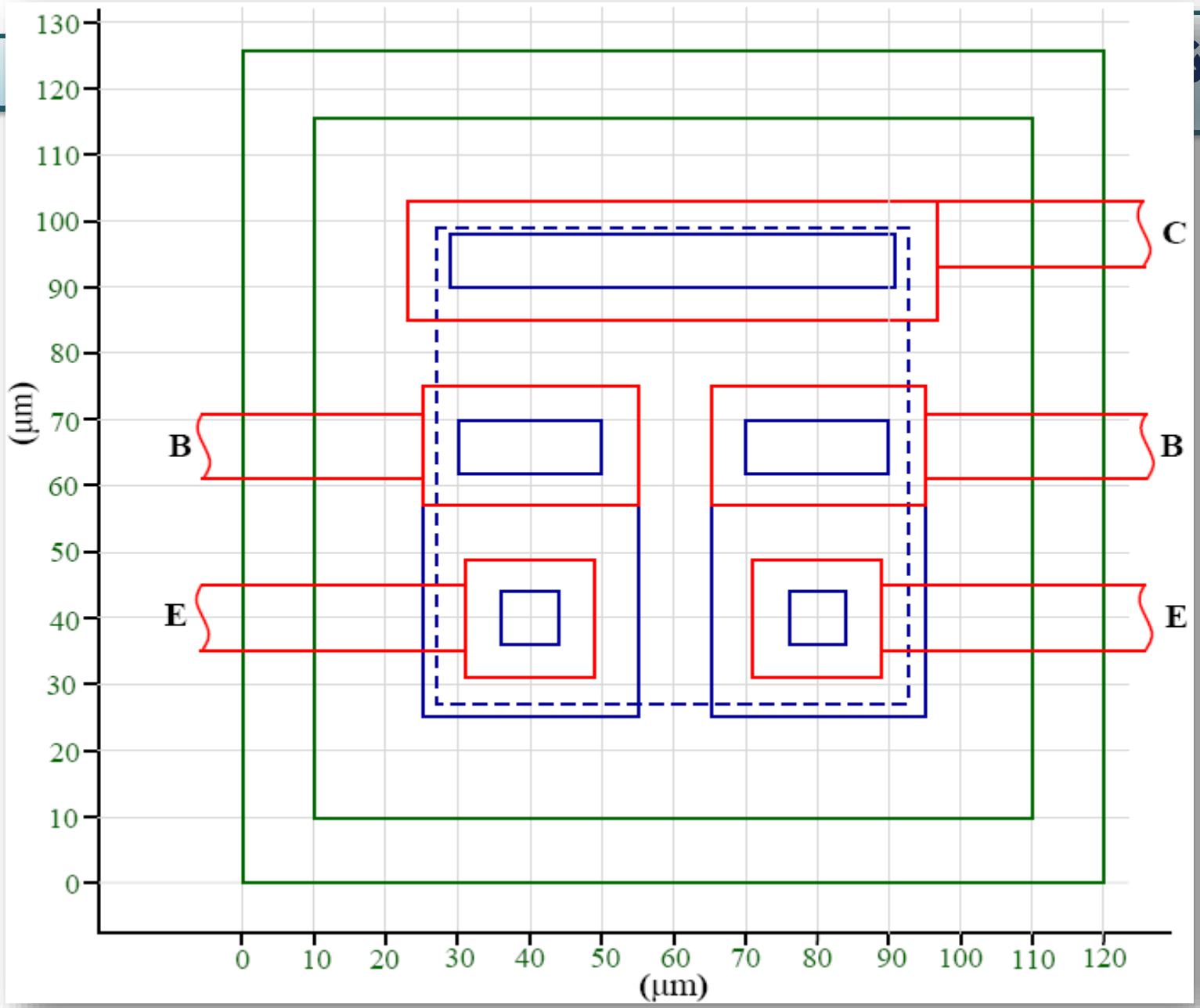
ترانزیستور با کمترین سطح (Minimum-Area Transistor)

مثال: جانمایی دو ترانزیستور کلکتور مشترک با کمترین سطح را ترسیم کنید.

جواب: بدلیل مشترک بودن کلکتورها، هر دو ترانزیستور دارای لایه مدفون مشترک بوده و در یک ناحیه عایق شده قرار دارند. جانمایی نواحی بیس و امیتر مانند ترانزیستور با کمترین سطح که قبلاً بررسی شد، است. حداقل فاصله بین نقش‌های نقاب نفوذ بیس بوسیله نفوذ جانبی بیس، ناحیه تخلیه کلکتور-بیس و حداقل فاصله در بدترین شرایط مطابق با رابطه مربوط به $D_{B\text{-}B}$ تعیین می‌شود.

مساحت این جفت ترانزیستور بدون احتساب نواحی عایق، ۱۰۶×۱۰۰ میکرومتر مربع است که حدود ۱/۶ برابر مساحت ترانزیستور تکی است.

شکل(۱۰): جانمایی دو ترانزیستور کلکتور مستر ک با کمترین سطح

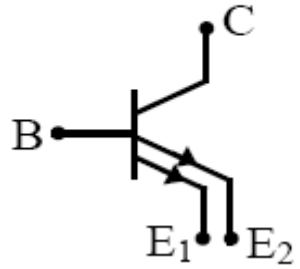


ترانزیستور با کمترین سطح (Minimum-Area Transistor)

تمرین۳: مساحت ترانزیستور با کمترین سطح را که جانمایی آن در شکل(۹) رسم شده است، تعیین کنید.

تمرین۴: مساحت جفت ترانزیستور کلکتور مشترک را که جانمایی آن در شکل(۱۰) نشان داده شده است، تعیین کنید.

تمرین۵: جانمایی ترانزیستوری با دو امیتر را رسم کنید و مساحت آن را بدست آورید.



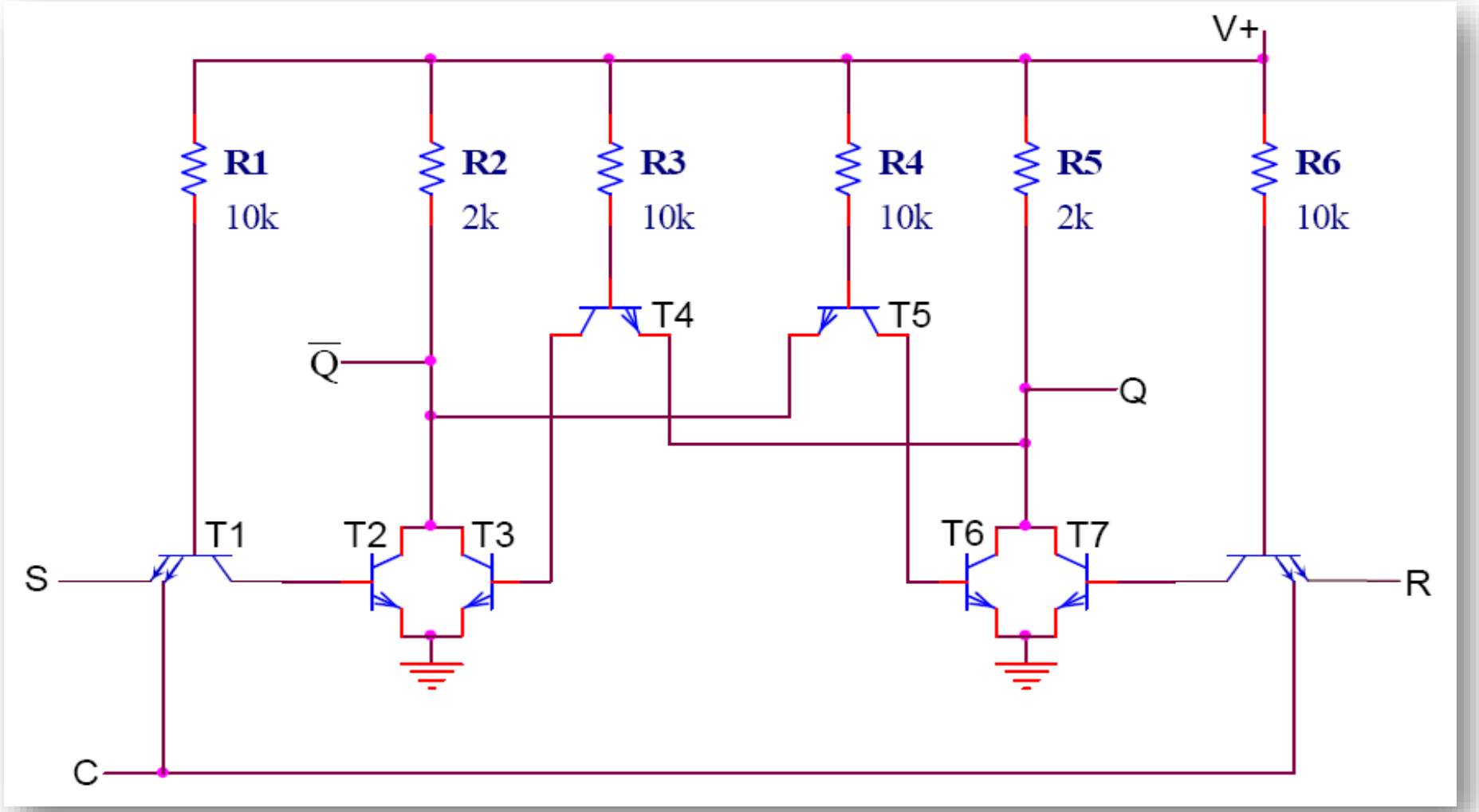
جانمایی مدارهای مجتمع سلیکانی

طراحی جانمایی مدارهای مجتمع، بیستر از آن که علم باشد، یک هنر است و راه‌حل منحصر بفردی ندارد. در حالت کلی، بایستی بدنبال آرایش مناسبی از مدار بگردیم که حداقل سطح را اشغال کند، نسبت ابعاد مطلوبی داشته باشد، کمترین تعداد روگذر نفوذی را بکار گیرد و حتی‌الامکان تقارن مداری در آن حفظ شده باشد.

مدار فلیپ‌فلاپ R-S که نمایش مداری آن در شکل(۱۱) داده شده است را برای نشان دادن مشکلات طراحی انتخاب کرده‌ایم. این مثال تا اندازه‌ای پیچیده است به طوری که بلافاصله نمی‌توان جانمایی آن را رسم کرد، اما در عین حال مثال نسبتاً ساده‌ای برای دنبال کردن اصول طراحی است.

در این مثال از قواعد طراحی جدول(۱) استفاده کرده و فرض می‌کنیم جریان ترانزیستور به اندازه‌ای باشد که بتوانیم ترانزیستور با حداقل مساحت امیتر را بکار بریم.

جانمایی مدارهای مجتمع سلیکانی



شکل(۱۱): دیاگرام مداری فلیپ‌فلاپ R-S ساعت‌دار

تخمین مساحت تراشه

قبل از طراحی جانمایی بهتر است ایده‌ای از مساحت لازم برای مدار مجتمع داشته باشیم. این مدار به دو ترانزیستور تکی، دو جفت ترانزیستور کلکتور مشترک، دو ترانزیستور دو امیتری و 44 kΩ مقاومت نیاز دارد. بعلاوه از هفت ترمینال بایستی جهت ارتباط بالشتک‌های اتصال (Bonding pad) به پایه‌های محفظه آن استفاده شود. برای چنین مدارهای کوچکی، ابعاد تراشه معمولاً توسط بالشتک‌های اتصال تعیین می‌شود، بعبارت دیگر ابعاد تراشه محدود شده بوسیله ابعاد ترمینال‌ها است.

در ابتدا فرض کنید عناصر مدار را بتوان به گونه‌ای در کنار هم قرار داد که هیچ‌گونه فضایی تلف نشود. با توجه به شکل‌های(۹) و (۱۰) مساحت هر ترانزیستور شامل مساحت نیمی از ناحیه عایق اطراف خود نیز است. در این صورت مساحت ترانزیستورهای تکی و کلکتور مشترک به ترتیب ۱۱۶×۷۰ میکرومتر مربع و ۱۱۶×۱۱۰ میکرومتر مربع خواهد بود.

تخمین مساحت تراشه

عرض امیتر در ترانزیستور دو امیتری با عرض امیتر در ترانزیستور تک امیتری مساوی است، اما طول آن به اندازه مجموع طول‌های نفوذ امیتر اضافی یعنی ۱۸ میکرون و حداقل فاصله بین دو نوار فلزی یعنی ۸ میکرون بیشتر است. (در واقع چون $D_{E\text{-}E}=7\ \mu m$ از حداقل فاصله بین دو نوار فلزی ($8\mu m$) کمتر است، حداقل فاصله بین دو نفوذ امیتر بوسیله فلزکاری محدود می‌شود.)

در نتیجه ترانزیستور دو امیتری به مساحت ۱۴۲×۷۰ میکرومتر مربع نیاز دارد.

بنابراین مساحت کل ترانزیستورها برابر است با:

سطح ترانزیستور تکی×۲ + سطح ترانزیستور دو امیتری×۲ + سطح ترانزیستورهای کلکتور مشترک×۲ =(۷۰×۱۱۶)×۲+(۷۰×۱۴۲)×۲+(۱۱۰×۱۱۶)×۲=۶۱۶۴۰ میکرومتر مربع

تخمین مساحت تراشه

مقاومت‌ها را ازجنس بیس با مقاومت سطحی ۲۰۰ اهم بر مربع انتخاب می‌کنیم. البته باید توجه داشته باشیم که به لحاظ تاثیر مقاومت کنتاکت‌ها به تعداد مربع‌های کمتر از ۴۴۰۰۰/۲۰۰=۲۲۰ نیاز داریم. اگر از ۲۱۰ مربع استفاده کرده و عرض مقاومت‌ها و فاصله بین آنها را ۱۰ میکرون در نظر بگیریم، مساحت لازم برای مقاومت‌ها ۲۰×۱۰×۲۱۰ یعنی ۴۲۰۰۰ میکرومتر مربع خواهد شد.

حداقل مساحت کنتاکت‌ها، ۱۸×۱۸ یعنی ۳۲۴ میکرومتر مربع است و هر کدام از شش مقاومت دو کنتاکت دارند، بنابراین مساحت کنتاکت‌ها ۲×(۶×۳۲۴)=۳۸۸۸ میکرومتر مربع است.

بنابراین حداقل مساحت فعال این مدار برابر است با:

$$۶۱۶۴۰+۴۲۰۰۰+۳۸۸۸=۱۰۷۵۲۸\ \mu m^2$$

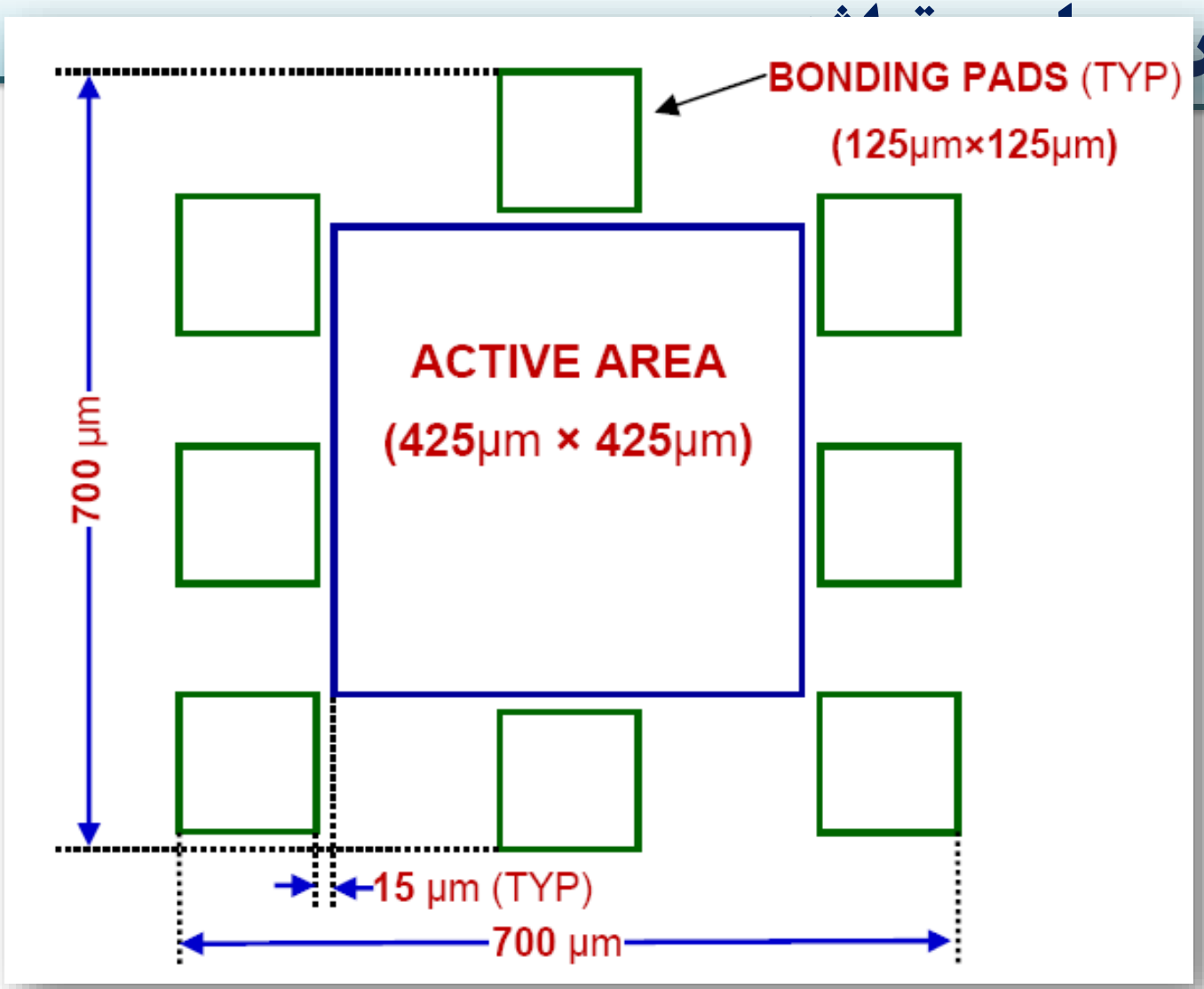
مشخص است این مساحت شامل نواحی عایق برای مقاومت‌ها و فاصله‌های لازم احتمالی بین نوارهای فلزی کنار هم نیست.

تخمین مساحت تراشه

در مدارهای بزرگ، مساحت فعال لازم معمولاً ۳۰٪ تا ۴۰٪ بیشتر از مساحت مینیمم است. برای مدارهای کوچک مانند این مثال، مساحت فعال در حدود ۶۰٪ تا ۷۰٪ از مساحت مینیمم بیشتر است. (روشن است این مساحت اضافی، به فضاهای تلف شده بین عناصر و فواصل بین نوارهای فلزی مجاور مربوط می‌شود.)

بنابراین مساحت تقریبی لازم ۱۸۰۶۴۷ میکرومتر مربع (با احتساب ۶۸٪ مساحت اضافه) بوده که با فرض مربعی بودن تراشه، ابعاد آن ۴۲۵×۴۲۵ میکرون خواهد بود.

حال بایستی هفت بالشتک اتصال را در اطراف این مساحت فعال قرار دهیم. ابعاد این بالشتک‌ها نوعاً ۱۲۵×۱۲۵ میکرون بوده و فاصله بین آنها ۱۰۰ میکرون است. با توجه به شکل(۱۲) براحتی می‌توانیم هشت بالشتک در اطراف مساحت فعال قرار دهیم. دیده می‌شود که مساحت مصرف شده توسط بالشتک‌ها از مساحت فعال تراشه بیشتر است. در نتیجه ابعاد چنین مدارهای ساده‌ای بوسیله ترمینال‌ها محدود می‌شود و نه توسط مساحت فعال عناصر.



شکل(۱۲): مساحت فعال و نحوه قرار گرفتن بالشتک‌های اتصال

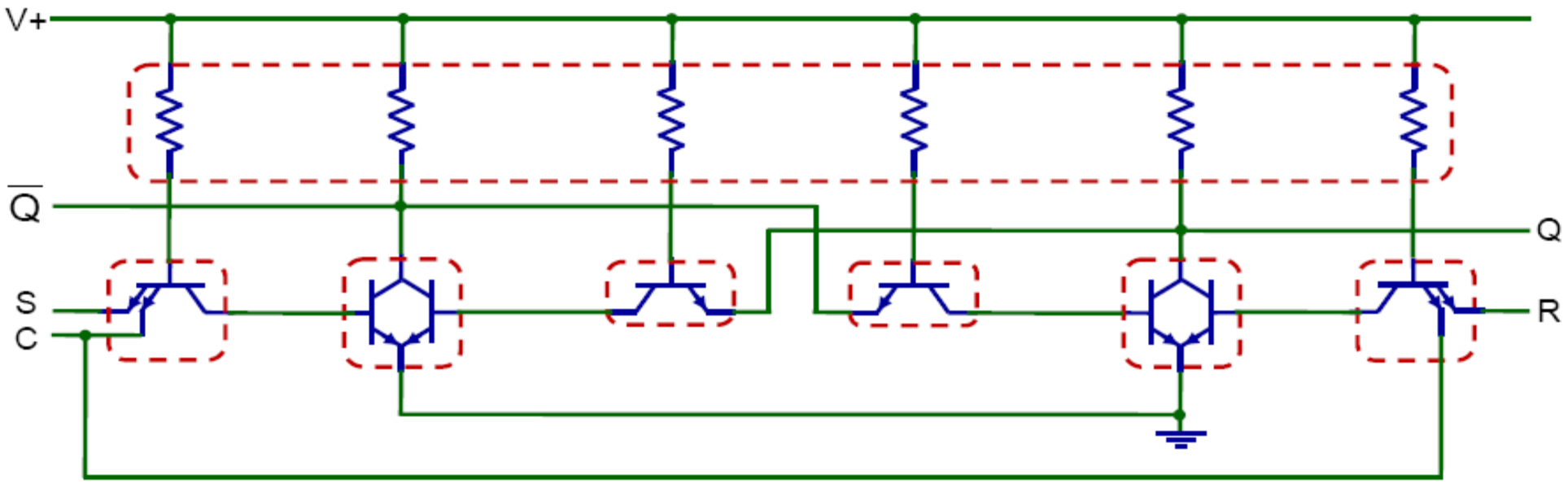
تغییر آرایش مدار

در این مرحله از طراحی هدف ما تغییر دیاگرام شکل(۱۱) به گونه‌ای است که با مکان واقعی عناصر بروی تراشه مطابقت داشته باشد. در این مرحله، ابعاد فیزیکی عناصر مختلف مدار حائز اهمیت نیست.

هرگاه مدار مسطح (Planar) نباشد، استفاده از روگذرها طبیعی است. اگر در تکنولوژی مورد نظر، امکان عبور دو مرحله فلزکاری عایق شده نسبت به هم وجود نداشته باشد، روگذر را توسط عبور فلز از روی مقاومت یا بیس و یا کلکتور ترانزیستورها انجام می‌دهیم. گاهی اوقات چاره‌ای جز استفاده از نفوذ امیتر بعنوان هادی جریان نداریم، بدین معنی که مجبوریم توسط مقاومت کم امیتر جریان را از زیر سطح سلیکون عبور داده تا امکان عبور فلز از روی سطح را فراهم سازیم.

تغییر آرایش مدار

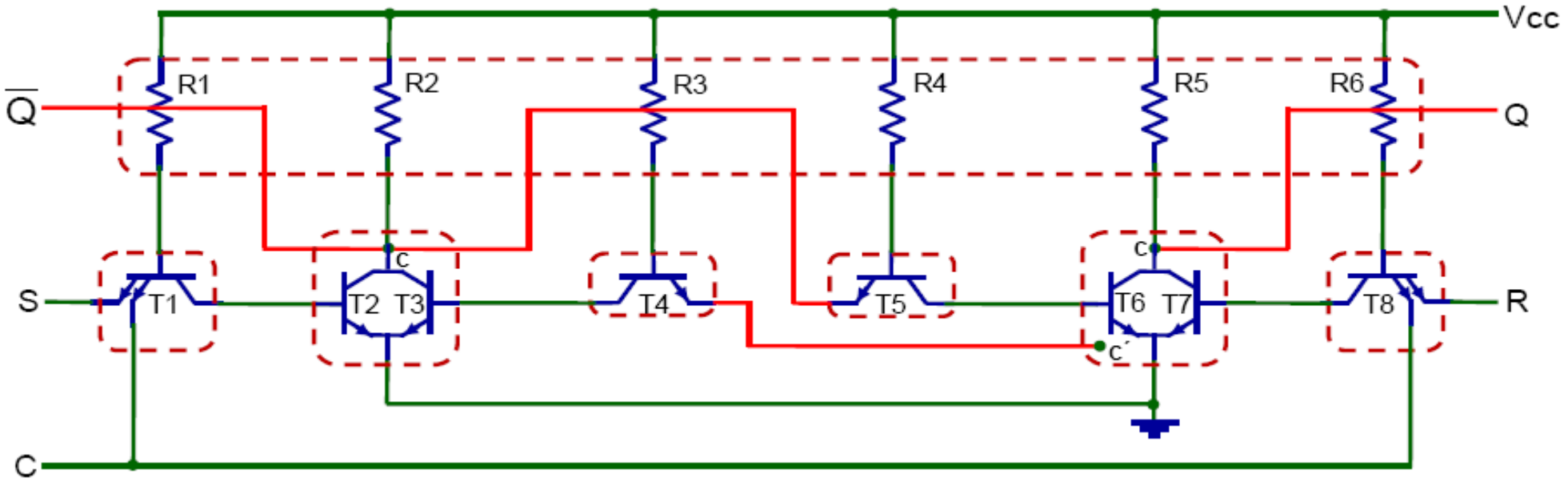
شکل(۱۳) مدار اصلی است که عناصر موجود در نواحی عایق شده را دسته‌بندی کرده‌ایم. ترانزیستورهای کلکتور مشترک در یک ناحیه عایق شده قرار دارند. بطور مشابه تمام مقاومت‌ها دارای لایه مدفون مشترک بوده و درون یک ناحیه عایق شده جای گرفته‌اند.



شکل(۱۳): مدار فلیپ‌فلاپ R-S که عناصر آن دسته‌بندی شده است

تغییر آرایش مدار

توجه کنید که مدار فوق را باید به گونه‌ای اصلاح کنیم که مسطح شود و امکان اتصال نقاط ورودی و خروجی مدار به اطراف تراشه فراهم شود. به این منظور باید مشکل روگذرها را برطرف کنیم.



شکل(۱۴): برطرف ساختن مشکل روگذرها

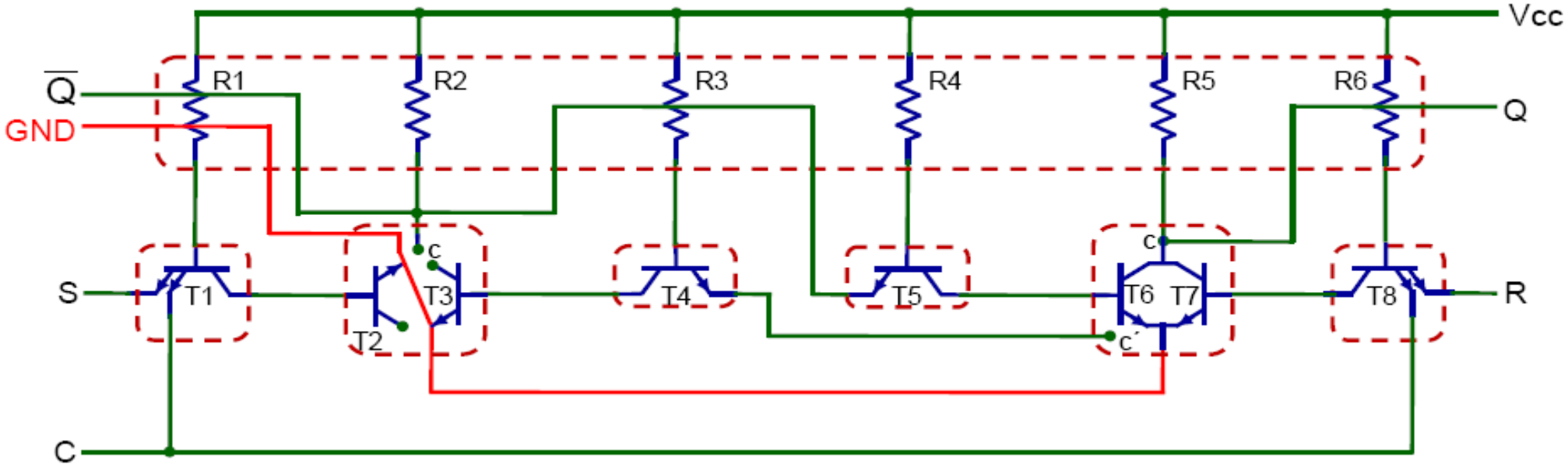
تغییر آرایش مدار

در شکل(۱۴) اتصال کلکتورهای T2 و T3 به امیتر T5 را از روی بدنه مقاومت R3 عبور داده‌ایم و امیتر T4 را به کمک اتصال به نقطه‌ای از لایه مدفون T6 و T7 به کلکتور آنها متصل نموده‌ایم. در نتیجه کلکتور عمیق دیگری به همراه کنتاکت آن برای جفت ترانزیستور T6 و T7 در نظر گرفته‌ایم.

همچنین توجه کنید که خروجی‌های Q و $\overline{Q}$ را می‌توانیم از روی بدنه‌های مقاومت‌های R1 و R6 عبور داده و به اطراف تراشه ببریم. با این همه خط زمین (Ground line) در بین تراشه و خط ساعت (Clock line) محصور شده است.

شکل(۱۵) راه‌حلی برای بیرون آوردن خط زمین و ارتباط آن به اطراف تراشه ارائه می‌کند. چون ناحیه فعال کلکتور جفت ترانزیستور T2 و T3 دارای سطح هم‌پتانسیل (Equipotential) است، ترانزیستور را می‌توانیم 180° بچرخانیم تا راهی برای عبور خط زمین باز شود. سپس خط زمین را از روی بدنه مقاومت R1 به بیرون تراشه هدایت می‌کنیم.

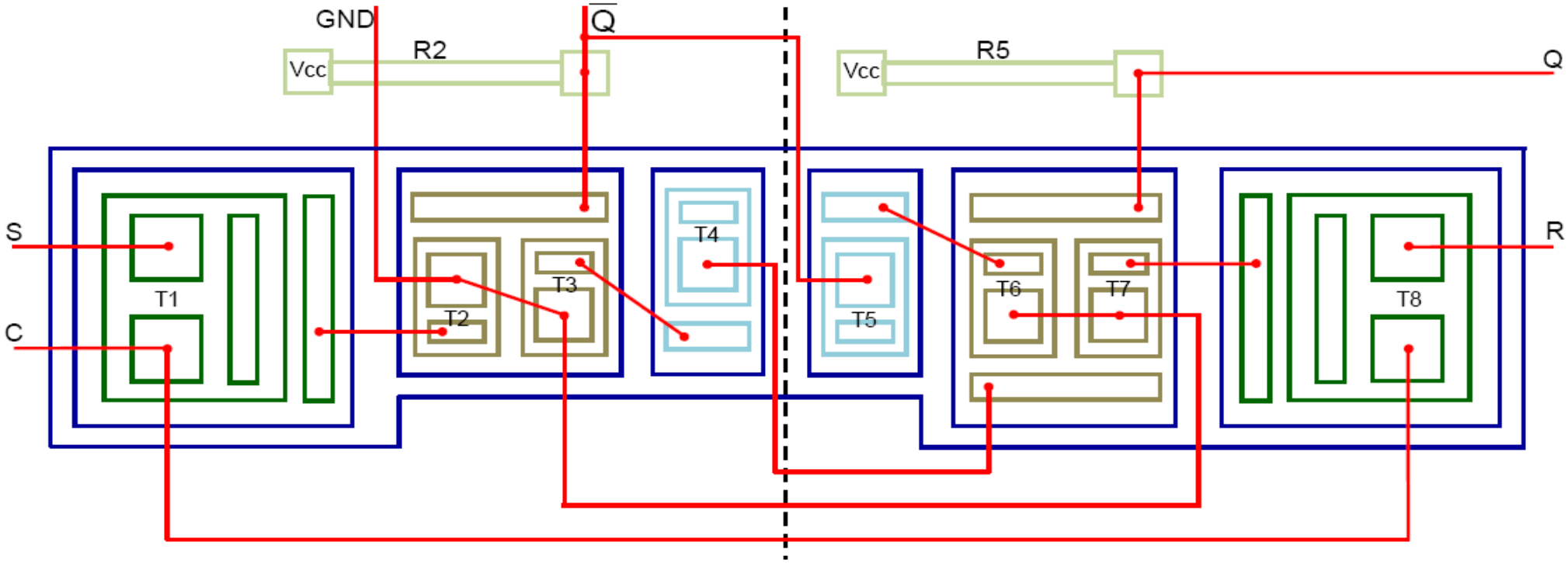
تغییر آرایش مدار



شکل(۱۵): باز کردن مسیری برای عبور زمین

مدار حاصله شکل(۱۵) اطلاعات نسبتاً کافی برای شروع طراحی جانمایی بدست می‌دهد. نقش‌های ترانزیستورها و نواحی عایق را از روی این شکل رسم می‌کنیم و فلزکاری را با خط نمایش می‌دهیم. امیتر ترانزیستورهای دو ترانزیستوری را در مقابل یکدیگر قرار می‌دهیم. بدین ترتیب جانمایی مقدماتی شکل(۱۶) بدست می‌آید.

تغییر آرایش مدار



شکل(۱۶): جانمایی مقدماتی

تغییر آرایش مدار

بعضی از مقاومت‌ها نیز در این شکل آمده است، اما ادامه این روش عاقلانه نیست. زیرا با محاسبه تقریبی ابعاد جانمایی فوق بوسیله شکل‌های(۹) و (۱۰) به نتیجه ۳۰۰×۶۰۰ میکرومتر مربع می‌رسیم که نسبت ابعاد مناسبی نیست. اگر می‌خواستیم دو فلیپ‌فلاپ در یک تراشه داشته باشیم، نسبت ابعاد ۲ به ۱ مطلوب بود، اما در این مثال تنها به یک فلیپ‌فلاپ با تراشه مربعی نیاز داریم.

با این همه این جانمایی مقدماتی این حسن را دارد که تمام اتصال‌ها را بدون نیاز به روگذر نفوذی اضافی انجام داده‌ایم.

جانمایی بهتری را با توجه به نکات زیر می‌توان رسم کرد:

۱- جانمایی دارای تقارن تقریبی نسبت به خط عمود بین دو ترانزیستور تک امیتری است.

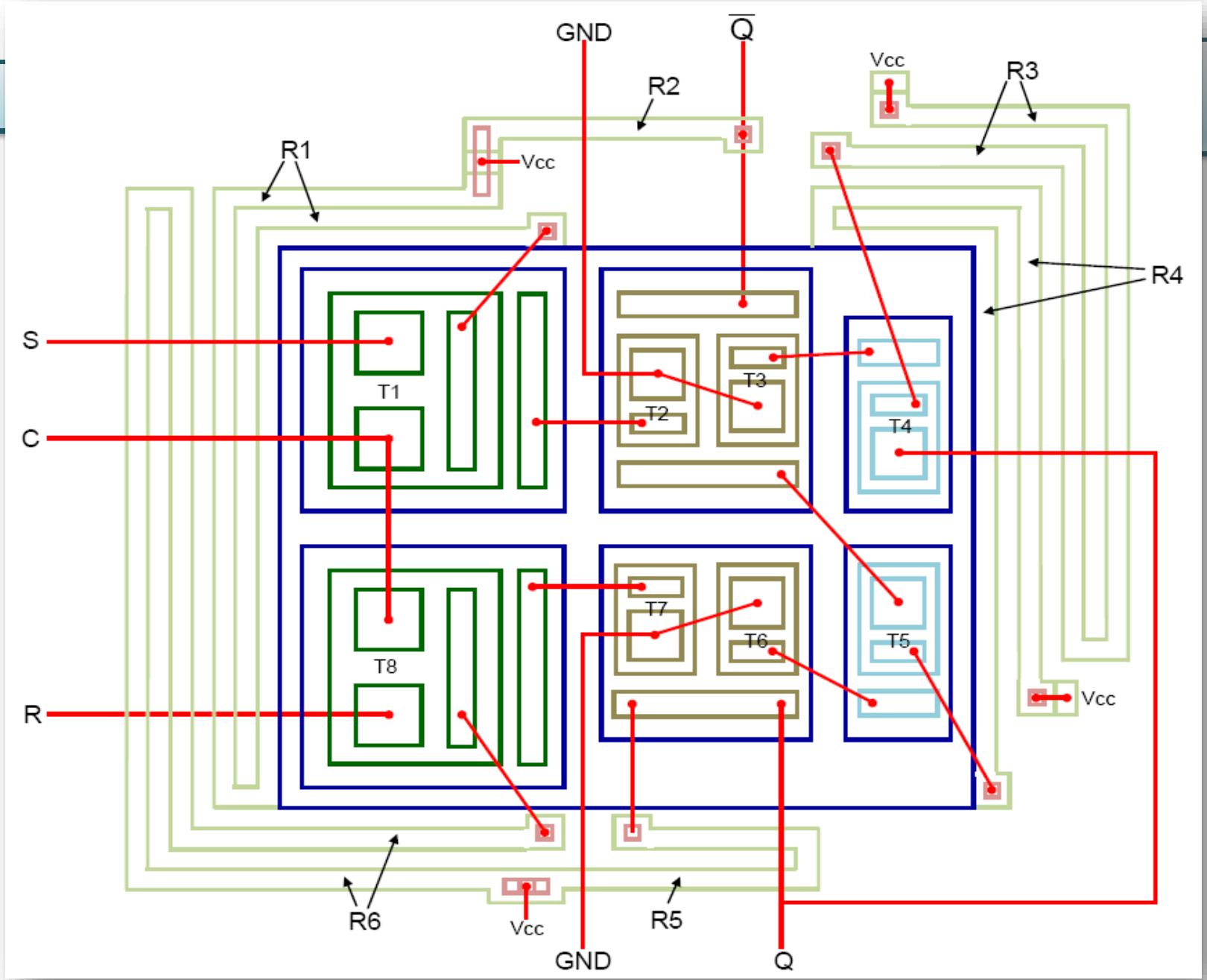
۲- فلزکاری خطوط ورودی و زمین طویل است.

تغییر آرایش مدار

اگر جانمایی را در محل خط عمود بین دو ترانزیستور تک امیتری بشکنیم و قسمت سمت چپ آن را چرخانده، به زیر قسمت سمت راست بیاوریم، ناحیه شامل ترانزیستورها بسیار به مربع نزدیک می‌شود و خطوط ساعت نیز کوتاه می‌شوند. مقاومت‌ها روی لایه مدفون مشترکی در یک ناحیه عایق شده پیرامون ترانزیستورها قرار می‌گیرند. جانمایی منتجه را که تقریباً مربعی است، در شکل(۱۷) ملاحظه می‌کنید.

مشکل این جانمایی این است که لایه مدفون مقاومت‌ها تقریباً باریک است و اگر جریان زیاد باشد، افت ولتاژ روی آن زیاد می‌شود. علاوه بر آن دو خط زمین داریم که آنها را باید با فلزکاری در دور تا دور تراشه به یکدیگر متصل نماییم.

شکل(۱۷): جانمایی بهتر با هندسه مربعی



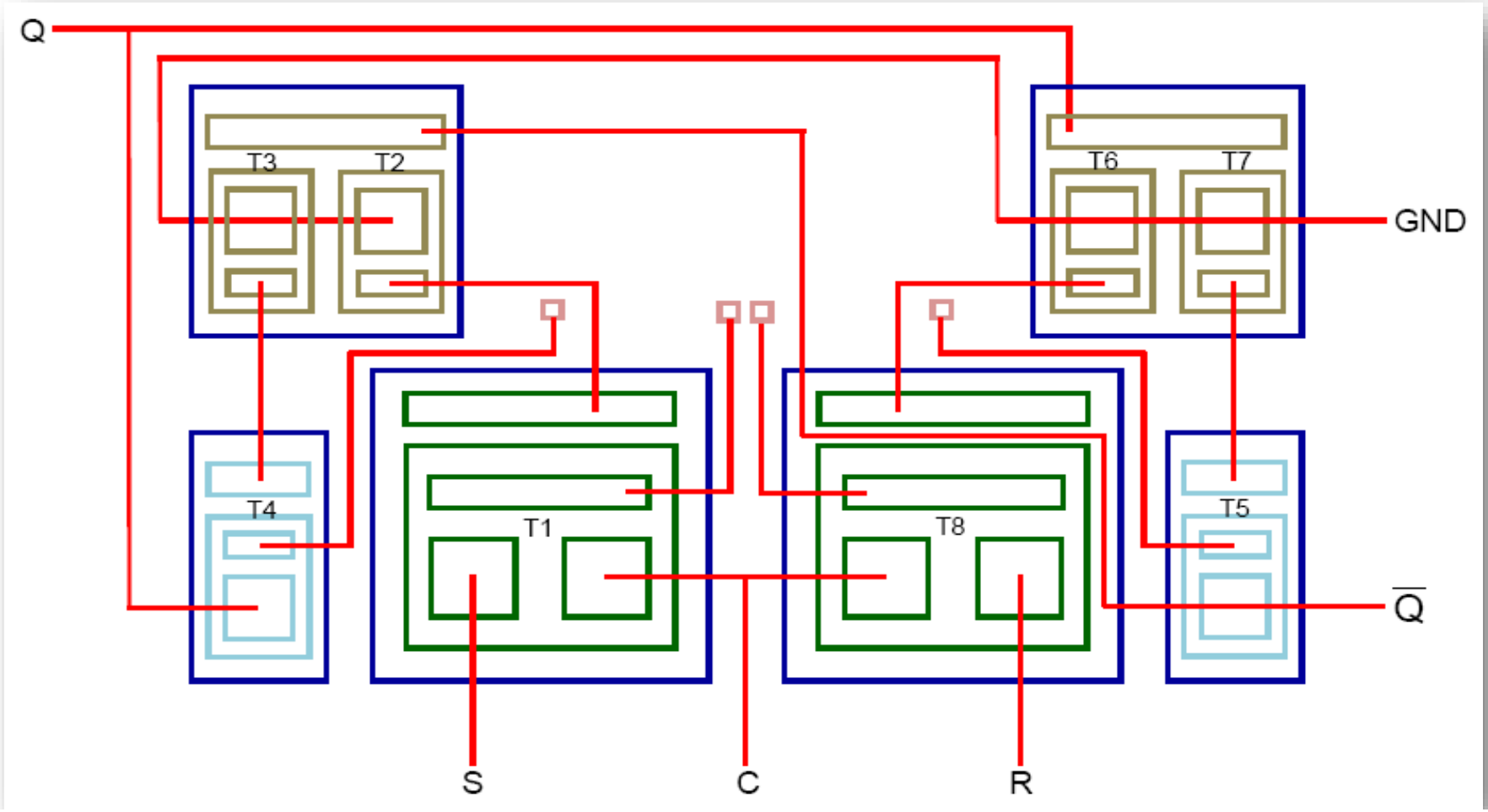
تغییر آرایش مدار

مجدداً آرایش جدیدی را با قرار دادن ترانزیستورهای چند امیتری T1 و T8 در کنار هم آغاز می‌کنیم، به طوری که طول خط مشترک ساعت به حداقل برسد. خطوط R، S و C را به آسانی می‌توانیم در پایین تراشه به بالشتک‌ها متصل کنیم.

بیس‌های این دو ترانزیستور را به دو مقاومت با لایه مدفون مشترک وصل می‌کنیم. این لایه مدفون را در بالای این ترانزیستور قرار می‌دهیم، زیرا ناحیه زیر این ترانزیستورها را برای اتصالات فلزی به دنیای خارج اختصاص داده‌ایم (شکل(۱۸)).

ترانزیستورهای T4 و T5 را نیز به مقاومت‌هایی در ناحیه مشترک مقاومت‌ها وصل کرده‌ایم. این دو ترانزیستور مانند ترانزیستورهای T1 و T8، ترانزیستورهای دریچه NAND در منطق TTL هستند. بنابراین سعی می‌کنیم این ترانزیستورها را در طرفین ترانزیستورهای T1 و T8 در همان جهت قرار دهیم.

تغییر آرایش مدار

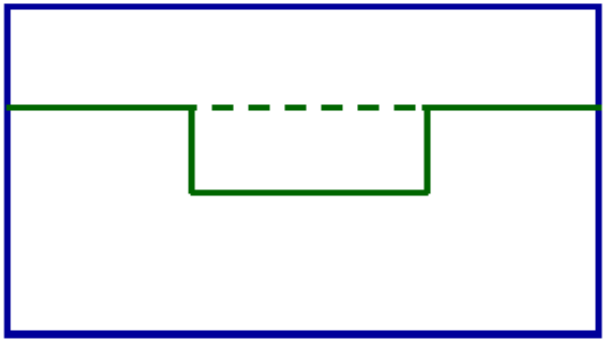


شکل(۱۸): جانمایی که در آن مقاومت‌ها در یک ناحیه عایق شده مشترک قرار گرفته‌اند.

تغییر آرایش مدار

جفت ترانزیستورهای کلکتور مشترک T2، T3 و T6، T7 در بالای ترانزیستورهای ورودی جای می‌گیرند. کنتاکت‌های بیس این ترانزیستورها را در پایین آنها قرار داده تا اتصال به نواحی کلکتور ترانزیستورهای ورودی آسان شود.

بدیهی است مساحت محصور میان ترانزیستورها در شکل(۱۸) بسیار کمتر از مساحت لازم برای مقاومت‌ها است، در نتیجه مجبوریم ناحیه مقاومت‌ها را از بالا گسترش دهیم. در این صورت ناحیه مقاومت‌ها مانند شکل(۱۹) به شکل T در می‌آید.



شکل(۱۹): استفاده از ناحیه T شکل برای مقاومت‌ها

تغییر آرایش مدار

گرچه مراحل طراحی ذکر شده در این فصل، برای مدارهای پیچیده‌تر نیز معتبر است اما با اضافه شدن تعداد عناصر مدار، طراحی و ترسیم جانمایی به کمک دست نیاز به هزینه و زمان زیادی دارد. در نتیجه اگر تعداد عناصر مدار از حد مشخصی بیشتر شود، طراحی جانمایی بوسیله دست معمولاً امکان‌پذیر نیست. در این صورت از نرم‌افزارهای کامپیوتری (مانند XYMASK، LEDIT و ...) تنها راه‌حل جایگزین خواهد بود.

تمرین۶: صفحه‌ای از وسط جانمایی ترانزیستور با کمترین سطح (شکل(۹)) بر صفحه کتاب عمود کرده و سطح مقطع متناظر را رسم کنید.

پروژه درس

جانمایی نهایی فلیپ‌فلاپ R-S شکل(۱۱) را با ابعاد دقیق با داده‌های زیر به گونه‌ای رسم کنید که کمترین مساحت را داشته باشد و مساحت تراشه را محاسبه کنید.

۱- از ترانزیستور دو قطبی با مشخصات فرایند جدول زیر استفاده کنید.

بستر	نوع p، 10 Ωcm ± 20%، جهت کریستالی (111)
لایه مدفون	$\rho_s' = 40$ Ω/□، عمق 5.5 μm (6 μm که 0.5 μm آن باید خورده شود)
لایه همبافته	5 Ωcm ± 10%، ضخامت 10±1 μm
نفوذ بیس	نفوذ بور (نوع p)، $\rho_s' = 200$ Ω/□، عمق 4±0.5 μm
نفوذ امیتر	نفوذ فسفر، نوع n با تراکم سطحی n^+، عرض بیس 1μm
نفوذ عایق	نفوذ بور p^+، $\rho_s' = 10$ Ω/□

پروژه درس

۲- حداکثر ولتاژ معکوس کلکتور-بیس و امیتر-بیس به ترتیب ۲۰ و ۱۰ ولت است.

۳- از قوانین طراحی جدول زیر استفاده کنید.

ابعاد کوچکترین نقش (پنجره) Minimum feature	5×5 μm
حداقل پهنای خطوط فلزی	5 μm
حداقل فاصله بین دو نوار فلزی	5 μm
حداقل فاصله بین دو نوار فلزی اگر طول نوارها کم باشد	4 μm
حداقل فاصله در بدترین حالت	0.5 μm
عدم دقت پهنای خطوط Linewidth Uncertainly	±1 μm
تلرانس تطبیق نقاب Mask alignment Tolerance	±2 μm
تلرانس تطبیق دو نقاب متوالی	±2.5 μm

پروژه درس

۴- برای سایر موارد که در پروژه قید نشده است، می‌توانید از فرض‌های مشابه درس استفاده کنید.

۵- برای همه ترانزیستورها فرض کنید جریان به اندازه‌ای است که می‌توانید از جانمایی با کمترین سطح استفاده کنید.

توجه:

- کلیه مراحل طراحی همانند آن چه در درس گفته شد، باید در گزارش آمده باشد.
- جانمایی نهایی باید کاملاً دقیق و بصورت مقیاس شده، باشد.