آزمون پایان طراحی سیستم دیجیتال – زمان: ۱۲۰ دقیقه

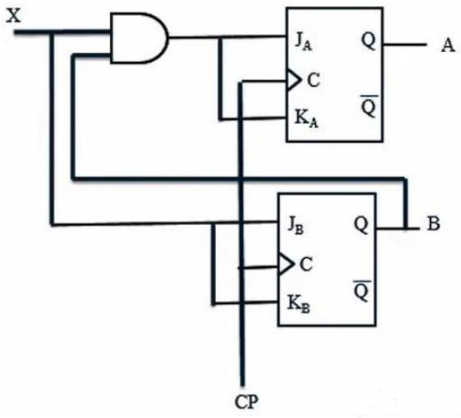
سوال۱) هر کدام از توابع زیر را پس از ساده سازی به وسیله جدول کارنو، با PAL و PLA طراحی کنید. (۴ نمره)

a) $F_1(A, B, C, D) = \sum(2, 10, 13, 14, 15)$

b) $F_2(A, B, C, D) = \sum(0, 2, 3, 4, 5, 6, 7, 10, 11, , 14, 15)$

سوال۲) الف) با استفاده از فلیپ فلاپ D شمارنده دو بیتی با ورودی x طراحی کنید که اگر $x = 1$ باشد، اعداد را به صورت صعودی و اگر $x = 0$ باشد حالت مدار را حفظ نماید. (۲ نمره)

سوال۳) عملکرد مدار منطقی زیر را تحلیل کنید. (نمودار حالت مدار ترتیبی زیر را رسم کنید) (۳ نمره)



سوال۴) پس از رسم مدار منطقی با اضافه کردن دسته‌ها جدید در جدول کارنو مجددا مدار را به گونه‌ای کنید که امکان بروز هازارد وجود نداشته باشد. (۳ نمره)

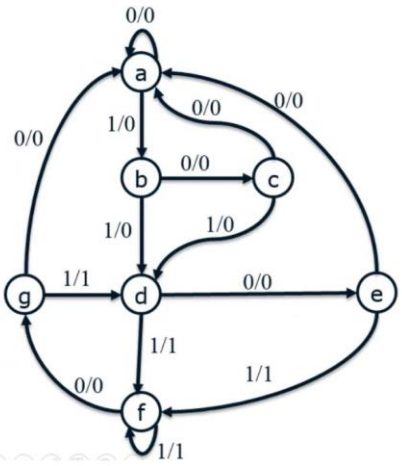
$$F(A, B, C, D) = \sum (0, 3, 7, 11, 12, 13) + d(1, 10)$$

$$F(A, B, C, D) = \sum (1, 2, 5, 6, 11, 15) + d(13 ,14)$$

سوال۵) با استفاده از رویکرد توصیف سخت افزاری سلسله مراتبی (پایین به بالا) کد Verilog مربوط به جمع کننده ۴ بیتی را بنویسید (به ترتیب نیم جمع کننده – جمع کننده تک بیتی و در نهایت جمع کننده ۴ بیتی): (۳ نمره)

سوال ۶) الف) ابتدا دیاگرام حالت زیر ا کاهش دهید، سپس با استفاده از TFF مدار دیجیتالی آن را رسم نمایید

ب) ضمن تشریح تفاوت مدار میلی و مور، مشخص کنید که دیاگرام روبرو مدار میلی است یا مور؟ (۳ نمره)



سوال ۷) کد Verilog زیر را توصیف نمایید که عملکرد چه مداری را در نظر گرفته و شماتیک مدار دیجیتالی آن را رسم کنید: (۲ نمره)

```
module mux4x1_bh  (i0 , i1 , i2 , i3 , select , y) ;
    input  i0 , i1 , i2 , i3 ;
    input  [ 1 : 0 ] select ;
    output  y ;
    reg  y ;
    always  @  (i0 or i1 or i2 or i3 or select)
                case  (select)
                    2 ‘ b00: y = i0 ;
                    2 ‘ b01: y = i1 ;
                    2 ‘ b10: y = i2 ;
                    2 ‘ b11: y = i3 ;
                endcase
endmodule
```

موفق باشید - سیاردوست