

بسم الله الرحمن الرحيم

عنوان پروژه:

روش‌های طراحی مدار Snubber

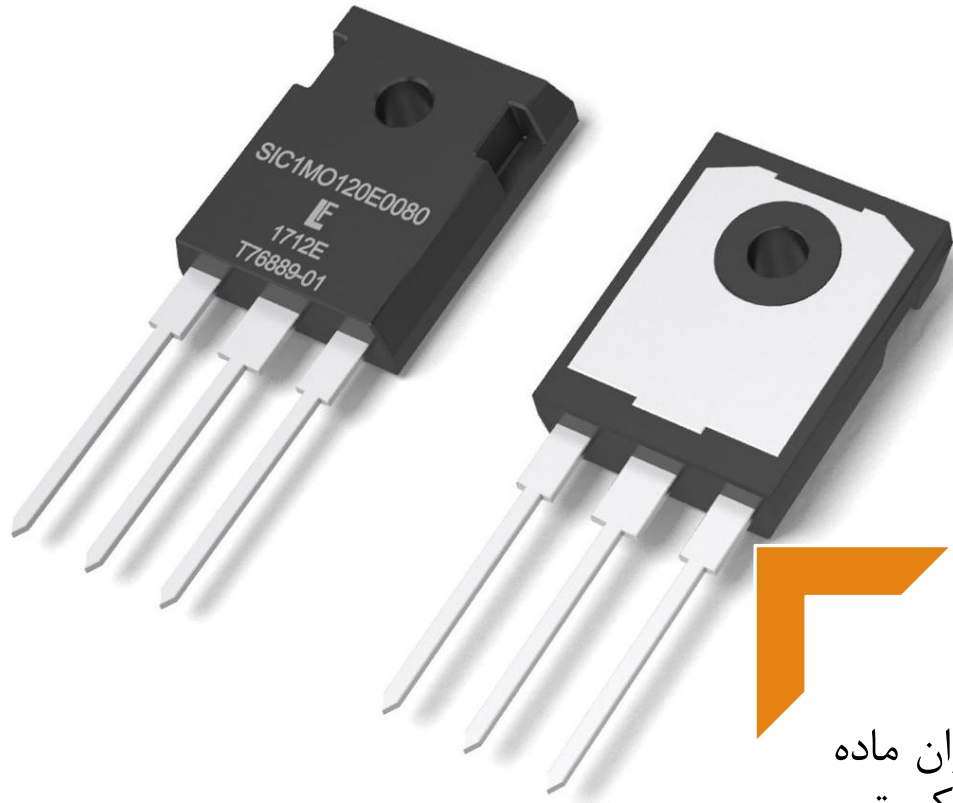
نام استاد:

آقای دکتر مهرداد جعفر بلند

ارائه‌دهنده:

امیر حمزه عسکری مطلق

اردیبهشت‌ماه ۱۴۰۵



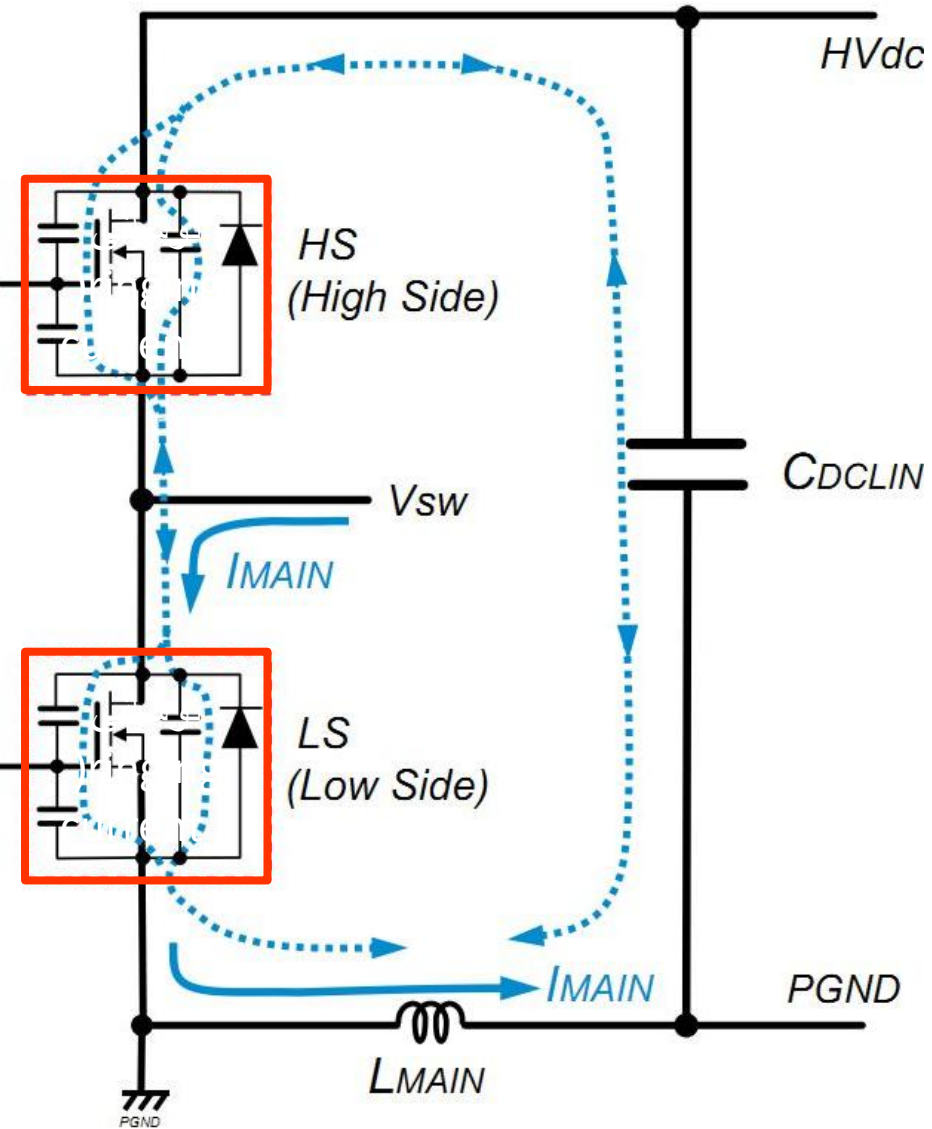
SiC MOSFET یک ترانزیستور قدرت است که از کاربید سیلیکون به عنوان ماده نیمه رسانا استفاده می کند، بر خلاف MOSFET های معمولی دارای ولتاژ شکست و چگالی جریان بسیار بالا است و امکان کار در دماهای بالاتر و سویچینگ بسیار سریع تر را فراهم می کند.

SiC MOSFET ها در الکترونیک قدرت مدرن بسیار محبوب شده‌اند و در کاربردهایی که به سوئیچینگ سریع و پربازده نیاز دارند مانند اینورترهای صنعتی و خودروهای برقی مورد استفاد قرار می‌گیرند.

سوئیچینگ سریع در این ترانزیستورها باعث ایجاد dv/dt و di/dt بسیار بالا می‌شود و در حضور اندوکتانس‌های ناخواسته، جریان جهشی بزرگی بین پایانه‌های MOSFET ایجاد می‌گردد که می‌تواند سبب آسیب به ترانزیستور شود.

بنابراین، باید ولتاژ Surge کنترل شود تا از مقادیر بیشینه مجاز ترانزیستور فراتر نروند. در این پروژه، روش طراحی مدار اسنابر که یکی از روش‌های کاهش ولتاژ و جریان‌های جهشی است، توضیح داده می‌شود.

ولتاژ جهشی



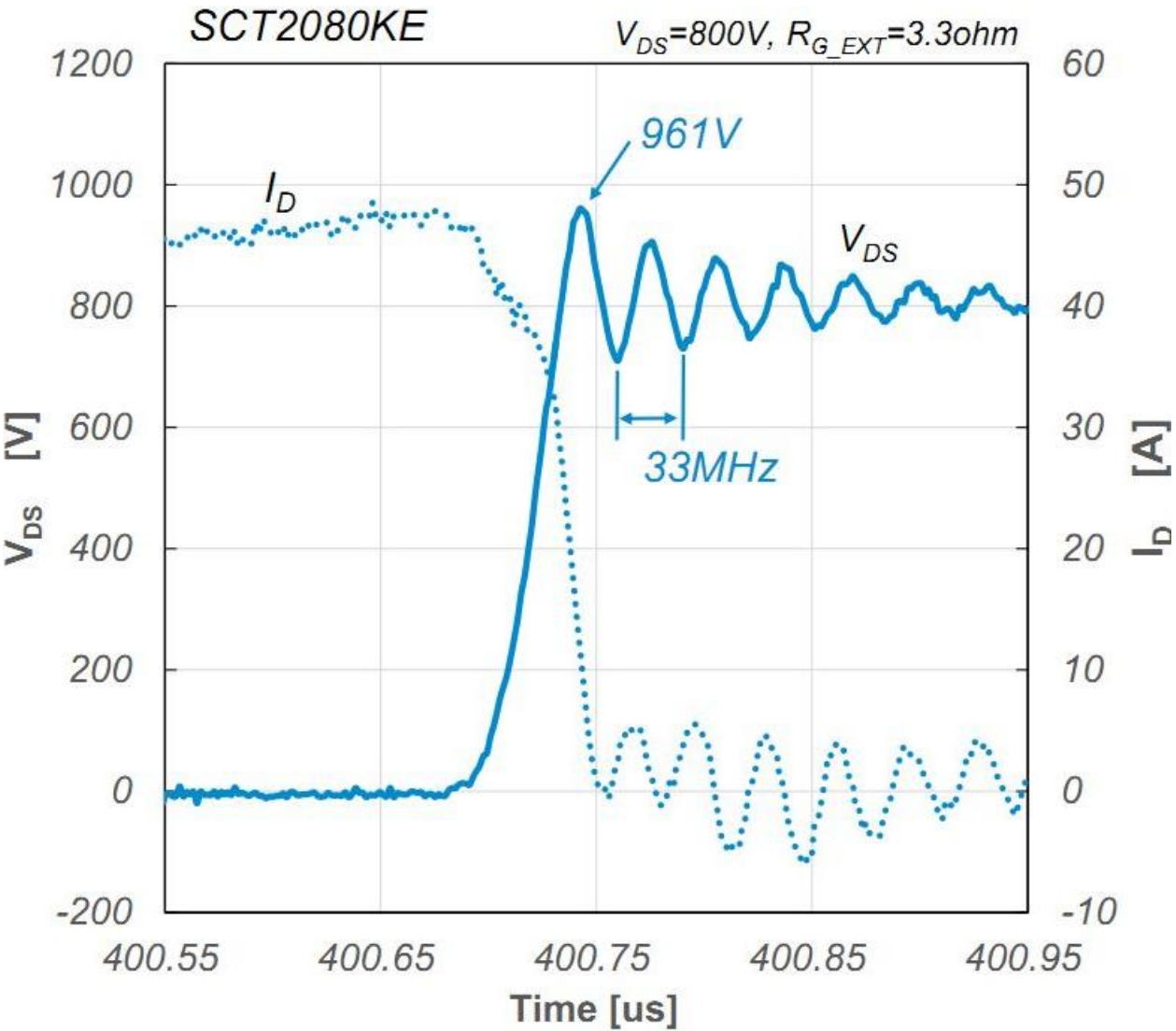
توپولوژی نیم‌پل، شامل دو MOSFET به‌عنوان کلید سمت بالا و سمت پایین

ایجاد مسیر جریان از MOSFET، خازن لینک DC و بار و در نتیجه،
ذخیره‌شدن انرژی در اندوکتانس‌های پراکنده به اندازه $E = \frac{1}{2} L_{MAIN} I_{MAIN}^2$

تشکیل مدار تشدید با خازن‌های پارازیتی MOSFET با فرکانس $\omega_{SURGE} = \frac{1}{\sqrt{L_{MAIN} * C_{oss}}}$ و در نتیجه ایجاد جریان جهشی

تصویر ۱ مسیر جریان هنگام وقوع Surge

ولتاژ جهشی



اعمال ۸۰۰ ولت به ترمینال HV_{dc} در آزمایش

ولتاژ جهشی V_{DS_SURGE} به ۹۶۱ ولت و فرکانس نوسان ۳۳ مگاهرتز

مقدار اندوکتانس L_{MAIN} برای مدار برابر با ۱۱۰ نانوهاری

تصویر ۲ شکل موج Surge برای ترانزیستور SCT2080KE

$$V_{DS_SURGE} = \frac{V_A * e^{-(a/\omega)[\tan^{-1}(a/\omega)+\varphi]}}{1 + (a/\omega)^2} + V_{HVDC} \quad (۱)$$

که در آن:

$$V_A = \sqrt{V_{HVDC}^2 + (a/\omega)^2 * (2 * R_{OFF} * I_{MAIN} - V_{HVDC})^2}$$

$$\varphi = \tan^{-1} \frac{V_{HVDC}}{(a/\omega) * (2 * R_{OFF} * I_{MAIN} - V_{HVDC})}$$

$$a = \frac{1}{2 * R_{OFF} * C_{OSS}}$$

$$\omega_{SURGE} = \frac{1}{\sqrt{L_{MAIN} * C_{OSS}}} * \sqrt{1 - \left(\frac{\sqrt{L_{MAIN}/C_{OSS}}}{2R_{OFF}} \right)^2}$$

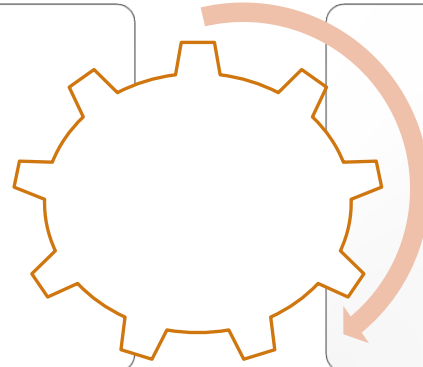
هدف



هدف این پژوهش، استفاده از مدارات اسنابر برای کاهش ولتاژ و جریان جهشی است.

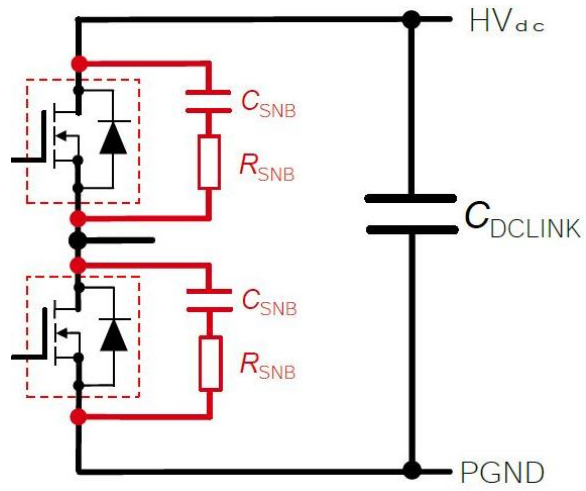
انواع مدارات اسنابر

اسنابر فعال، شامل کلیدهای نیمه‌هادی

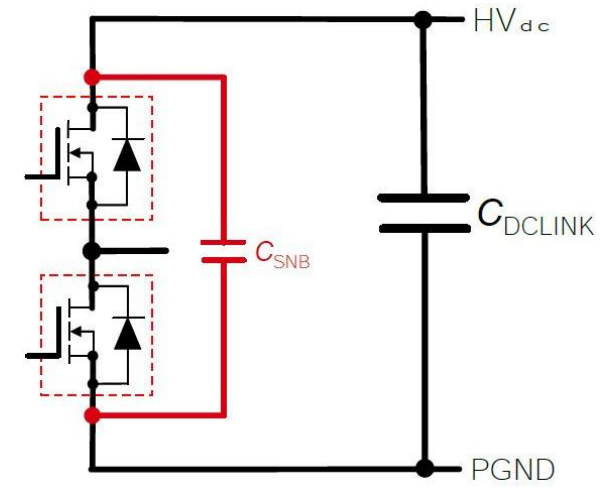


اسنابر غیرفعال، شامل قطعات غیرفعال
مانند مقاومت، سلف، خازن و دیود

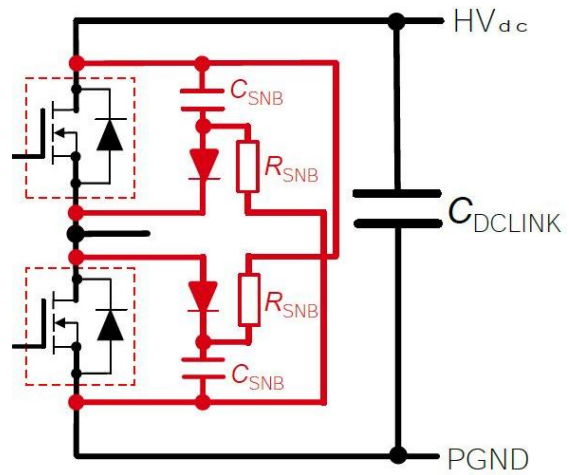
انواع مدارات اسنابر



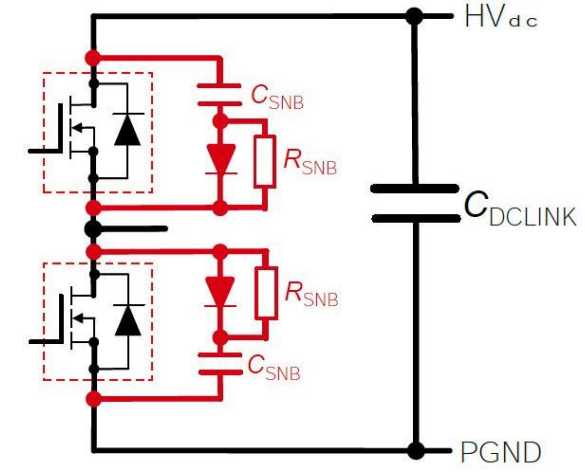
b. اسنابر RC



a. اسنابر C



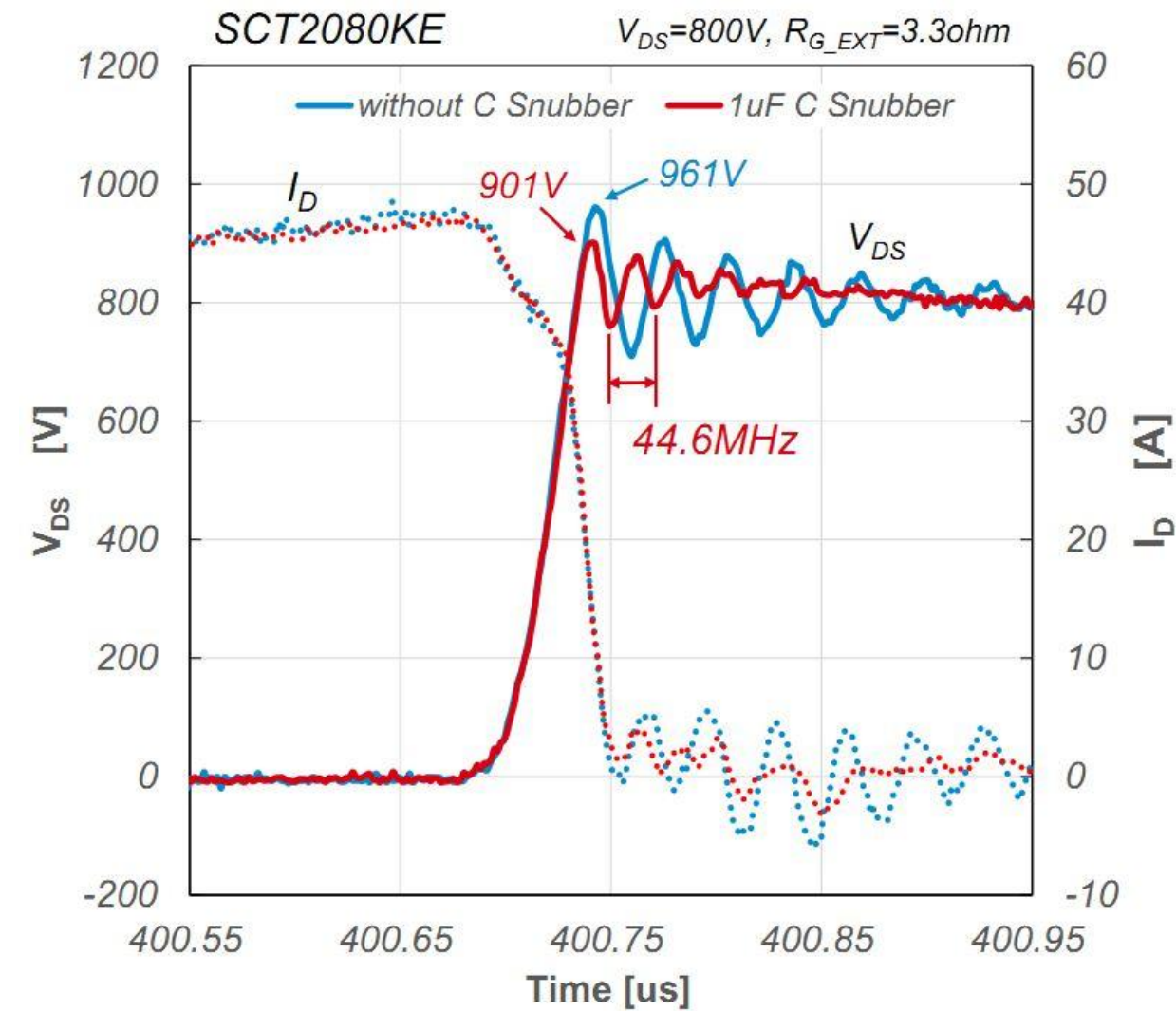
d. اسنابر RCD غیر دشارژ



c. اسنابر RCD دشارژ

تصویر ۳ مدارات اسنابر

انواع مدارات اسنابر



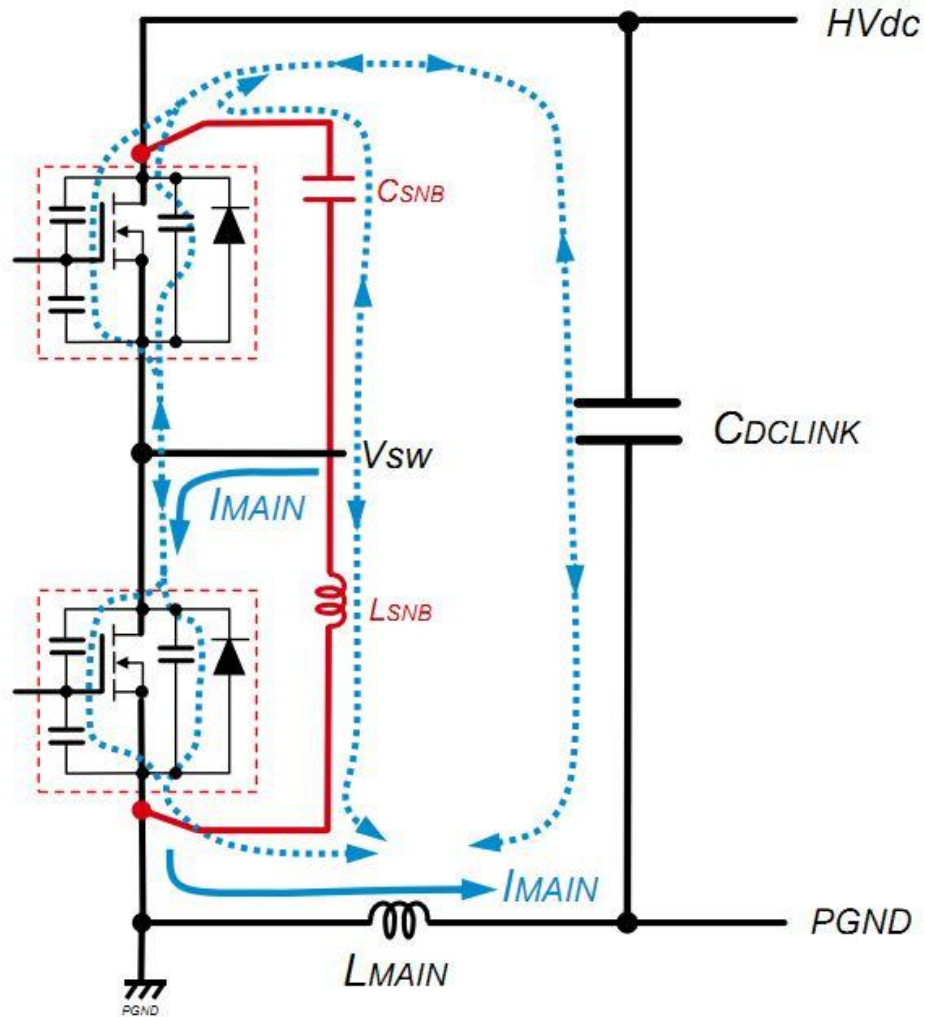
کاهش ۵۰ ولتی ولتاژ جهشی نسبت به حالت بدون اسنابر

تشکیل مدار تشدید جدید با فرکانس ۴۴/۶ مگاهرتز

مقدار اندوکتانس L_{SNB} برابر با ۷۱ نانوهری

تصویر ۴ کاهش Surge با اسنابر C

طراحی مدارات اسنابر



تصویر ۵ اسنابر C

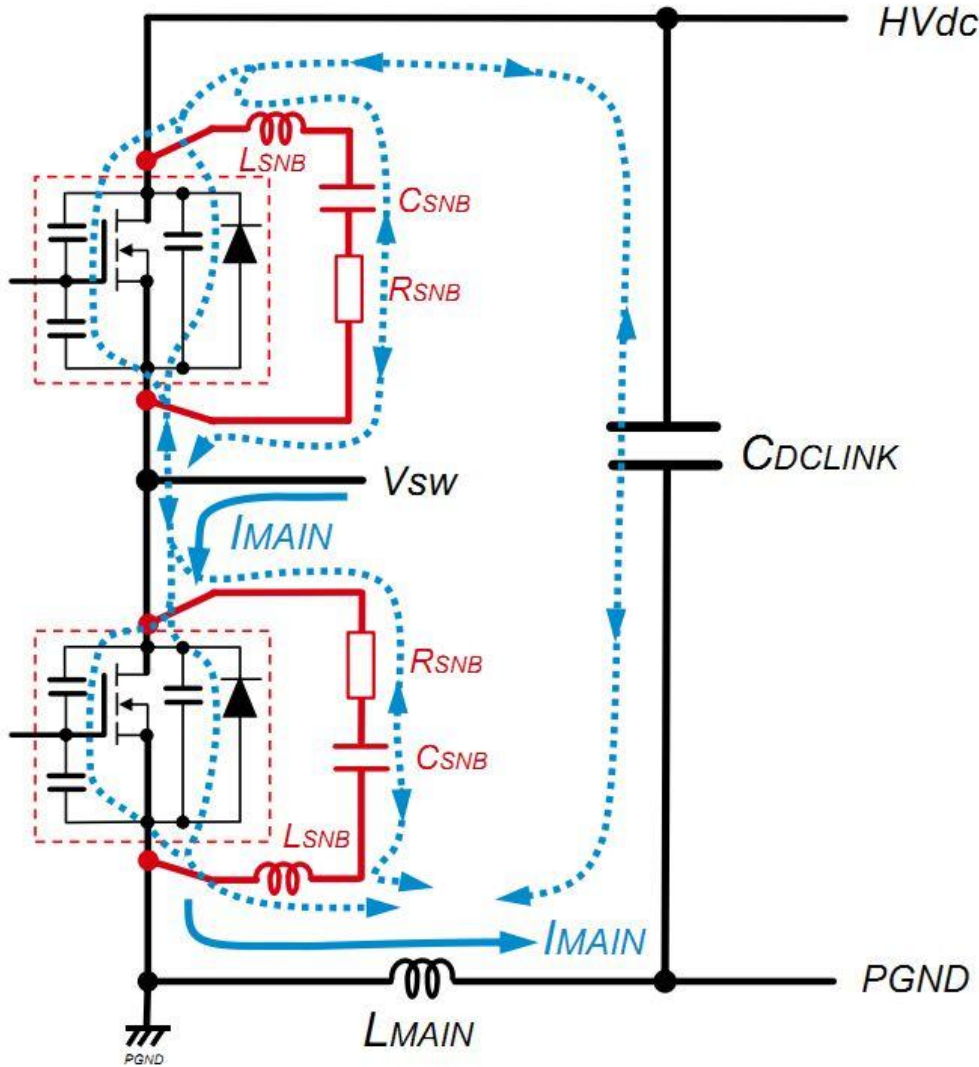
انتخاب مکان خازن تا حد امکان نزدیک به MOSFET

انتخاب C_{SNB} بزرگ

خازن با اندازه فیزیکی بزرگتر، اندوکتانس سری بزرگتر

$$C_{SNB} > \frac{L_{MAIN} * I_{MAIN}^2}{V_{DS_SURGE}^2 - V_{HVDC}^2} \quad (۲)$$

طراحی مدارات اسنابر



تصویر ۶ اسنابر RC

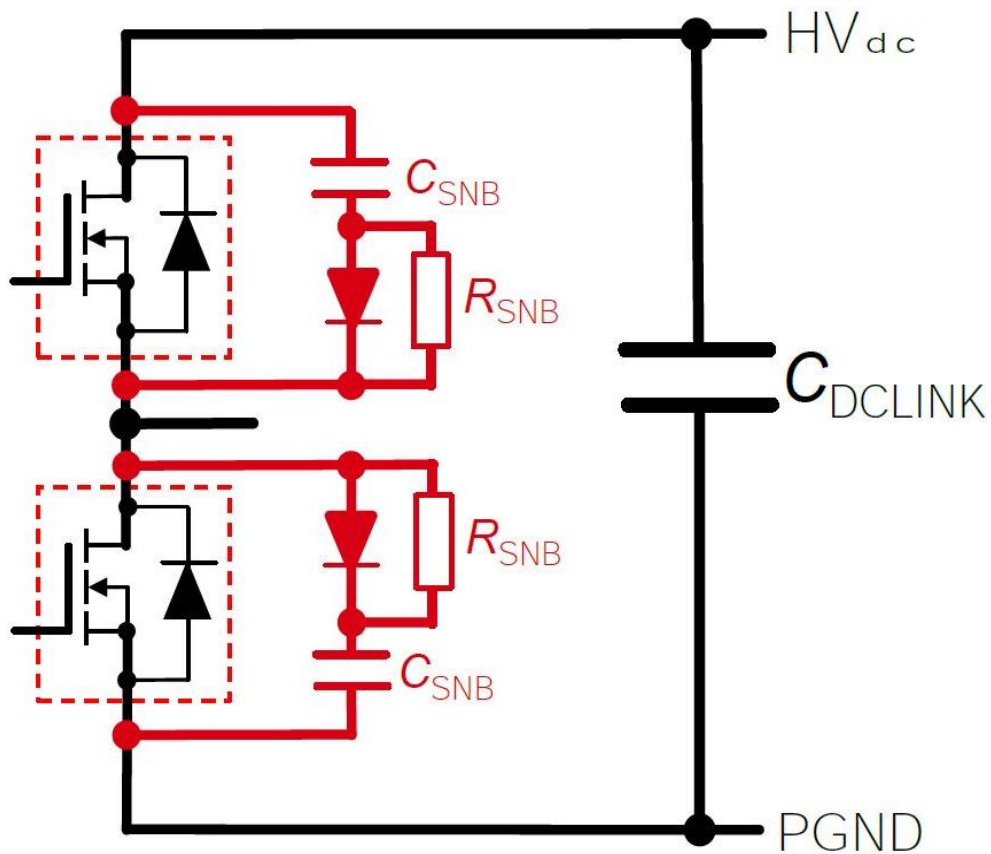
$$R_{SNB} = \frac{-1}{f_{sw} * C_{SNB} * \ln \left[\left(V_{DS_SURGE} - V_{SNB} \right) / V_{DS_SURGE} \right]} \quad (3)$$

$$P_{SNB} = \frac{L_{TRACE} * I_{MAI}^2 * f_{SW}}{2} + \frac{C_{SNB} * V_{HVDC}^2 * f_{SW}}{2} \quad (4)$$

$$\omega_{SNB} = \frac{1}{R_{SNB} * C_{SNB}} \ll \omega_{SURGE} \quad (5)$$

طراحی مدارات اسنابر

روش طراحی اسنابر RCD دشارژ مشابه اسنابر RC است

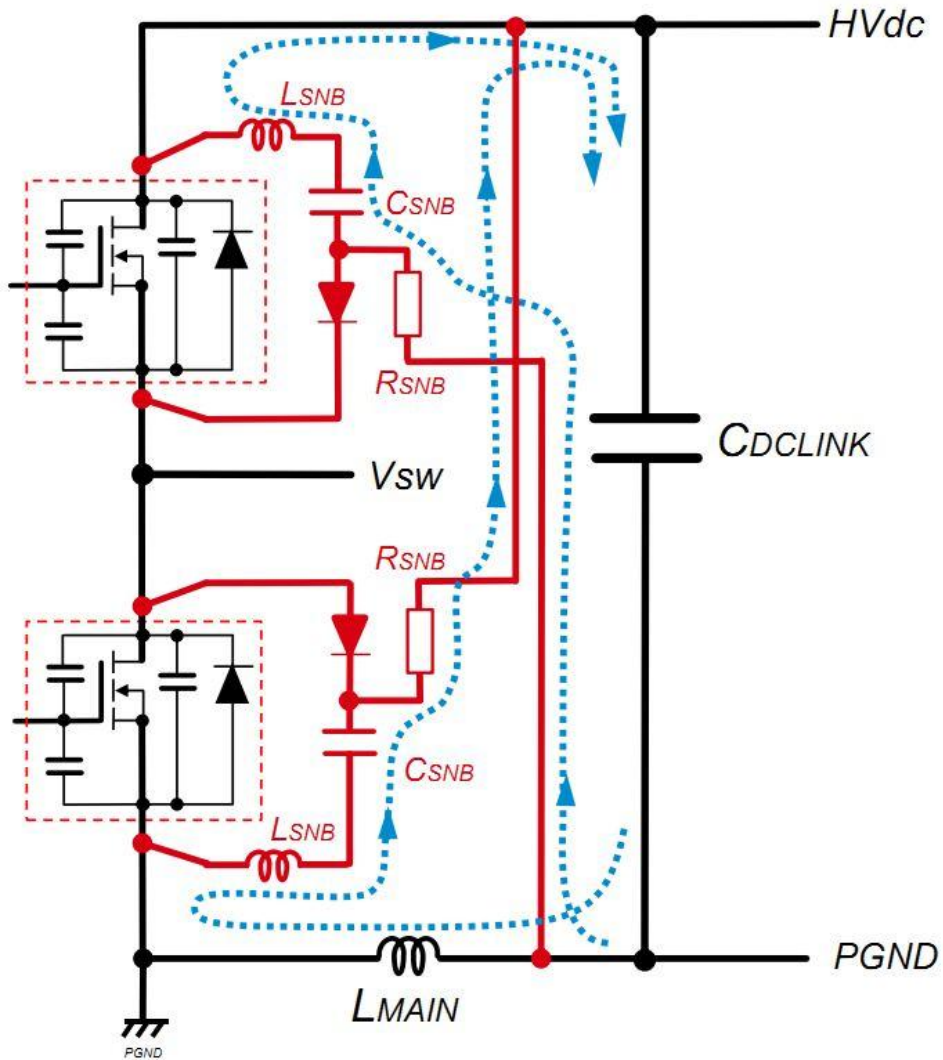


نیازی به شرط فرکانس تشدید نیست؛ چون یک دیود برای کنترل مسیر تخلیه C دارد

استفاده از دیودهایی با بازیابی سریع برای جلوگیری از ایجاد نوسان جدید

تصویر ۷ اسنابر RCD دشارژ

طراحی مدارات اسنابر



اسنابر RCD غیر دشارژ فقط انرژی ناشی از ولتاژ جهشی را در R تلف می کند

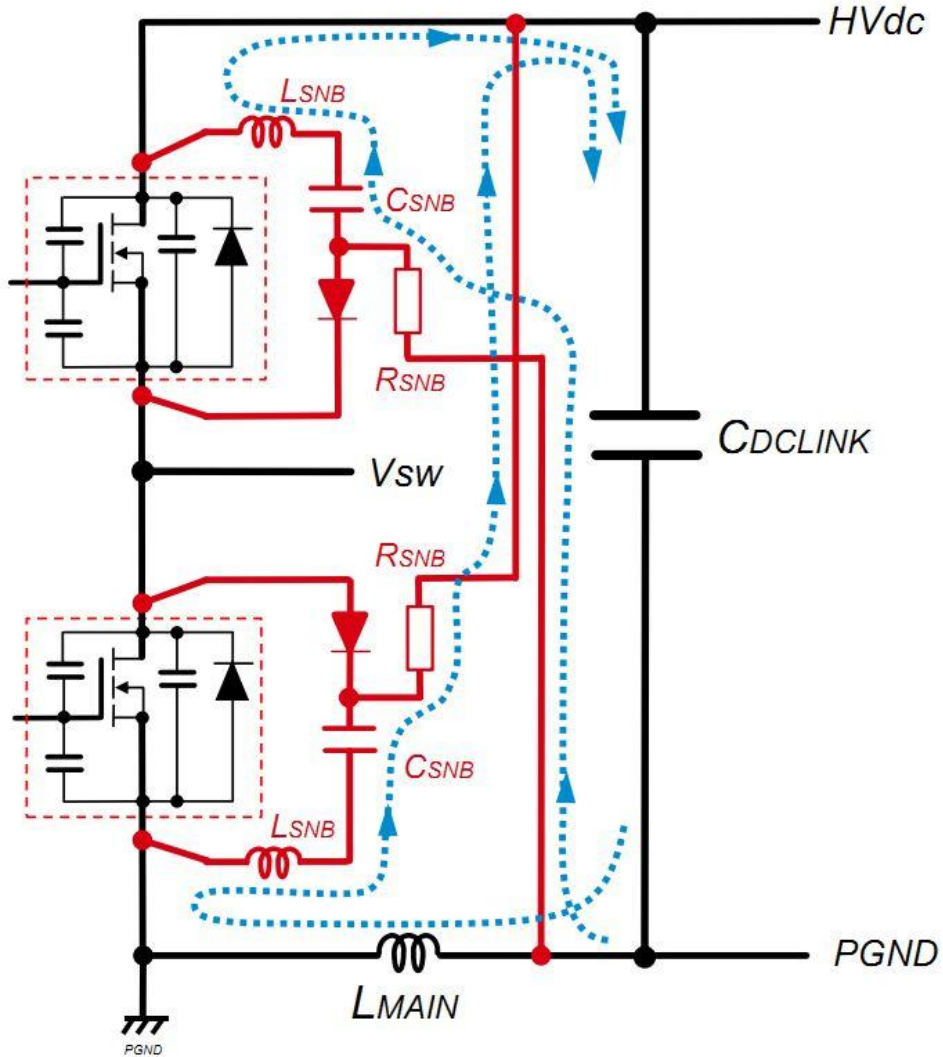
اسنابر RC، در هر سیکل، کل انرژی خازن را در R تلف می کند

امکان استفاده از C بزرگتر در اسنابر RCD غیر دشارژ و در نتیجه مهار بهتر سرج

مسیرهای پیچیده تر و نیاز به حداقل ۴ لایه PCB در اسنابر RCD غیر دشارژ

تصویر ۸ مسیر تخلیه اسنابر RCD غیر دشارژ

طراحی مدارات اسنابر

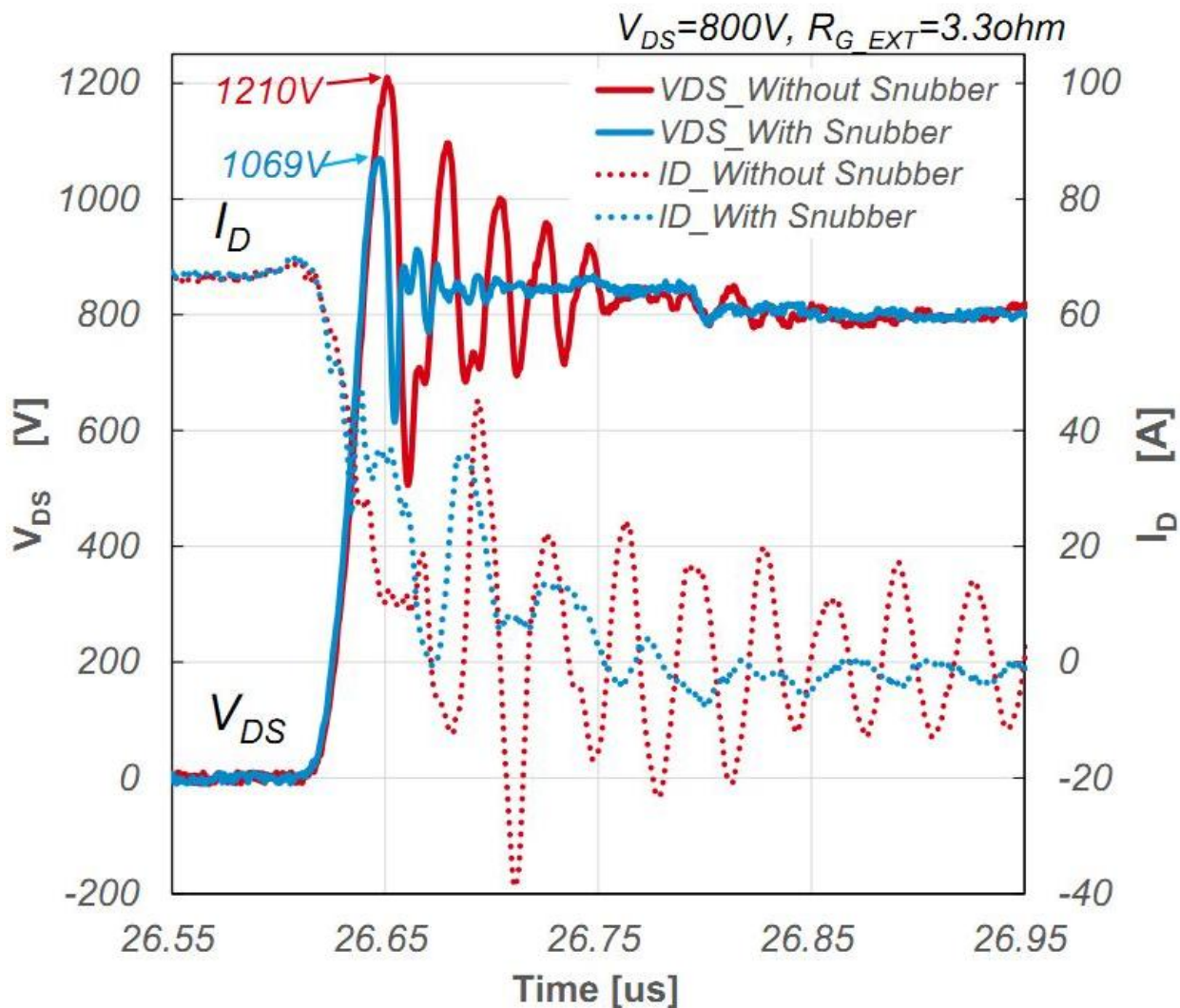


$$P_{SNB} = \frac{L_{TRACE} * I_{MAI}^2 * f_{SW}}{2} \quad (۶)$$

$$P_{SNB} = \frac{L_{TRACE} * I_{MAI}^2 * f_{SW}}{2} + \boxed{\frac{C_{SNB} * V_{HVDC}^2 * f_{SW}}{2}} \quad (۴)$$

تصویر ۸ مسیر تخلیه اسنابر RCD غیر دشارژ

طراحی مدارات اسنابر



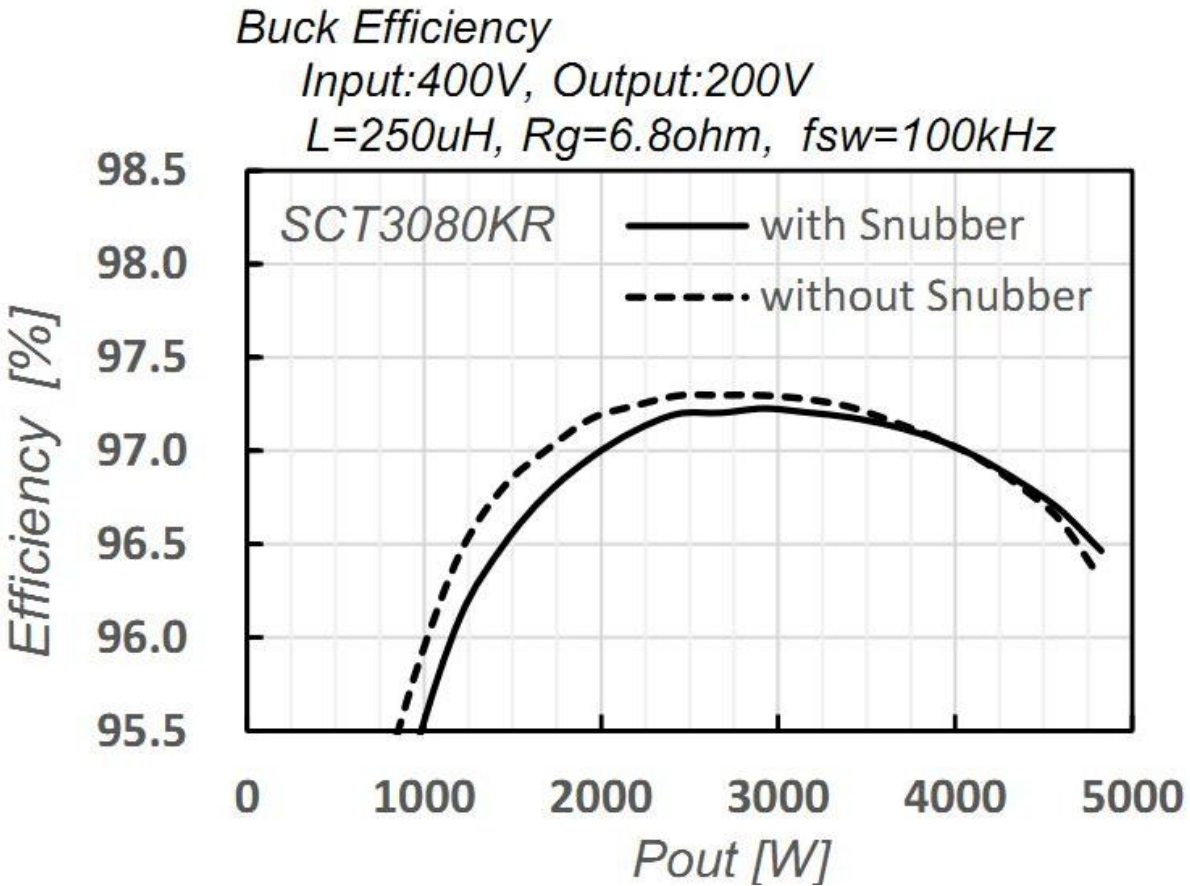
مقایسه سرج در مداری با اسنابر RCD غیردشارژ و مدار بدون اسنابر

آزمایش با $V_{DS} = 800V$ و جریان $I_D = 70A$ ، $R_{G_EXT} = 3.3\Omega$

بیشترین ولتاژ با اسنابر به ۱۰۶۹ ولت و بدون اسنابر به ۱۲۱۰ ولت می‌رسد

تصویر ۹ مقایسه Surge با و بدون اسنابر

تأثیر اسنابر بر بازده



تأثیر اسنابر بر بازده مبدل باک

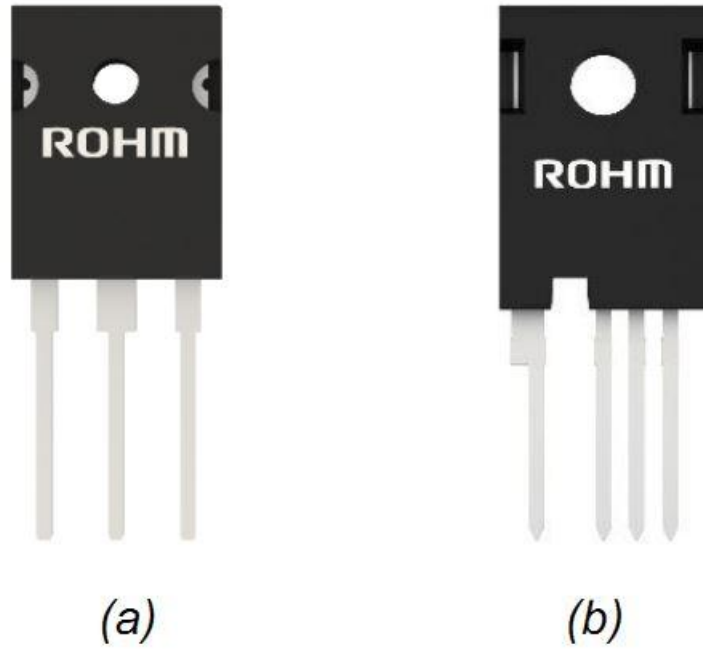
ولتاژ ورودی ۴۰۰ ولت، خروجی ۲۰۰ ولت

فرکانس ۱۰۰ کیلوهرتز و تغییر توان بار در محدوده ۱ تا ۴/۸ کیلووات

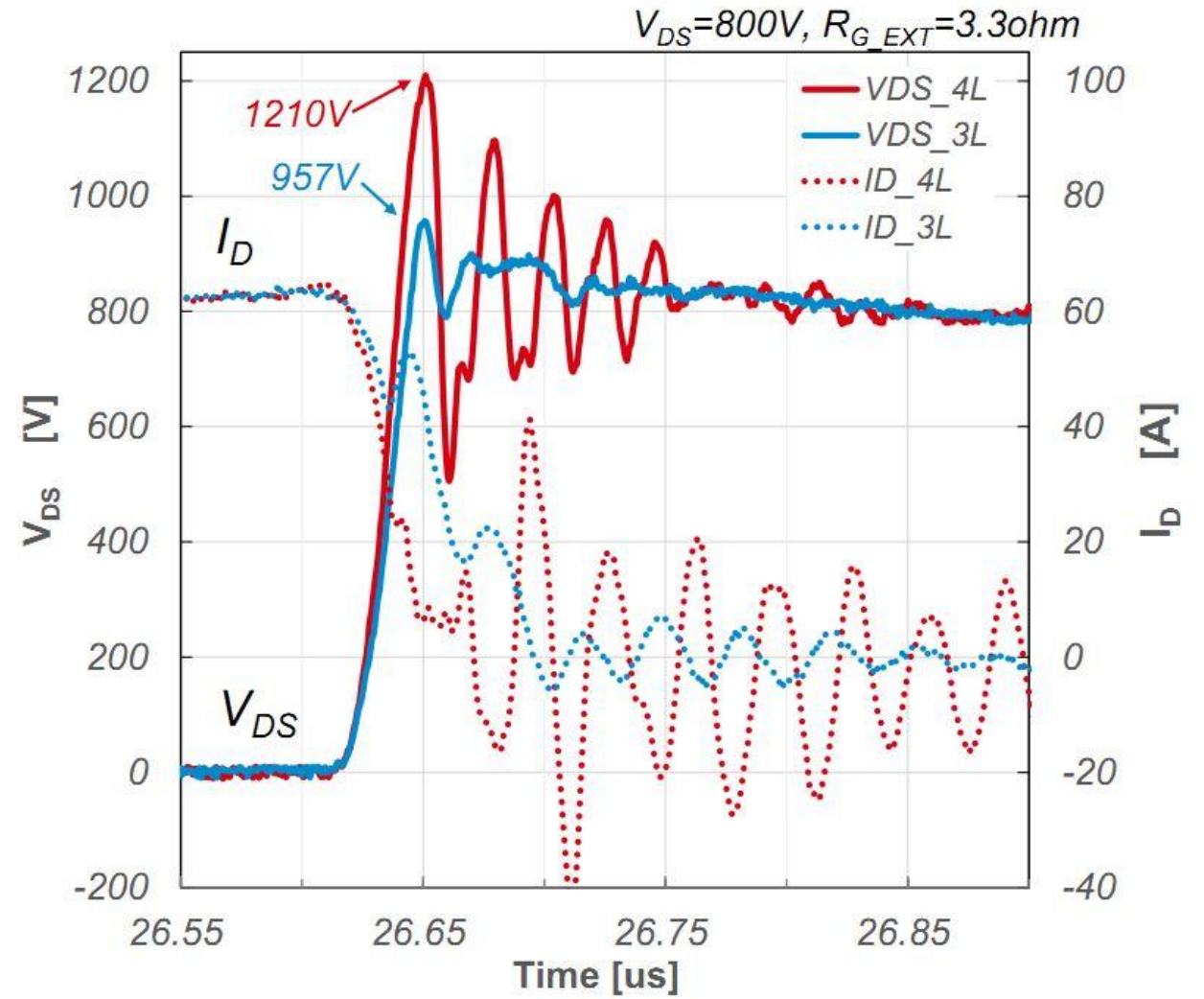
کاهش بازده در توان کمتر از ۴ کیلووات و افزایش در توان بیش از ۴ کیلووات

تصویر ۱۰ مقایسه بازده مبدل Buck با و بدون اسنابر

تأثیر پکیج بر ولتاژ جهشی



تصویر ۱۱ انواع پکیج‌های SiC MOSFET



تصویر ۱۲ مقایسه Surge پکیج‌های مختلف

باسپاس از توجه شما